

国际电气工程先进技术译丛

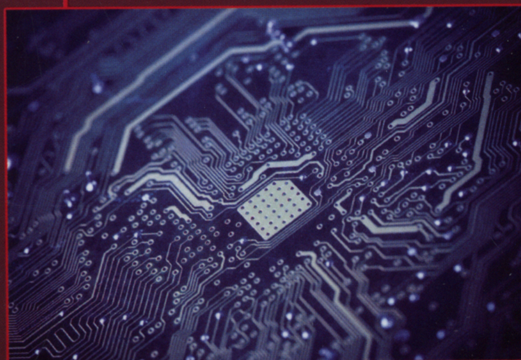
WILEY

ESD物理与器件

ESD:Physics and Devices

（美）Steven H.Voldman 著

雷鑑铭 邹志革 刘志伟 邹雪城 等译





机械工业出版社
CHINA MACHINE PRESS

VISIT…

LANZAROTE

Caliente.COM

关于作者

Steven H.Voldman博士由于在CMOS、SOI和SiGe静电保护方面所做的贡献，而成为了第一个研究半导体ESD现象的IEEE会士。

他于1979年在巴法罗大学获得工学学士学位；1981年在麻省理工学院获得电气工程硕士学位；在IBM公司实习项目的帮助下，于1986年在佛蒙特大学获得工程物理硕士学位，1991年获得博士学位。

他拥有超过125项美国专利，超过100本出版物。



国际电气工程先进技术译丛

ESD 物理与器件

（美）Steven H. Voldman 著
雷鑑铭 邹志革 刘志伟 邹雪城 等译



机 械 工 业 出 版 社

本书系统地介绍了静电放电（ESD）物理理论及器件设计，并给出了大量实例，将ESD理论工程化。本书主要内容有：ESD中的静电及热电物理学理论及模型，ESD用半导体器件物理及结构，ESD中衬底、阱、隔离结构，电介质、互连及SOI等相关技术及应用。

本书为作者的ESD系列专著的第一本，对于专业模拟集成电路及射频集成电路设计工程师，以及系统ESD工程师具有较高的参考价值。本书可以作为电路设计、工艺、质量、可靠性和误差分析工程师的工具书，也可以作为电子科学与技术、微电子科学与工程和集成电路设计，尤其是模拟集成电路设计及射频集成电路设计专业高年级本科生及研究生的参考书。

Copyright©2004, John Wiley & Sons Ltd

All Rights Reserved. This translation published under license. Authorized translation from the English language edition, entitled <ESD: Physics and Devices >, ISBN <978-0-470-84753-4>, by <Steven H. Voldman>, Published by John Wiley & Sons, Ltd. No part of this book may be reproduced in any form without the written permission of the original copyrights holder.

本书中文简体字版由机械工业出版社出版，未经出版者书面允许，本书的任何部分不得以任何方式复制或抄袭。版权所有，翻印必究。

北京市版权局著作权合同登记图字：01-2012-8914号。

图书在版编目（CIP）数据

ESD物理与器件/（美）沃尔德曼（Voldman, S. H.）著；雷鑑铭等译. —北京：机械工业出版社，2014.7

(国际电气工程先进技术译丛)

书名原文：ESD: physics and devices

ISBN 978-7-111-47139-4

Ⅰ.①E… Ⅱ.①沃…②雷… Ⅲ.①芯片-静电防护 Ⅳ.①TN430.2

中国版本图书馆CIP数据核字（2014）第136140号

机械工业出版社（北京市百万庄大街22号 邮政编码100037）

策划编辑：刘星宁 责任编辑：刘星宁

版式设计：霍永明 责任校对：肖 琳

封面设计：马精明 责任印制：李 洋

北京振兴源印务有限公司印刷

2014年9月第1版第1次印刷

169mm×239mm · 19.25印张 · 405千字

0 001—2500册

标准书号：ISBN 978-7-111-47139-4

定价：88.00元

凡购本书，如有缺页、倒页、脱页，由本社发行部调换

电话服务 网络服务

社服务中心：(010)88361066 教材网：http://www.cmpedu.com

销售一部：(010)68326294 机工官网：http://www.cmpbook.com

销售二部：(010)88379649 机工官博：http://weibo.com/cmp1952

读者购书热线：(010)88379203 **封面无防伪标均为盗版**

作 者 简 介

Steven H. Voldman 博士于 1979 年在巴法罗大学获得工学学士学位；1981 年在麻省理工学院获得电气工程硕士学位；在 IBM 公司实习项目的帮助下，于 1986 年在佛蒙特大学获得工程物理硕士，1991 年获得博士学位。在麻省理工学院，他是等离子体聚变中心和高电压研究实验室（HVRL）的成员。在 IBM 公司，他作为可靠性/器件工程师在双极型/CMOS SRAM 的 α 粒子和宇宙射线 SER 仿真方面进行了原创性的工作，同时在栅致漏电（GIDL）机制、热电子、外延/阱设计、CMOS 闩锁和 ESD 等方面展开了研究。自 1986 年以来，他负责为 IBM 公司制定 CMOS、SOI、BiCMOS、RF CMOS 和 SiGe 工艺的 ESD/闩锁策略。在等比例缩小 MOSFET、器件仿真、铜互连、低介电系数、磁阻式磁头、CMOS、SOI、SiGe 和 SiGeC 技术等领域，他出版了 ESD 和闩锁方面的著作。Voldman 为 SEMATECH（美国半导体行业技术联盟）ESD 工作组的主席（1996—2000 年），ESD 联合技术组成员主席，ESDA（电子系统设计自动化）理事会、国际可靠性物理（IRPS）ESD/闩锁分委员会主席，国际物理与失效分析（IPFA）研讨会 ESD 分委员会主席，ESD 学会的传输线脉冲测试标准发展会议主席，ESD 国际教育委员会主席，并且服务于 ISQED 委员会、中国台湾 ESD 会议（T－ESDC）程序委员会。在美国、新加坡、马来西亚、中国台湾和中国大陆，Voldman 给许多大学及研究院所开设了 ESD 讲座。他拥有超过 125 项美国专利，超过 100 本出版物。在“EE Times”、“Intellectual Property Law and Business”两家网站他的知名度很高。在《Scientific American》（2002 年 10 月）他撰写了有关 ESD 现象的第一篇文章“Lightning Rods for Nanostructures”，并且同时发表在《Pour La Science》、《Le Scienze》和《Swiat Nauk》的国际版上。2003 年为表彰其在 CMOS、SOI 和 SiGe 静电保护方面所做的贡献，Voldman 博士成为第一个研究半导体 ESD 现象的 IEEE 会士。

译　者　序

本书译自美国 Steven H. Voldman 编写的《ESD Physics and Devices》一书。ESD (Electrostatic Discharge，静电放电）是当今集成电路设计与应用中重要的可靠性问题之一。本书系统地介绍了 ESD 物理理论及器件设计，并给出了大量实例，将 ESD 理论工程化。本书既总结了已有的文献资料中相关 ESD 物理学及器件知识，又是一本自成体系的、理论性及实践性较强的专著。

本书内容深入浅出，非常注重理论联系实践，提供了大量的 ESD 器件设计实例。本书是 ESD 物理原理分析及器件研究与设计的理想教材，可作为电路设计、工艺、质量、可靠性和误差分析工程师的工具书，也可以作为电子科学与技术、微电子科学与工程和集成电路设计，尤其是模拟集成电路设计及射频集成电路设计专业高年级本科生及研究生的参考书。本书由雷鑑铭负责组织并完成全书翻译工作，参与本书翻译工作的还有华中科技大学邹雪城教授、邹志革副教授及电子科技大学刘志伟副教授，以及华中科技大学的王真、李智、黄迪、陈小梅、李金山、袁桂毅、郭君辉、王翔宇、王午悦、胡贝贝及蔡湧达等。在此表示感谢。特别感谢华中科技大学文华学院外国语学院英语系肖艳梅老师的审校。

由于本书涉及的专业面较广，加之译者水平有限，书中难免有不妥及错误之处，真诚希望广大读者批评指正，在此表示衷心的感谢。

译者

2013 年 12 月于华中科技大学

前　　言

自从米利都学派的创始人——泰勒斯在大约公元前600年发现琥珀对干草的引力时，人类就已经认识了静电放电（ESD）现象。2600多年过去了，为了对静电学和ESD现象有更好地理解，探索仍在继续。如今，微电子制造行业包括制造厂区、制造装备、半导体材料以及微电子产业等都在持续关注静电现象。

本书的编著不仅仅是对ESD科学认知的探索，同样也是这个专业方向在被传承和学习的道路上前行的努力。目前，世界上只有一门大学课程开设一个学期来讲授半导体器件中ESD现象的规律。现在，关于如何在大学里培养和教育工程师们去学习半导体器件中的ESD保护，从而建立一个ESD课程体系，我们遇到了困境。至今，ESD只是在个人讲座、短期课程和专题报告中可以学到。我们可以找到这方面的书籍，但是它们并非从培养通才的角度来搭建内容框架，无法激发学生对材料和半导体领域的广泛兴趣，因此，并不适合于物理学、数学、材料学专业或者电气工程专业的正规全日制研究生或者本科生阅读。

除非从跨学科的角度或者作为一系列强关联交叉学科来讲解，从而自最初的原理来建立理解，否则ESD现象的本质决定了它会成为一个极难讲授的课题。20世纪60年代早期半导体集成电路的讲授面临着相同的困境，半导体电子学教育委员会（SEEC）应运而生，它强调如何在固体物理、器件和电路被分开讲授的大环境下培养集成电路工程师。在SEEC系列的前言中如是陈述：电子电路的微型化、小型化已经模糊了设备和电路的分界线，因此对于我们来说，深入理解器件物理和结构的关系及其对电路性能的潜在影响变得尤为重要。在这种重要关口，我们要主动创建一套半导体丛书，系统阐述对半导体基本原理和电路的理解，整套书内容由浅入深，衔接紧密。ESD学科面临着同样的困境，也是一个棘手的难题，即因为工程师必须同时应对器件、电路、封装、系统和电气、热动及机械等各种问题。除此之外，时间尺度响应随着相互作用的规模和静电现象自身的改变而改变。

在半导体行业，对ESD现象的感知被视作一个“黑匣子”，似乎在技术成就的背后缺乏理解或教育的基础。ESD工程师被当作半导体炼金术师：他们能够提供解决方案，但却不能从根本上理解或解释这些成果。大多数成果都是随机或通过非系统的实验流程取得的。ESD工程师利用他们的教育背景、在职学习和直觉而非适当的工具来取得成果。

以我个人的经验，尽管工程师和管理人员对ESD学科缺乏信心，但是仍然需要经营业务、设计并生产销售产品。这使我意识到，过去ESD领域没有被科学化和结构化，在ESD学科所取得的进步缺乏坚实的基础。有一个共识是：ESD专业方向不

是一门学科。我觉得之所以有这种看法，一个原因是缺乏结构化的教育体系；另一个原因是由于缺乏通用的设计经验、常用的测试结构、标准化及标志性技术，以及ESD 技术发展路线图。战略规划的缺乏既因为缺乏战略思维，同时也因为缺乏预测能力，甚至缺乏预测 ESD 前景的信心和半导体工艺缩放的指导。工程师们甚至不相信工艺缩放和 ESD 发展趋势之间的关系。这些现象使我意识到，我们缺乏将 ESD 技术体系化或科学化的信心——这再次证明了我们对 ESD 缺乏深入理解，ESD 没有与其他学科形成交叉。另外，由于缺乏相关研究生或者大学本科生课程，使这些观念更加得以强化。

这激励我产生一个想法：我要撰写的不只是一本书，而是关于 ESD 现象的一系列丛书。目的在于自底向上建立一个融合物理、器件和电路的 ESD 学科教育框架。毫无疑问，这将会是一个艰巨的任务。

本书的首要目标是集中探讨半导体器件和电路中的 ESD，希望为学习过力学、热物理、数学、电路设计或者半导体器件物理课程的非 ESD 工程师提供一些有价值的、可理解学习的资料。为了实现这一目标，教材必须包含既简单又经典的物理学基本知识。建立 ESD 学科基础的关键在于对数学和建模理论的关注。希望本书成为学习者有用的工具和未来的参考资料。

第二个目标是将早期的基本原理和现在以及未来的技术联系起来。本书的目的不仅是为今天的问题提供解决方案，而且还要将其概念长期保留下来。出于这个原因，本书将采用包含物理模型的文献来讨论当今相关的技术问题，以此来清晰呈现技术随工艺缩放趋势曲折发展的过程。此外，新的 ESD 学科将被证明是植根于过去并与现有的模型和文献有着各种联系。通过这种撰写方式，基本概念将彼此交织。

第三个目标是为 ESD 工程，尤其是新技术和新探索方面提供深度和广度。如果已经拥有重要的资料，当能够得到其他的资源时，人们通常就会回避深度了。面对新的学科，为了理解该学科及其重要意义，有必要透彻地学习相关的资料。

第四个目标是提供一个教育基地，帮助建立对本质的理解、直觉和创造性。此时，对 ESD 保护结果的预测不是一个封闭式的解决方案。这不是因为 ESD 分析很棘手，而是因为 ESD 物理和产品结果不仅涉及微观和宏观的尺寸，同时也与没有覆盖较宽电流、电压及温度范围的模型和工具有关。ESD 模型和实际产品并非绝对的一对一映射。ESD 工程师需要一种知道事情为什么发生的直觉，以及能够将不完整的知识运用到工作实践中的能力。传授直觉绝非易事，培养创造能力却相对容易一点。

本系列丛书的第一本书包括以下内容：

第 1 章介绍与 ESD 相关的时间常数和物理脉冲模式。了解物理的时间常数，可以让我们确定哪一个物理现象是至关重要的。本书为正在学习已知不同类型 ESD 模型基本原理的学生提供了关于相互作用的物理时间常数的感性认识。定义静电力

（EQS）的时间常数、磁准静态场（MQS）、电磁（EM）、热扩散过程、ESD 脉冲模型、电路的时间常数和封装模型是理解和直觉的关键。规范化和无量纲量也是理解物理系统规模和级别的关键。第 1 章从电气和电热的角度着重介绍了稳定性和不稳定性的概念。为了理解击穿现象，该部分将讨论帕邢、特普勒和汤森早期的工作。本章的重点在于介绍空气中以及硅中的击穿现象，从而理解雪崩现象。本章将从时间和空间的角度讨论击穿的不稳定性，后面将采用相同的角度理解 MOSFET，并讨论电流收缩和整流。通过这种方法，帮助学生了解测试仪、火花间隙、ESD 网络和 MOSFET 击穿的运行机制。

第 2 章着重于热模型、热物理和 ESD 电热模型。大多数电热 ESD 的基本模型从根本上是来源于几何约束条件和时间不变的假设下的热扩散方程的解。本章的重点是展示从时间和空间的角度在球形、圆柱形和矩形的几何形状中求解的一般方法。本章将介绍的数学方法包括：格林函数的解、图像法、杜哈明齐次化原理、玻尔兹曼定律和基尔霍夫变换、感应势转移矩阵法、层状介质及其他方法。从这些方法进而推导出 Wunsch 和 Bell、Tasca、Arkhipov、Dwyer、Campbell、Ash、Smith－Littau 等人早期提出的 ESD 模型。这种教学方法，实现简单的散热解决方案以及物理时间常数，从而让 ESD 模型不再神秘。它的神奇之处在于热扩散方程的数学之美以及如何将它应用到基于热时间常数假设的简单几何结构和几何模型中。

第 3 章的重点是半导体器件和 ESD 问题。为了避免成为一本专门介绍半导体的图书，本章只着重介绍某些受关注的领域和器件。器件部分包括二极管、电阻器、双极型晶体管、晶闸管、MOSFET。我们概括性地介绍了大电流、高电压和高温的影响。本章以热模型、陷阱能级模型、能级－能级隧穿模型为基础讨论了泄漏现象，这对于了解泄漏很重要。电阻元件部分重点介绍速度饱和的影响。双极型晶体管部分将讨论约束，如约翰逊约束、柯克效应及基本模型。晶闸管部分重点介绍不同触发情况的标准和通用的四极管模型，保持电流的公式化也将被讨论。MOSFET 部分的重点是 MOSFET 的电流收缩、雪崩现象、寄生的双极型晶体管和 MOSFET 栅致泄漏及漏极泄漏现象。本章还讨论速度饱和效应以及它们与 ESD 现象的关系。本章的目的是将一些概念与前后章节联系起来。

在随后的章节中，半导体的每个领域都会以一般的方式，而非创造性器件模型的方式进行阐述。讲解这些效应的标准做法是：将它应用到 MOSFET 晶体管、二极管或电阻中。当该模型可以被集成到所有的器件中时，我们就推广了这门学科。

第 4 章的重点在于衬底和 ESD 现象。衬底电气和热模型会影响所有的电路和 ESD 元件。一般概念和模型能够被用于二极管、双极型晶体管、MOSFET 和晶闸管中。我们可以以培养通才的途径进行教学，衬底是半无限域，它包含多个器件，可以单独或耦合处理。本章讨论衬底模型的概念，如半无限域模型、传输线模型和损耗传输线。随后利用格林函数方法和新的几何模型介绍电气和热建模。此外，为了介绍多触头或多个元件，本章在涉及较复杂的情况及耦合现象时，还将介绍 Ron

Troutman 用于闩锁效应中的转移阻抗的概念。这些模型可用于分析 ESD、噪声或闩锁效应。另一个方法是将衬底视为层间介质，麻省理工学院的 J. Melcher 在解决连续机电学中的问题及 J. A. Kong 在解决电动力学中的问题时，都广泛运用了这种技术。这些方法适用于解决 GaAs 衬底的 SOI 晶圆中可变掺杂区域的 ESD 方面问题。

第 5 章讨论了阱和 ESD。它用一般的方法介绍了扩散阱、倒阱、三层阱和衬底集电极之间的区别。这些区别基于 ESD 的实验工作，对纵向二极管的性能、纵向寄生 PNP 型晶体管、横向 NPN 型晶体管和其他 ESD 结构有着显著的影响。这些知识可以用于理解 ESD、闩锁效应和少子注入。同时，本章还将展示一些有关阱结构的 ESD 最新实验成果样品。

第 6 章讨论了隔离结构对于 ESD 稳定性的影响。隔离结构包括 LOCOS 隔离、浅槽隔离和深槽隔离。这些结构将对 ESD 网络的性能和闩锁效应有重要影响。本章分别介绍 ESD 器件对于 LOCOS 和 STI 的影响，对 LOCOS 和 STI 结构的仿真和实验结果也进行了讨论。

第 7 章讨论 MOSFET 的漏结构和金属硅化物。MOSFET 的漏结构和金属硅化物对 ESD 保护具有显著的影响。本章介绍了 MOSFET 的漏工程演变以及从钛向钴硅化物的过渡，同时简要介绍了钛的性质、向低电阻的过渡以及如何使用钼协助过渡。本章的重点是 ESD 导致的与金属硅化物相关的自加热效应的热模型。

第 8 章涉及电介质和 ESD 现象。本章首先讨论了 Fong 和 Hu 的介质故障的模型，随后介绍了 D. Lin 提出的直流和脉冲现象的模型区别。本章主要讨论了电介质的物理原理。若要全面介绍电介质需要大量篇幅，因此本章仅仅展示电介质的部分成果。

第 9 章涉及互连和 ESD。本章通过介绍铝互连、铜互连和铜/低 k 层间介质系统来讨论连接和 ESD。虽然现在有许多的互连模型，但是本章将着重介绍 Banerjee 和作者所提出的互连模型。电阻器的模型（如 Smith – Littau 模型）适用于互连，此外，Maloney、Vinson 和 Salome 也提出了模型。在有关 n 阱章节中讨论的模型同样也能用于互连。本章并不只是一个详尽的互连模型清单，对许多新的问题，如低 k 电介质、填充的形状、失效、ESD 电迁移的研究等方面的问题也进行了简要讨论。此外，本章还展示了 P. Y. Tan 和 S. Sherry 关于材料变化和电磁影响的相关资料。这些模型也适用于理解在磁记录元件中的 ESD 故障，例如磁阻磁头、巨磁阻磁头和隧道磁阻头。

第 10 章讲解了绝缘体上硅（SOI）技术和 ESD。人们对于 SOI 技术的兴趣日益增强，它是 CMOS 技术的一种自然延伸，给 ESD 保护也引入了新的问题。本章讨论了 SOI 中的横向多晶硅栅控二极管结构，还介绍了 SOI 二极管模型和热模型。从培养通才的方法出发，SOI 建模是一种由几何形状所决定的，本征的格林函数热模型，并且衬底可以被视为一个分层介质问题。本章还介绍了动态阈值 SOI 器件，展现了在 SOI 环境中新的机遇。SOI 技术将继续被广泛应用于地面和航空中。本章介绍了

在现代 CMOS 技术中 SOI 的早期工作。本章从 1994 年在 IBM 公司写出第一个版本开始到现在拥有着许多读者。

第 11 章介绍了硅 – 锗（SiGe）、硅 – 锗 – 碳（SiGeC）技术和 ESD。本章对硅锗器件物理和 ESD 现象做了简要的讨论。本章着重从 ESD 角度出发，介绍硅双极型晶体管与硅 – 锗、硅 – 锗和硅锗碳器件之间的区别。本章内容非常新颖，直至 2000 年，第一篇关于 SiGe 双极型晶体管 ESD 的文献才被发表。本章从第一次出版到现在拥有的读者数量迅速增加。

第 12 章介绍了未来的器件，目前还没有相关的 ESD 测试报告。本章简要地介绍应变硅器件、鳍状场效应晶体管（Fin – FET）、碳纳米管和其他有望在未来面世的器件。

从发现静电现象至今已经有 2600 年了，但是直到现在，我们才撰写了这本教材以适应这门学科的教学。在本书中，我需要找到一个快乐的介质，在基本原理和适用于现代的技术之间架起一座桥，旨在让读者能够通晓过去，预知未来。好好去读这本书吧，并透彻理解 ESD 的本质。等待我们学习的还有太多太多。

B' ' H

Steven H. Voldman

IEEE 会士

致　谢

我要感谢在我个人的学术和职业发展道路上给予我帮助的人们。过去有很多人一直指引着我，从只言片语到多年的相互交流。布法罗大学和麻省理工学院的教师们对于我在连续介质力学、连续机电学、静电学和半导体领域的发展方向和兴趣有着至关重要的影响。我要感谢布法罗大学的工程科学课程和 Irving Shames 教授、Herbert Reismann 教授以及 Stephen Margolis 教授在热学、机械、电气等领域给予我的支持和关注。我要感谢麻省理工学院电气工程（EE）系、等离子体聚变中心和高电压研究实验室（HVRL）在等离子体物理、电动力学、静电学和半导体领域的支持。James R. Melcher 教授、Markus Zahn 教授、Cliff Fonstad 教授、Louis D. Smullin 教授、J. A. Kong 教授、David Epstein 教授和 C. Cook 教授以及其他电气工程系教员帮助我理解连续机电学、静电学和半导体领域的技术材料，协助课程材料开发，以及教学与教育用课本开发。

在 IBM 公司，我有幸遇到许多来自 IBM 公司伯灵顿佛蒙特分部、东费什基尔分部、T. J. Watson 研发中心的导师和挚友，以及来自 IBM 公司波基普西分部、罗切斯特分部、奥斯汀分部、马纳萨斯分部、金士顿分部、恩迪科特分部和罗利分部的电路设计师们。过去的 22 年来，我很幸运能收到许多 IBM 公司工程师和科学家的意见和建议并能与他们进行互动，我要感谢早年在 IBM 公司给予我指导的半导体导师：Ron Troutman、Wendell Noble、Badih El – Kareh、Ed Nowak、Eric Adler、George Sai – Halasz、Tak Ning、Denny Tang、Robert Dennard、Matt Wordeman、Jack Y. – C. Sun、John Aitkens、Paul Bakeman、Andre LeBlanc、Andre Forcier、Bruno Aimi、Charles Stapper、Peter Cottrell 和 Dale Critchlow。在半导体的发展过程中，我也想感谢我的同伴和共事者：Michael Hargrove、James Slinkman、Stephen Furkay、Jeffery B. Johnson、Stephen Geissler、Toshi Furukawa、Jim Nakos、Jim Adkisson、Terry Hook 和 Chris Long. 我想感谢我的经理 John Hiltebeitel、Jim McNichol、Mark Hakey、Jim Dunn 和 Stephen St. Onge 在我学习 ESD 过程中给予的支持。我要感谢 IBM 失效分析团队，James Never、Peter Czahor，还有所有其他在我学习 ESD 的过程中多年协助诊断 ESD 故障的人们。此外，在 ESD 的设计和开发过程中，我想感谢在过去 22 年里曾一起学习和交流电路以及技术问题的电路设计师和 I/O 的团队：Roy Flaker、Jack Gersbach、Russel Houghton、Jeffery Chu、Richard Parent、Howard Kalter、H. S. Lee、David Pricer，Thomas Maffit、Jeffery Dreibelbis、Charles Drake、David Hui、Daniel Dreps、Robert Williams、Daniel Young、John Bialas、Roger Gregor、Harold Pilo、Geordie Braceras、Tony Correale、Douglas Stout、Ron Piro、Jeffery Sloan、James Pequignot、

Francis Chan、Sam Ray 等。除此之外，在电路和 ESD 器件的发展中，我要感谢以下微处理器设计团队中的电路设计者：摩托罗拉、IBM、AMD、康柏、新视代、全美达、IDQ 和 Cyrix。特别感谢摩托罗拉的 Gianfranco Gerosa、新视代的 Donald Draper、和全美达的 Mark Johnson。

在 ESD 学科中，我想向多年来支持我的 SEMATECH ESD 组，EOS / ESD 研讨会的 ESD 万隆工程设备测试标准委员会，以及讨论 ESD 保护和闩锁效应的人们表达我的谢意，他们是：Charvaka Duvvury、Timothy – Maloney、Elyse Rosenbaum 教授、Ming – Dou Ker 教授、Patrick Juliano、Ajith Amerasekera、Fred Kuper 教授，Jeremy Smith、Eugene Worley、Robert Ashton、Warren Anderson、Michael Chaine、Leo G. Henry、Mark Kelly、Jon Barth、David Bennett、Gary Weiss、Corrine Richier、Marise BaFluer、Richard Ida、Natarajan Mahadeva Iyer、M. K. Radhakrishnan、Gianluca Boselli、Brenda McCaffrey、Ann（Fletcher）Rand、Ron Gibson 和 John Kinnear。我想感谢 ESD 协会办公室在出版刊物、标准制定、会议活动等方面的支持，特别感谢 Lisa Pimpinella。我要感谢国际可靠性物理研讨会的工作人员，以及为举办有关 ESD 和闩锁效应讲座和辅导提供机会的委员会。我要感谢支持国际物理故障分析研讨会，IEEE 可靠性分会和新加坡的特许半导体公司在开发 ESD 教程中提供的支持。我要特别感谢中国台湾交通大学 Ker Ming – Dou 教授和 Steve Chung 教授以及中国台湾 ESD 研讨会。还要特别感谢 Shun – Lien Chuang 教授和伊利诺伊州香槟分校的 Elyse Rosenbaum 教授。我要感谢我暑期的学生的辛勤工作——来自佛蒙特州埃塞克斯的 Kimberly Morriseau、UIUC 的 Patrick Juliano、普林斯顿大学的 Brian Roman 和宾夕法尼亚州立大学的 Anne Watson，他们协作和参与了 ESD 和闩锁现象的实验和发现。

最重要的是我的孩子们，Aaron Samuel Voldman、Rachel Pesha Voldman 和我的妻子 Annie Brown Voldman。他们全心支持着我的工作，并尽力减少对生活的需求和欲望，让我们的生活不断向前，使我们的生活走在正确的道路上。当然还要感谢我的父母，Carl 和 Blossom Voldman 及其他所有的家庭成员。

B''H

Steven H. Voldman

IEEE 会士

目　录

作者简介

译者序

前言

致谢

第 1 章　静电和热电物理学 …… 1

1.1　引言 …… 1

1.2　时间常数法 …… 4

1.2.1　ESD 时间常数 …… 4

1.2.2　时间常数的层次结构 …… 8

1.2.3　热学时间常数 …… 8

1.2.4　热扩散 …… 8

1.2.5　绝热、热扩散的时间尺度和稳定状态 …… 9

1.2.6　电准静态场和磁准静态场 …… 10

1.3　不稳定性 …… 11

1.3.1　电气不稳定性 …… 11

1.3.2　热电不稳定性 …… 12

1.3.3　空间不稳定性与电流收缩 …… 14

1.4　击穿 …… 17

1.4.1　帕邢击穿理论 …… 17

1.4.2　汤森理论 …… 17

1.4.3　托普勒定律 …… 18

1.5　雪崩击穿 …… 18

1.5.1　空气击穿 …… 19

1.5.2　空气击穿和峰值电流 …… 21

1.5.3　空气击穿和上升时间 …… 22

1.5.4　中等离子体和微等离子体 …… 23

1.5.5　中等离子体现象 …… 23

习题 …… 24

参考文献 …… 24

第 2 章　热电方法和 ESD 模型 …… 26
2.1　热电方法 …… 26
2.1.1　格林函数和镜像方法 …… 26
2.1.2　热传导方程的积分变换 …… 29
2.1.3　流势传递关系矩阵方法学 …… 32
2.1.4　可变热导率热方程 …… 34
2.1.5　Duhamel 公式 …… 37
2.2　电热模型 …… 38
2.2.1　Tasca 模型 …… 38
2.2.2　Wunsch – Bell 模型 …… 40
2.2.3　Smith – Littau 模型 …… 43
2.2.4　Arkhipov – Astvatsaturyan – Godovosyn – Rudenko 模型 …… 45
2.2.5　Vlasov – Sinkevitch 模型 …… 45
2.2.6　Dwyer – Franklin – Campbell 模型 …… 45
2.2.7　Greve 模型 …… 50
2.2.8　负微分电阻模型 …… 50
2.2.9　Ash 模型 …… 51
2.2.10　统计模型 …… 53
习题 …… 55
参考文献 …… 56

第 3 章　半导体器件和 ESD …… 57
3.1　器件物理 …… 57
3.1.1　非等温仿真 …… 58
3.2　二极管 …… 59
3.2.1　二极管方程 …… 59
3.2.2　复合和产生机制 …… 64
3.3　双极型大电流器件的物理 …… 71
3.3.1　双极型晶体管特性方程 …… 71
3.3.2　基区扩展效应（Kirk Effect） …… 72
3.3.3　Johnson 限制 …… 73
3.4　晶闸管 …… 75
3.4.1　再生反馈 …… 77
3.5　电阻 …… 81
3.6　MOSFET 大电流器件物理 …… 84
3.6.1　寄生双极型晶体管方程 …… 84

3.6.2 雪崩击穿和恢复 …… 87
3.6.3 不稳定和电流约束模型 …… 88
3.6.4 介质击穿 …… 89
3.6.5 栅致漏电（GIDL） …… 91
习题 …… 92
参考文献 …… 92

第4章 衬底和ESD …… 97

4.1 衬底分析方法 …… 97
4.2 视作半无限域的衬底 …… 97
4.3 采用传输矩阵方法表征层状介质的衬底 …… 99
4.4 衬底传输线模型 …… 101
4.5 衬底损耗的传输线模型 …… 103
4.6 衬底吸收、反射和传输 …… 105
4.7 衬底电气和温度离散化 …… 106
4.8 衬底效应：电气传输阻抗 …… 109
4.9 衬底效应：热传输阻抗 …… 111
4.10 衬底温度阻抗模型 …… 113
4.10.1 可变横截面模型 …… 113
4.10.2 可变椭圆横截面模型 …… 115
4.10.3 背面衬底集总分析模型 …… 117
4.11 重掺杂衬底 …… 117
4.12 轻掺杂衬底 …… 118
习题 …… 120
参考文献 …… 120

第5章 阱、衬底集电极和ESD …… 122

5.1 扩散阱 …… 122
5.2 倒阱及纵向调制的阱 …… 126
5.2.1 倒阱 …… 126
5.2.2 倒阱衬底调制 …… 129
5.2.3 倒阱及ESD缩放 …… 131
5.3 三阱及隔离的MOSFET …… 134
5.4 整流电阻 …… 136
5.5 衬底集电极 …… 138
习题 …… 142
参考文献 …… 143

第 6 章 隔离结构和 ESD ······ 145

6.1 隔离结构 ······ 145
6.1.1 局部氧化（LOCOS）隔离 ······ 145
6.1.2 局部氧化（LOCOS）界 ESD 结构 ······ 147
6.2 浅沟隔离 ······ 150
6.2.1 浅沟隔离下拉 ······ 151
6.2.2 浅沟隔离界 ESD 结构 ······ 152
6.3 深沟隔离 ······ 158
6.3.1 深沟保护环结构 ······ 159
6.3.2 深沟及闩锁 ······ 160
6.3.3 深沟及 ESD 结构 ······ 160
习题 ······ 161
参考文献 ······ 162

第 7 章 漏工程、自对准硅化物与 ESD ······ 164

7.1 结 ······ 164
7.1.1 突变结 ······ 165
7.1.2 低掺杂漏 ······ 166
7.1.3 扩展注入 ······ 167
7.2 自对准硅化物及 ESD ······ 168
7.2.1 自对准硅化物电阻模型 ······ 169
7.2.2 硅化钛 ······ 170
7.2.3 钛、钼金属硅化物 ······ 176
7.2.4 硅化钴 ······ 177
习题 ······ 178
参考文献 ······ 179

第 8 章 电介质与 ESD ······ 181

8.1 Fong 和 Hu 模型 ······ 182
8.2 Lin 模型 ······ 184
8.3 击穿电荷 ······ 185
8.4 临界介质厚度 ······ 188
8.5 ESD 脉冲事件与击穿电荷介电模型 ······ 189
8.6 瞬时脉冲事件与击穿电荷介电模型 ······ 190
8.7 超薄介质 ······ 192
习题 ······ 193

参考文献……………………………………………………………………………… 193

第 9 章 互连和 ESD …………………………………………………………………… 196

9. 1 铝互连 ……………………………………………………………………… 197
9. 2 铜互连 ……………………………………………………………………… 203
9. 2. 1 铜通孔 …………………………………………………………………… 208
9. 3 低 k 材料和互连 ………………………………………………………… 210
9. 4 抛光终止和互连 ………………………………………………………… 215
9. 5 填充物和互连 …………………………………………………………… 218
9. 6 铜薄膜应力和电迁移 …………………………………………………… 219
9. 7 互连故障和空洞 ………………………………………………………… 221
9. 8 绝缘结构机械应力 ……………………………………………………… 222
习题……………………………………………………………………………… 224
参考文献………………………………………………………………………… 224

第 10 章 绝缘体上硅（SOI）与 ESD ……………………………………………… 227

10. 1 SOI 的电热模型 ………………………………………………………… 228
10. 1. 1 SOI 电热传输线模型 ………………………………………………… 230
10. 1. 2 SOI 电热传输线模型级数解 ………………………………………… 231
10. 2 SOI ESD 二极管及元件 ………………………………………………… 232
10. 2. 1 突变结工艺 …………………………………………………………… 232
10. 2. 2 外延注入工艺 ………………………………………………………… 235
10. 2. 3 Halo 注入技术………………………………………………………… 237
10. 3 SOI 的互连线 …………………………………………………………… 237
10. 3. 1 铝互连线……………………………………………………………… 237
10. 3. 2 SOI 和铜互连 ………………………………………………………… 238
10. 3. 3 等比例缩放 …………………………………………………………… 240
10. 4 非主流器件……………………………………………………………… 241
10. 4. 1 双衬底掺杂的 SOI 二极管…………………………………………… 241
10. 4. 2 栅金属未覆盖 SOI 二极管结构……………………………………… 241
10. 5 SOI 动态阈值 MOSFET 与 ESD ……………………………………… 241
10. 5. 1 SOI 动态阈值的 ESD 结构…………………………………………… 242
10. 6 未来的 SOI 及 ESD …………………………………………………… 245
习题……………………………………………………………………………… 246
参考文献………………………………………………………………………… 246

第 11 章 硅锗与 ESD …… 249

11. 1 Si－Ge …… 249
11. 1. 1 SiGe 结构 …… 249
11. 1. 2 SiGe 器件物理 …… 252
11. 2 SiGe ESD 测试 …… 255
11. 2. 1 SiGe 与 Si 的比较 …… 257
11. 2. 2 SiGe 电热模拟：集电极－发射极 …… 260
11. 2. 3 SiGe 发射器－发射极－基极 …… 260
11. 3 Si－Ge－C …… 265
11. 3. 1 Si－Ge－C 器件物理 …… 265
11. 4 Si－Ge－C ESD 测试 …… 267
11. 4. 1 SiGeC 集电极－发射极测试 …… 267
11. 4. 2 SiGeC 器件退化 …… 269
习题 …… 272
参考文献 …… 272

第 12 章 微结构与 ESD …… 277

12. 1 FinFET（鳍式晶体管） …… 277
12. 2 应变硅器件与 ESD …… 280
12. 3 纳米管与 ESD …… 283
12. 4 未来新器件 …… 286
习题 …… 286
参考文献 …… 286

第1章　静电和热电物理学

1.1　引言

静电吸引和静电放电（ESD）现象的发现是对科学思考和分析的理解最早的例子之一。它可以追溯到物质的本质、天文学、数学、哲学等问题的创立，并且早于对物质本质的了解。

泰勒斯（公元前624—546年），爱奥尼亚学派（也称米利都学派）的创始人，也是前苏格拉底哲学时期的古希腊七贤之一。泰勒斯是一位天文学家、数学家和哲学家，同时也是一位发明家和工程师。为了寻求知识本源、发展科学方法、确定实用方法和应用推测方法来解释自然现象的问题，他建立了探究知识的传统。人们通常认为批判性的哲学拷问、辩论、解释、论证和批评是由米利都学派创立的。欧几里得、毕达哥拉斯和欧德摩斯都曾是泰勒斯的学生[1]。

静电吸引现象的发现归功于泰勒斯。泰勒斯注意到，琥珀被摩擦后能吸引麦秆。从这件事中，希腊语中的“琥珀”这个单词 ελεκτρου（电子），开始与电现象产生关联。泰勒斯的思想方法在他的门徒和希腊哲学家的著作中推广开来。亚里士多德声称“有些人认为精神贯穿整个宇宙，也许正是这个原因，泰勒斯得出这样一个判断：万物都充满了神。”[2]

对静电现象的研究甚至先于对物质本质的早期思考。在希腊的德谟克利特（公元前420年）、伊壁鸠鲁（公元前370年）和罗马的卢克莱修（公元前50年）等的原子论学派创立之前，泰勒斯就开始了ESD试验和对静电吸引现象的研究。原子论学派兴起之前，泰勒斯就已经去世。他的墓碑上刻着这样一段题词：伟大的泰勒斯就沉睡在这个狭小的坟墓中，然而他智慧的声望将与天同高[3]。

Robert A. Millikan 在他1917版的著作《The Electron》[4]的引言部分中说道：也许这仅仅是一个巧合，这个人最先注意到琥珀的摩擦可能会引起一个新的显著的状态，这个状态如今被称为带电状态，也是这个人最先表达了这个信念，就是必定会有伟大而统一的原则能够将所有的现象联系起来，而且这是能够合理解释的。在所有的明显的差异和变化的事物背后，有一些原始的元素，其中对所有的事物由什么组成和对这方面的探究必然是自然科学的最终目标。然而，如果这仅仅是巧合，那么泰勒斯无论如何都应该得到双重荣誉。因为早在公元前600年，他是最先正确的构思并陈述了上诉观点，这种精神在所有时代都一直引领着物理学的发展。他也是最先做出描述的，虽然这个描述是粗糙的且有瑕疵的，但对这种非常规现象的研究已经将昔日的几个相互独立的物理学科联系在一起，比如热辐射、光、磁学、电学、而且最近让我们与这些原始元素更近，比以

往任何时候都近。

J. H. Jeans 在 1925 年第 5 次出版的《The Mathernatical Theory of Electricity and Magnetism》[5] 中提到：希腊人都知道一块琥珀被摩擦后能吸引轻小物体，这个现象的发现归功于泰勒斯。这个现象和从矿石中发现的磁性成为“现代电磁学发展的基石”。

泰勒斯逝世后，在 ESD 现象上的研究几乎没有进展。尽管历史在前进，但摩擦生电和 ESD 现象的研究进展缓慢。欧洲见证了罗马帝国、伊斯兰教的黄金时代、中世纪、黑死病、文艺复兴和国家的进步。当中国还处于周朝的时候泰勒斯已经发现了 ESD。亚洲经历了翻天覆地的变化，中国经历了秦、汉、隋、唐、宋、元、明、清朝，但是这个领域的知识没有任何进步。

随着社会变迁，直到 18 世纪，人们对静电现象的了解才有所增加。对摩擦生电和 ESD 现象的兴趣成为那些被欧洲法院以及英、法实验室所支持的科学家们的业余爱好。在 17 世纪，Gilbert 注意到玻璃棒和丝绸的相互作用产生的现象与泰勒斯讨论的相同。当材料被丝绸摩擦过时变得“琥珀化”[4]，然后 Gilbert 着手建立摩擦生电的列表。

在同一时期，Stephen Gray（1696—1736 年）提出这样一个概念：根据物质带电后是否有传电效应的性质来区分它们。他将能传电的一类材料定义为导体，而将保持自身带电状态的一类材料称为非导体或者绝缘体。

接下来在 1733 年，法国科学家 Dufay 发现，用火漆和猫的毛皮能够产生同样的效果，他还注意到这个效果不同于玻璃棒[4]。Dufay 最先注意到在不同的物质间有吸引现象或排斥现象，他将这相反的电荷（过程）命名为“玻璃电”和“树脂电”。

Benjamin Franklin 是美国最早的 ESD 工程师，在 1747 年，他也认定有两种电荷，并将此分为“正”电荷和“负”电荷。这个“正”电荷是 Gilbert 首先发现的，即如果某物质被丝绸摩擦过的玻璃棒排斥，那么这个物质是带正电的。“负”电荷就是被毛皮摩擦过的火漆排斥的物质，它拓展了 Dufay 的研究工作。

在这个时期内，很多静电科学家开始记录在带电过程中一种物质对另一种物质的作用。为了建立早期的摩擦生电图表，列出了如下的材料：猫的皮毛、玻璃、象牙、丝绸、水晶、手、木头、硫黄、绒布、棉、虫胶、橡皮、树脂、马来树胶、金属和火棉。大约在这时，一些静电科学家和工程师探索他们身边的现象，他们研究服装的 ESD 现象，也许会影响“人体模型”。Robert Symmer（1759 年）在黑暗中进行了实验研究，他将两只白色的长袜放在一只手中，将两只黑色的长袜放在另一只手中，利用脱袜子的行为和它们之间的相互作用力来探索放电现象[4]。

相反的，在 1785 年库伦发明了扭秤，开始认真研究力、电荷量和距离之间的联系。库伦的实验在早期就被卡文迪许验证了，但是直到 1876 年才被麦克斯韦发表[6]。

当时人们没有完全理解正电和负电的关系。在 1837 年，迈克尔·法拉第完成了“冰桶实验”，冰桶中放有一个玻璃棒和丝绸。这个实验表明：正、负电荷总是同时存在的，而且带电量完全相等。在《Forces of Matter：Lecture V Magnetism – Electricity》的演讲中，法拉第展示了静电充电现象，证明了正、负电充电效应的关系[7]。他用这些话

结束了那次电学现象方面的演讲：在开始阶段给你们一种对自然力量的认识我们称之为电，已经足够了。你能从中提取这种能量的进程是永无止境的。

即使在当时，物质、带电量和电力之间的关系也没被理解透彻。不同的模型被提出来解释充电过程，包括单电流模型和双电流模型。科学家建立模型来解释这些与介质的压力或者张力相关的现象，从原子论的角度转变到场的表述。就在那个时期，法拉第和麦克斯韦从场角度开始研究电力和电场力，而且电荷被视为“在以太中的应变状态”。在 1873 年，麦克斯韦在《Electricity and Magnetism》上发表了我们如今理解的麦克斯韦方程组[6]。

在 1889 年，帕邢开始分析气体击穿现象，并设法解释气体的击穿与气压和电极间距的关系。介质的击穿现象研究的进步，对如今的器件的 ESD 的理解影响深远。

在 1891 年，G. Johnstone Stoney 博士提议将“电子”这个词作为电学的基本单位，这与法拉第的电解定律的想法结合起来[4]。同时，这与物质之间的联系的认知还不被理解，但是，它作为一种量度或者单位被使用着。Johnstone 再次将这个想法与希腊单词“琥珀”结合在一起，将泰勒斯的早期工作和现代的电学单位的概念联系起来，后来表明电学单位与物质结构和原子理论相关联。

从这些简史中我们知道静电吸引的发现比对物质最早的思考还早。从公元前 600 年，直至 20 世纪 90 年代，泰勒斯的发现与电子转移之间的联系还是没有被理解。

近代物理对原子和电荷关系的理解大开方便之门。以对近代物理和电气工程学科的演化的讨论开始这本书的写作确实是一个浩大的工程。

电气工程专业已经被划分为很多不同的领域、学科和子学科。微电子产业导致人们重新对 ESD 现象产生兴趣。在过去的 25 年内，随着半导体产业的发展，ESD 已经成为这个行业引起巨大兴趣的一种学科。在 20 世纪 70 年代的冷战期间，出于对电磁脉冲（EMP）的关注，为了理解电子器件的 ESD 鲁棒性，提出了很多优秀的物理模型。在 80 年代，随着半导体制造业和半导体产业的发展，ESD 问题在人力装卸、工具作业、海运和服装上仍然未得到解决，这影响着半导体器件的可靠性。虽然 ESD 问题仍然存在，在 80 年代，资源和增长受到限制，但这导致了人们对如何避免失效机制和如何设计 ESD 半导体工艺、器件和电路鲁棒性有了最初的理解。到了 90 年代，对 ESD 的认识有了大幅度的增长，但是新的方向和新的问题仍然不断地出现。就像我们从微电子学过渡到纳米结构，所有的元件类型，从半导体、磁记录设备、微机械到光掩膜都与 ESD 有很大的关联。

ESD 是一个交叉学科，涵盖了热学、机械和电气物理。它也涉及从微观到宏观的物理尺寸问题，在它的教学过程中，这是一个难点。这个学科涵盖了从原子表面到纳米结构器件、电路和系统的理解。它跨越了时间和空间。在时间上，从皮秒现象到恒稳态，它跨越了一个广泛的时间尺度。由于它涉及了各种学科、物理尺度、时间尺度和建模表示，所以这对量化和预测的理解是一个难题。为了克服这个问题，我们将重新整合我们的认识，而且将重点放在能够得到实用的物理模型上。

1.2　时间常数法

1.2.1　ESD 时间常数

为了理解物理现象，特别是 ESD 现象，有必要将空间和时间上的尺度量化。ESD 现象包含了从微观到宏观的尺度。ESD 现象在纳米尺寸上涉及了电和热的传输，在微米尺寸上涉及了电路与电子学，在毫米尺寸上涉及了半导体芯片制造，在米尺寸上涉及了系统设计。我们所关心的时间尺度是皮秒（ps）到微秒（μs），所关心的电流范围是毫安（mA）到几十安培（A），电压范围是从几伏（V）到几千伏（kV）的量级变化，有效温度的范围是从室温到几千开尔文的熔化温度。在时间、空间、电流、电压和温度上变化范围都很广，从微观转化到宏观这个变化也很大，这使得 ESD 现象的建模、模拟及量化非常困难。

要理解 ESD 现象并且进行有效的分析，关键在于辨别哪些现象是关键性的。通过分析时间常数法的物理方程式，可以推导出严谨的结论和逻辑清晰的公式。用这种方式，我们可以理解电和热现象。通过熟悉所关注的时间常数，我们将能够更好地使用我们的理解力和洞察力。通过这种方法，人们能在这个复杂的领域建立更高的直觉。

1.2.1.1　ESD 事件

为了理解 ESD 事件和物理环境的作用，确定 ESD 事件的时间常数十分重要。ESD 事件可以用等效电路模型表示。

1.2.1.2　人体模型时间常数

人体模型（HBM）脉冲是 ESD 领域中应用的基本模型之一[9]，它用来表示带电的人与电学器件或物体接触后放电时的交互作用。这个模型（见图 1-1）假设带电的人为初始条件，然后这个带电的人通过手指接触器件或者物体，这种物理上的接触允许电流在人和物体间流动。人体模型的时间常数与模拟人体的电学组件相关。在 HBM 标准中，用 100pF 的电容串联 1500Ω 的电阻的 RC 网络来模拟带电人体。此网络有一个特有的上升时间和衰减时间。这个特有的衰减时间与网络的时间有关，即

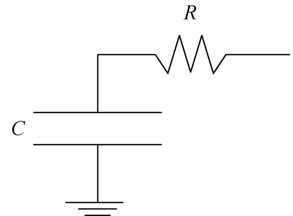


图 1-1　人体模型等效电路

$$\tau_{HBM} = R_{HBM} C_{HBM}$$

式中，R_{HBM}和 C_{HBM}分别是串联电阻和电容的值。这也是带电源的特征时间。这个 HBM 特征时间常数在物理上很有意思，因为对于很多用于半导体行业的材料，HBM 的脉冲时间约等于其热扩散时间。

1.2.1.3　机器模型时间常数

机器模型（MM）脉冲是应用在 ESD 领域的另一种基本模型[10]，它表示一个已经充电的电源与电学器件或物体接触后放电时的交互作用。该模型假设其初始条件是“机器”已经充电。在这个模型中（见图 1-2），当电源接触电学器件或物体，我们推测

两者进行物理接触时将发生电弧放电，从而允许两者之间的电流流动。该机械模型的特征时间与模拟这个放电过程的电气器件有关。按照 MM 标准，这个电学器件等效为一个没有电阻的 200pF 电容，而基本的电弧放电电阻在 10 ~ 25Ω 量级。其特征下降时间与网络时间即带电源的特征时间有关，即

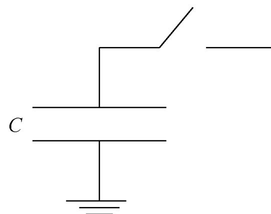


图 1-2　机器模型等效电路

$$\tau_{\mathrm{MM}} = R_{\mathrm{MM}} C_{\mathrm{MM}}$$

式中，R_{MM}——是电弧放电电阻；

C_{MM}——是充电电容。由于缺少电阻元件，该 MM 的时间常数明显小于 HBM 的时间常数。MM 的响应是振荡型的，且其电流明显高于 HBM 的 ESD 事件。实验上，MM ESD 需要保护的量级比 HBM ESD 需要保护的量级低 5 ~ 10 倍。

1.2.1.4　带电器件模型时间常数

带电器件模型（CDM）描述的是一个芯片与已预充电的芯片放电通道之间的 ESD 交互作用[11]。充电过程可以是直接充电或者场感应充电。当充电器件与放电通道开始接触时，放电过程随之开始。CDM 放电发生不到 5ns，该事件典型的上升时间为 250ps。CDM 事件是 ESD 现象中最快的，而且在时间尺度上明显快于热扩散，大概等于现代电子电路的响应时间。结果，其响应接近于半导体中材料的热量绝热假设。

1.2.1.5　充电电缆模型时间常数

ESD 领域中的另一常用模型是充电电缆模型或电缆模型脉冲。该模型表示充电的电缆与芯片、磁卡或者系统之间放电时的相互作用。为了启动该充电过程，将传输线或者电缆拖到地板上以摩擦生电。这个模型假设初始条件为电缆已经充电，然后充电电缆源再与电学器件或物体接触。这个电缆模型的时间常数与用于模拟放电过程的电气器件相关。在充电电缆模型中，电缆的工作特性类似于电容。其特征下降时间与网络时间相关，即

$$\tau_{\mathrm{CCM}} = R_{\mathrm{CCM}} C_{\mathrm{CCM}}$$

式中，R_{CCM}是放电电阻；C_{CCM}是充电电缆。此模型电容为 1000pF。在早期实验中，就已经用过电缆放电的 ESD 模拟器来评价系统级事件。

1.2.1.6　带电盒模型时间常数

带电盒模型是最近建立的与消费电子产品相关的一种模型。在消费电子产品中，有许多关于插槽上小的插入式卡盘或盒子的应用。这在流行的电子游戏中就很容易看到。在现代电子世界，有许多掌型尺寸的，且必须被嵌入式系统作为非无线应用的电子组件。为了验证这种装置的电学安全性，假定盒子本身为带电源，该带电盒模型具有小电容和可忽略不计的电阻，等效于具有很小的电容元件的机器模型类电流源。模型电阻为电弧放电电阻，电容为 10pF。

1.2.1.7 传输线脉冲（TLP）模型时间常数

传输线脉冲（TLP）测试（见图 1-3）见证了 ESD 领域的重大发展[12]。在这种 ESD 测试下，传输线电缆通过电压源充电。TLP 系统将脉冲注入被测器件（DUT）。脉冲的时间常数与电缆长度有关。

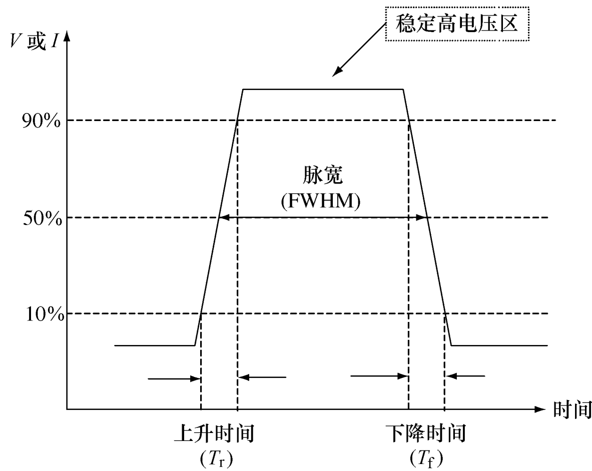


图 1-3 传输线脉冲电压与电流波形

传输线脉冲的宽度是传输线长度及其传播速度的函数。传输线的传播速度可以用相对于光速的形式表示，是传输线等效介电常数和等效磁导率的函数。

$$\tau_{\mathrm{TLP}} = \frac{2L_{\mathrm{TLP}}}{v} = \frac{2L_{\mathrm{TLP}}\sqrt{\mu_{\mathrm{eff}}\varepsilon_{\mathrm{eff}}}}{c_0}$$

在决定用 TLP 测试法去等效或者代替 HBM 方法来分析后，脉冲的宽度得以确定。在实际标准中，TLP 电缆长度的选择要满足当 TLP 脉宽为 100ns 时上升时间小于 10ns 的条件。

TLP 系统由多种不同的配置构成，包括电流源、时域反射（TDR）、时域传输（TDT）及时域反射和传输（TDRT）。在所有的配置中，电流源都是传输线，且其特征时间常数由传输线电缆的长度决定。多样的 TLP 配置影响系统的特征阻抗、测试中的器件位置和传输或者反射信号的测量。

图 1-4 是一个时域反射 TLP 系统的例子。在时域反射 TLP 系统中，将脉冲作用于器件，对波形的估计是基于反射信号波形。

图 1-5 是一个时域传输 TLP 系统的例子。注意对通过器件的电流与电压的估计是基于传输信号。

在时域反射和传输 TLP 系统中（见图 1-6），基于反射信号和传输信号分析通过器件的信号。

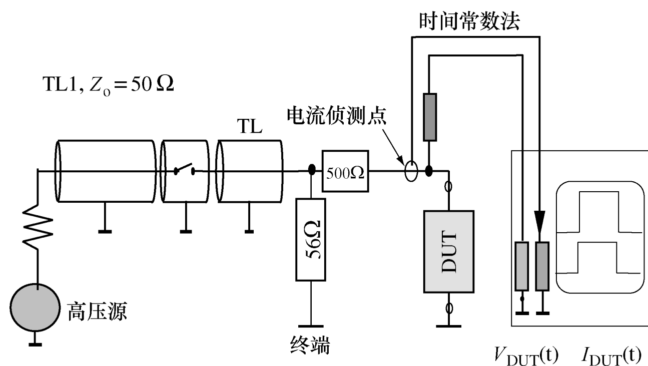


图 1-4　时域反射传输线脉冲测试系统

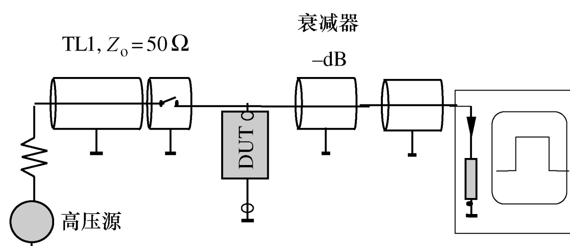


图 1-5　时域传输传输线脉冲测试系统

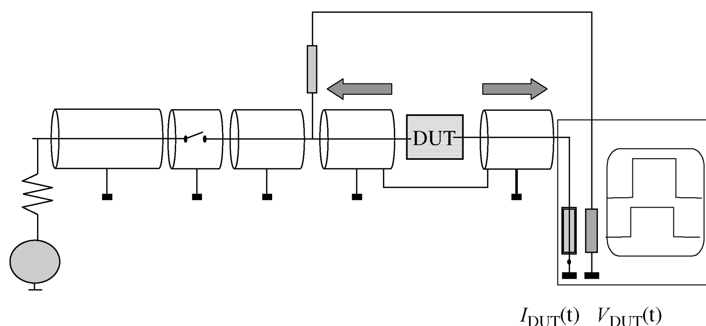


图 1-6　时域反射和传输传输线脉冲测试系统

1.2.1.8　超快传输线脉冲（VF – TLP）模型时间和常数

超快 TLP（VF – TLP）测试方法与 TLP 方法类似[13]。了解到半导体器件在时域上其时间常数与带电器件模型（CDM）时间常数相似，人们对 VF – TLP 的兴趣浓厚。其时间常数由电缆传输线的特征传输速率和传输线长度决定。

$$\tau_{\text{VF-TLP}} = \frac{2L_{\text{VF-TLP}}}{v} = \frac{2L_{\text{VF-TLP}}\sqrt{\mu_{\text{eff}}\varepsilon_{\text{eff}}}}{c_0}$$

我们所感兴趣的 VF – TLP 的脉宽一般小于 5ns，上升时间小于 1ns。在半导体介质

中，时间域远低于热扩散时间常数。小的时间常数限制了测量中合适的装置的选择。目前，使用与 TLP 系统相同配置，可以对 VF－TLP 系统进行演示。

1.2.2 时间常数的层次结构

通过建立时间常数的层次结构，物理现象和方程式的有效性使我们充满信心，也可以对上述结论中对时间域的理解保持有效性[14]。

在 ESD 现象中，图 1-7 显示了不同 ESD 机制和模拟实验的时间常数的层次结构。脉冲时间常数和物理现象的关系决定着热、电响应的作用。

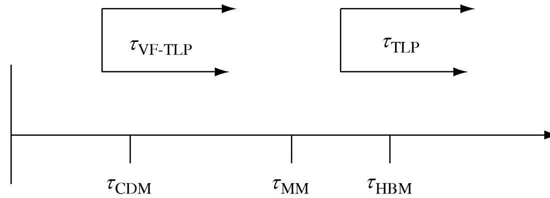


图 1-7 ESD 时间常数层次结构

在热电物理学中，明白 ESD 事件对于热、电响应的关系非常重要，这能由特征长度和时间尺度的层次结构很好的阐述。

1.2.3 热学时间常数

1.2.3.1 热容量

介质的热容量表征介质存储能量的能力[15]。系统的热容量 C_p 可以表示成物质的密度 ρ、比热容 c_p 和温度 T 的乘积，即

$$C_p \Delta T = \rho c_p \Delta T$$

1.2.4 热扩散

热传递是由温度场的温度渐变造成的，热传导是热扩散的结果。

1.2.4.1 热输运方程

ESD 现象包含了电气和热学现象。介质中的温度场可以由热传导的微分方程决定。只要理解给定区域的能量平衡，那么介质中任意一点的温度就都能确定。一个无穷小容积的能量平衡方程由进入该容积的热传输净速率与该容积内能量产生速率之和决定，其中后者等于在容积中的内能增长速率。进入无穷小容积的热传输净速率等于流入该容积的热流速率与流出该容积的热流速率之差。热量在各个方向的微分总和决定了容积的净热传输速率，这个量就叫做热量的散度。容积内能量产生速率与无限小容积内的发热源相关联。内能的增长速率与该系统的热容量的增加有关。下列的能量平衡方程也叫热量方程或者热传导的偏微分方程：

$$\frac{\partial}{\partial x}\left(k\frac{\partial T}{\partial x}\right)+\frac{\partial}{\partial y}\left(k\frac{\partial T}{\partial y}\right)+\frac{\partial}{\partial z}\left(k\frac{\partial T}{\partial z}\right)+g = \rho c_p \frac{\partial T}{\partial t}$$

假设热导率 k 与位置和温度无关时，热导率变量可以从热流量中分离出来。这种情况下，热传导的偏微分方程能够归一化。热流量项可以简化为温度的拉普拉斯算子，表达式为

$$\nabla^2 T + \left(\frac{g}{k}\right) = \frac{1}{\alpha}\frac{\partial T}{\partial t}$$

式中，热扩散系数定义为

$$\alpha = \frac{k}{\rho c_p}$$

这种形式的方程对确定 ESD 事件产生热量的位置意义重大。这在电流流动或电流产生的区域中是非常典型的。例如，在焦耳热效应的作用下，MOSFET 的源极、漏极和沟道都会发热。

假设在介质内部没有热源，那热传导的偏微分方程可以简化成傅里叶方程，也称扩散方程，即

$$\nabla^2 T = \frac{1}{\alpha}\frac{\partial T}{\partial t}$$

因为这是一个时间上一阶，空间上二阶的偏微分方程，所以傅里叶方程也称为抛物线方程。对于 ESD 分析，这一方程应用的区域没有热源，但其温度场受到位于区域内部或边界的热流或者温度梯度的影响。

对于稳态过程，热传导偏微分方程可以简化为

$$\nabla^2 T + \left(\frac{g}{k}\right) = 0$$

对于恒定的热导率（空间和时间上），热传导的偏微分方程可以简化为以温度作为场变量的泊松方程。泊松方程对于恒稳态的自热过程的分析很有用。当没有内部热源，热导率恒定，且没有热产生时，泊松方程可以简化成拉普拉斯方程，即

$$\nabla^2 T = 0$$

1.2.4.2　热学物理时间常数

根据热传导的偏微分方程，与热扩散相关的特征时间是热扩散时间 τ_T，为

$$\tau_T = \frac{l^2}{\alpha}$$

式中，α 是热扩散系数，$\alpha = k/\rho C_p$；l 是特征长度。

给定一个振动稳态热学激励，若其角频率为 ω，波长远小于其他物理特征长度，可以将热学趋肤深度定义为

$$\delta = \sqrt{\frac{2\alpha}{\omega}}$$

1.2.5　绝热、热扩散的时间尺度和稳定状态

半导体中的 ESD 现象与事件本身相关，首先，主要考虑外加脉冲时间尺度以及与介质、电路和系统的响应。

必须建立时间常数的层次，以理解物理现象和 ESD 事件的时间常数的关系。ESD 事件的时间常数与电磁波的传输时间、电荷的弛豫时间、磁扩散时间以及热扩散时间相关，这对于理解物理响应很重要。

在诸如硅等半导体材料中，特征时间的层次遵循电准静态场（EQS）假设[14]。对

于 EQS 假设，磁扩散时间比电磁传输时间短。特征时间的顺序分别是磁扩散时间、电磁传输时间和电荷弛豫时间。另外，我们感兴趣的是电磁传输时间比脉冲的时间常数短得多的区域（例如，$\beta \ll 1$）。必须保证这些特征时间的顺序以保证 EQS 假设成立。为解决热传输的问题，在时间常数层次上分三个有效（感兴趣）区间。当脉冲的时间常数 τ 比热扩散时间短得多时，由传导引起的热传输可以忽略，这就是“绝热假设”。当脉冲的时间常数 τ 与热扩散时间是同一量级时，这被称为“热扩散假设”。当脉冲时间常数明显长于热扩散时间时，接近于稳态响应的解法被称为“稳态假设”。

1.2.6 电准静态场和磁准静态场

可以通过确定特征长度和特征时间来解释一个物理系统。定义特征长度为 l，特征动态时间为 τ。

电气现象包含了电气和磁学领域。电场和磁场通过麦克斯韦方程组联系在一起。三个重要的时间常数可以使我们理解电学现象的有效性，分别是电荷弛豫时间 τ_e、电磁扩散时间 τ_m 和电磁波传输时间 τ_{em}。电磁波传输时间 τ_{em} 是一个电磁平面波传播距离 l 所需要的时间。

$$\tau_{em} = \frac{l}{c}$$

式中，c 是光在介质中的传播速度，它可以表示为

$$c = \frac{1}{\sqrt{\mu\varepsilon}}$$

由上式将电磁场传播时间表达为

$$\tau_{em} = l\sqrt{\mu\varepsilon} = \sqrt{(\mu\sigma l^2)\left(\frac{\varepsilon}{\sigma}\right)}$$

将电荷弛豫时间 τ_e 定义为

$$\tau_e = \frac{\varepsilon}{\sigma}$$

将磁扩散时间 τ_m 定义为

$$\tau_m = \mu\sigma l^2$$

将电磁传输时间 τ_{em} 定义为

$$\tau_{em} = \sqrt{\tau_e \tau_m}$$

由上式可知，电磁传输时间是磁扩散时间和电荷弛豫时间的几何平均值。

再定义一个参数 β_τ 为

$$\beta_\tau = \frac{\tau_{em}}{\tau}$$

这个参数是电磁传输时间与时间常数的比值[14]。

为了用麦克斯韦方程简化 EQS 假设，磁扩散时间必须比电荷弛豫时间短，且时间常数 τ 必须远大于电磁场传播时间（见图 1-8）。

为了用麦克斯韦方程简化准静态电磁场（MQS）假设，电荷弛豫时间必须比磁扩

散时间短，且时间常数 τ 必须远大于电磁场传输时间（见图 1-9）。在大多数 ESD 问题中，分析时没有考虑到 MQS。但是在很多情况下，MQS 假设是成立的，比如磁记录介质、磁存储器和 MRAM。

ESD 中考虑的主要问题是静电和准静电，这同时也是本书关注的问题。ESD 脉冲的时间常数的数量级一般是 1ns 到几十纳秒，这比半导体器件、电路或者芯片的电磁传输时间长得多。对于半导体来说，磁介电系数和电介电常数使得其衬底材料的电荷弛豫时间比磁扩散时间长。当分析电气互连、封装和传输线脉冲系统时，时间常数接近于电磁传输时间。在包含电弧放电的 ESD 事件分析中，电流现象和电磁辐射是以 TE、TM、TEM 形式出现的。对于半导体器件，重要的时间常数有电荷弛豫时间、热扩散时间和 ESD 事件的时间常数以及电路响应时临界时间常数（见图 1-10）。

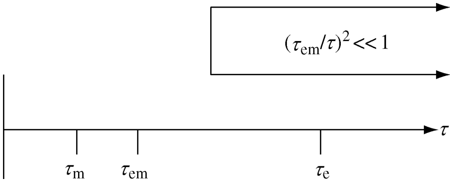


图 1-8　电准静态时间常数层次结构图

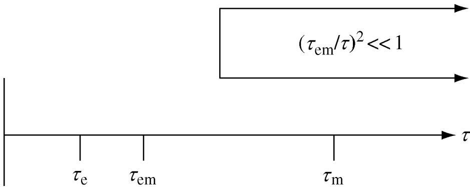


图 1-9　磁准静态时间常数层次结构图

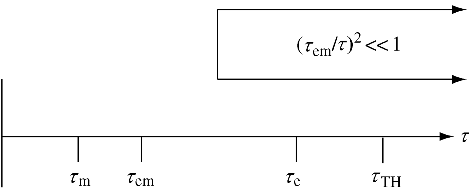


图 1-10　电准静态及热时间常数层次结构图

1.3　不稳定性

1.3.1　电气不稳定性

电气的不稳定性与系统相关，而不稳定性仅包含电气现象。在这个问题的研究中，

假设温度是恒定的，并且不影响稳定性。

举个简单的例子，例如电阻器，由电阻器中的关系有

$$V = IR$$

在时间上进行求导，有

$$\frac{\mathrm{d}V}{\mathrm{d}t} = R\frac{\mathrm{d}I}{\mathrm{d}t} + I\frac{\mathrm{d}R}{\mathrm{d}t}$$

假设电压是常数，那么 $\mathrm{d}V/\mathrm{d}t = 0$，则有

$$0 = R\frac{\mathrm{d}I}{\mathrm{d}t} + I\frac{\mathrm{d}R}{\mathrm{d}t}$$

即

$$0 = \left\{\frac{1}{I}\right\}\frac{\mathrm{d}I}{\mathrm{d}t} + \left\{\frac{1}{R}\right\}\frac{\mathrm{d}R}{\mathrm{d}t}$$

为满足上式，若第一项是正的，那么第二项必须是负的，即

如果$\left\{\frac{1}{I}\right\}\frac{\mathrm{d}I}{\mathrm{d}t} \geqslant 0$，那么$\left\{\frac{1}{R}\right\}\frac{\mathrm{d}R}{\mathrm{d}t} \leqslant 0$

当 $R > 0$，$\mathrm{d}R/\mathrm{d}t < 0$ 时，这个表达式成立。由于这个不稳定条件，当电流增加时，电阻必然减小。简而言之，$V = IR$，若 V 是常数，有

$$R\mathrm{d}I + I\mathrm{d}R = 0$$

那么不稳定条件是

$$\frac{\mathrm{d}R}{\mathrm{d}I} = -\frac{R}{I}$$

注意对于这个推导，这个系统没有温度的计算。

1.3.2 热电不稳定性

热电的稳定性分析包含电气参数和温度之间的关系[16]。在通用系统中，为了明确热电不稳定性何时发生，可以设置一个不稳定的条件。热电的不稳定性对于研究器件的 ESD 失效的主要机制很重要，它发生在电阻、二极管、双极型晶体管和 MOSFET 器件中。因此，我们可以得到与器件或者结构无关的不稳定性度量的标准。

令电流是电压和温度的函数，表达式如下：

$$I = I(V, T)$$

对 I 全微分，则有

$$\mathrm{d}I = \left.\frac{\partial I}{\partial V}\right|_T \mathrm{d}V + \left.\frac{\partial I}{\partial T}\right|_T \mathrm{d}T$$

上式可表示为

$$\mathrm{d}I = \left.\frac{\partial I}{\partial V}\right|_T \mathrm{d}V + \left.\frac{\partial I}{\partial T}\right|_V \frac{\mathrm{d}T}{\mathrm{d}V}\mathrm{d}V$$

由微分的电流方程，$\mathrm{d}I = G(V, T)\mathrm{d}V$，得

$$G(V, T) = \left.\frac{\partial I}{\partial V}\right|_T + \left.\frac{\partial I}{\partial T}\right|_V \frac{\mathrm{d}T}{\mathrm{d}V}$$

对于一个稳定的系统，电导是正的，即

$$\left.\frac{\partial I}{\partial V}\right|_T+\left.\frac{\partial I}{\partial T}\right|_V\frac{\mathrm{d}T}{\mathrm{d}V}>0$$

但是对于一个不稳定的系统，电导是负的，即

$$\left.\frac{\partial I}{\partial V}\right|_T+\left.\frac{\partial I}{\partial T}\right|_V\frac{\mathrm{d}T}{\mathrm{d}V}<0$$

若电导为正，且当电压恒定时，电流与温度相互独立，即

$$\left.\frac{\partial I}{\partial T}\right|_V\frac{\mathrm{d}T}{\mathrm{d}V}=0$$

且

$$\left.\frac{\partial I}{\partial V}\right|_T>0$$

那么这个系统是电气稳定的。

若电导为负，且当电压恒定时，电流与温度无关，即

$$\left.\frac{\partial I}{\partial T}\right|_V\frac{\mathrm{d}T}{\mathrm{d}V}=0$$

且

$$\left.\frac{\partial I}{\partial V}\right|_T<0$$

那么这个系统是电气不稳定的。

若电导为负，且当电压恒定时，电流与温度相互独立，即

$$\left.\frac{\partial I}{\partial T}\right|_V\frac{\mathrm{d}T}{\mathrm{d}V}<0$$

且

$$\left.\frac{\partial I}{\partial V}\right|_T<0$$

那么这个系统热电不稳定。

用另一种方法来表述，将温度设为功率的函数。令 $T=T(P)$，且 $P=VI$，则 $T=T(VI)$。其中温度就是电压和电流的函数，对上式求偏微分方程，有

$$\left.\frac{\partial T}{\partial V}\right|_I=I\frac{\mathrm{d}T}{\mathrm{d}P}$$

$$\left.\frac{\partial T}{\partial I}\right|_V=V\frac{\mathrm{d}T}{\mathrm{d}P}$$

功率的全微分方程为

$$\mathrm{d}P=\left.\frac{\partial P}{\partial V}\right|_I\mathrm{d}V+\left.\frac{\partial P}{\partial I}\right|_V\mathrm{d}I$$

$$\mathrm{d}P=\frac{\partial P}{\partial T}\left|\frac{\partial T}{\partial V}\right|_I\mathrm{d}V+\frac{\partial P}{\partial T}\left|\frac{\partial T}{\partial I}\right|_V\mathrm{d}I$$

由 $P=VI$，有

$$\left.\frac{\partial P}{\partial V}\right|_I=I$$

$$\left.\frac{\partial P}{\partial I}\right|_V = V$$

变形得到

$$\left.\frac{\partial P}{\partial V}\right|_I = \frac{\mathrm{d}P}{\mathrm{d}T}\left.\frac{\partial T}{\partial V}\right|_I = I$$

$$\left.\frac{\partial P}{\partial I}\right|_V = \frac{\mathrm{d}P}{\mathrm{d}T}\left.\frac{\partial T}{\partial I}\right|_V = V$$

得到了温度关于电压和电流的偏微分方程，由上述表达式有

$$\left.\frac{\partial T}{\partial V}\right|_I = I\frac{\mathrm{d}T}{\mathrm{d}P}$$

和

$$\left.\frac{\partial T}{\partial I}\right|_V = V\frac{\mathrm{d}T}{\mathrm{d}P}$$

根据这些表达式能推出电压和电流的微分关系，即

$$\frac{\mathrm{d}V}{\mathrm{d}I} = \frac{V}{I}\left\{\frac{1 - V\dfrac{\mathrm{d}T}{\mathrm{d}P}\left.\dfrac{\partial I}{\partial T}\right|_V}{R\left.\dfrac{\partial I}{\partial T}\right|_T + V\dfrac{\mathrm{d}T}{\mathrm{d}P}\left.\dfrac{\partial I}{\partial T}\right|_V}\right\}$$

假设分母不为零，且 $\mathrm{d}V/\mathrm{d}I = 0$，那么得到二次击穿的条件是

$$1 - V\frac{\mathrm{d}T}{\mathrm{d}P}\left.\frac{\partial I}{\partial T}\right|_V = 0$$

或者说当电压恒定时，电流是温度的函数，即

$$\left.\frac{\partial I}{\partial T}\right|_V = \frac{1}{V}\frac{\mathrm{d}P}{\mathrm{d}T}$$

1.3.3　空间不稳定性与电流收缩

电压、电流和温度的大小以及空间变化都可能导致系统不稳定[17]。电气和热学的不稳定性可能由电压梯度或者温度梯度这些驱动力引发。温度作为电压和电流的函数，连同空间上的温度梯度能够导致热的不稳定性。电流收缩是失稳过程的结果，而失稳过程会导致电场和热场之间的相互作用。

假定一个等位面是等温线（如温度相同），根据欧姆定律有

$$J = -\left(\frac{1}{\rho}\right)\nabla\phi$$

式中，J 是电流密度；ϕ 是电势场。设电阻率 ρ 是常数。

单位面积的热流量表示为

$$q = \phi \cdot J - K\nabla T$$

假设电流守恒 $\Delta \cdot J = 0$，且热量守恒 $\Delta \cdot q = 0$，将电流密度 J 代入电流守恒关系式中，得到

$$\nabla \cdot J = \nabla \cdot \left[-\left(\frac{1}{\rho}\right)\nabla\phi\right] = 0$$

$$\nabla \cdot q = \nabla \cdot \left[\phi\left(-\left(\frac{1}{\rho}\right)\nabla \phi\right) - K \nabla T\right] = 0$$

则有

$$\nabla \cdot q = \nabla \cdot [-\phi \nabla \phi - \rho K \nabla T] = 0$$

根据上式，如果散度为零，那么该表达式是常数，则有

$$\phi \nabla \phi + \rho K \nabla T = 常数$$

这个表达式表明了电势和温度梯度之间的关系。如果热流量的散度是常数，温度梯度增加可以通过电势的乘积项减少来补偿。温度梯度最小时，电势乘积项达到最大值。

在峰值温度处，温度梯度为零，而且其二阶导数达到最小值。因此在温度峰值 T_{max} 等温线处，$\nabla T = 0$。将该式代入等温线表达式中，在 $T = T_{max}$ 处有

$$\phi \nabla \phi = 0$$

电势为零是该方程的一个解，最高温度的等温线就是最低等电势线。

$$\int \phi \nabla \phi = -\int \rho K \nabla T$$

式中，电势积分区间是从 $\phi = 0$ 到 $\phi = \phi$，而温度的积分区间是从 T_{max} 到 T。

当 U 和 V 都是标量场时，由矢量恒等式得

$$\nabla(UV) = U(\nabla V) + V(\nabla U)$$

令 $U = V = \phi$，那么该恒等式可表示为

$$\nabla\left(\frac{\phi^2}{2}\right) = \phi \nabla \phi$$

上述积分方程可表示为

$$\int \nabla\left(\frac{\phi^2}{2}\right) = -\int \rho K \nabla T$$

上式左边的积分与梯度能相互抵消，该式可换算为

$$\frac{\phi^2}{2} = \int_T^{T_{max}} \rho(T) K(T) \, dT$$

结果表明电能（势能的二次方项）等于电阻率与热导率乘积的积分，该积分区间为 T 到 T_{max}。该表达式并不是在等温区求积分，而是沿温度渐变方向求积分。基于这个关系，电势表示为

$$\phi = \sqrt{2\int_T^{T_{max}} \rho(T) K(T) \, dT}$$

当温度在固有温度 T_i 以下时，电阻率由掺杂浓度 n 决定，即

$$\rho(T) = \frac{1}{q\mu n}$$

当温度处于固有温度与最高温度之间时，电阻率能够表示为本征载流子浓度的函数，即

$$\rho(T) = \frac{1}{q\mu n_i}$$

式中，n_i 是本征载流子浓度。在本征温度以下时，电阻与温度弱相关；若温度超过本征

温度，电阻与温度强相关。这就是本征载流子浓度与温度呈指数关系的结果。

从电势、峰值温度、电阻率和热导率的关系中，能画出固定温度 T_{max} 函数的一组分布线，如图 1-11 所示。电气收缩中的最高温度可能在固有温度和熔点之间。

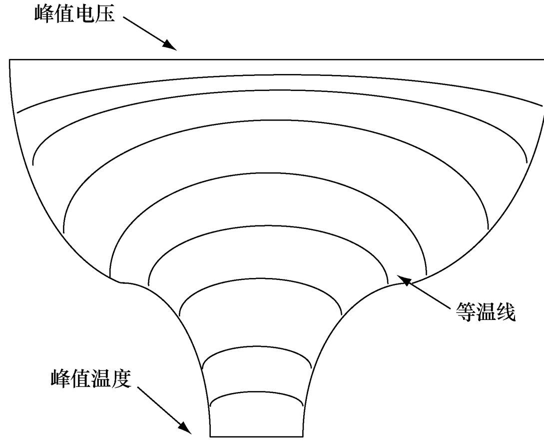


图 1-11 空间电流收缩与温度曲线（等温线）

由电流收缩路径的无穷小量建立欧姆定律方程，可以确定电流收缩的范围。因此，势能的微分变化量等于总电流、电阻率和收缩过程中空间变化量的乘积。

$$\mathrm{d}\phi = I_m \rho \mathrm{d}r$$

势能微分项与温度微分项的关系式是

$$\phi \mathrm{d}\phi = \rho K \mathrm{d}T$$

联立以上两式，有

$$I_m \rho \mathrm{d}r = \frac{\rho K \mathrm{d}T}{\phi}$$

对变量 dr 积分，由电流压缩的等效电阻可以计算出来，有

$$\int \mathrm{d}r I_m \rho = \int \mathrm{d}T \frac{\rho K}{\phi}$$

几何维数上的积分是从 $r=0$ 到 $r=R_s$，温度上是从 T_{max} 到 T。

由于全电流是一个常数，这项可以从积分中提出来，表达式变换为

$$I_m R_s = \int \mathrm{d}r I_m \rho = \int \mathrm{d}T \frac{\rho K}{\phi}$$

因此，可计算出等效电阻

$$R_s = \left\{\frac{1}{I_m}\right\} \int \mathrm{d}T \frac{\rho K}{\phi}$$

将 $\phi(T)$ 表达式代入上式，得到

$$R_s = \left\{\frac{1}{I_m}\right\} \int \mathrm{d}T \frac{\rho K}{\sqrt{2\int_T^{T_{msc}} \rho(T') K(T') \mathrm{d}T'}}$$

根据扩散电阻理论，接触半径 a 和间距为 d 等高线之间关系可满足模型：

$$R_s = \left\{\frac{1}{2\pi a}\right\}\tan^{-1}\left\{\frac{d}{a}\right\}$$

从而得到限制电流的关系为

$$\left\{\frac{1}{2\pi a}\right\}\tan^{-1}\left\{\frac{d}{a}\right\} = \left\{\frac{1}{I_m}\right\}\int \mathrm{d}T \frac{\rho K}{\sqrt{2\int_T^{T_{msc}} \rho(T')K(T')\,\mathrm{d}T'}}$$

1.4　击穿

1.4.1　帕邢击穿理论

正反馈会导致另一种不稳定性。载流子加速会产生二次电子，该反馈能够引发气体、液体、固体中的击穿。

空气的击穿现象对于放电器、ESD 模拟器和磁记录行业的 ESD 应用非常重要。现今着重研究带电器件模拟器的击穿现象。在磁记录行业，磁阻器（MR）元素和穿过空气轴承表面保护层之间也可能产生击穿现象。因此，空气中的物理击穿与当今的难点相关。制造超高速半导体器件的能力可能会受到限制。因此，在空气桥的应用和微型机械中的场致发射器件与放电器可能发挥着重要作用。

帕邢在 1989 年研究了平行平板电极的间隙击穿现象[8,18]。结果表明击穿电压是气压与电极间距乘积的函数。帕邢给出了下式

$$pd \approx \frac{d}{l}$$

式中，p 是气压；d 是电极间距；l 是电子平均自由程。根据帕邢的研究能建立通用曲线，该曲线遵循相同的特性，均与间隙中气体无关。帕邢曲线描绘的是击穿电压的对数曲线，而击穿电压是气压与气体间隙乘积的函数。

$$V_{BD} = f(pd)$$

当 pd 乘积非常小时，由于有效碰撞概率很低，要发生雪崩过程，电子必须加速到超越电离限制。在这个范围内，击穿电压将随着 pd 值的增加而减小，直到达到最小值。在 pd 值很高时，非弹性碰撞数量增加，雪崩电压也增加。这个 U 形曲线关系是气体现象特有的。在高气压下，会发生次级过程，如发光现象。

1.4.2　汤森理论

雪崩现象对于半导体材料和其他材料击穿过程的理解非常重要。在 1915 年，汤森发现在临界雪崩高度会发生击穿现象[18,19]：

$$H = \mathrm{e}^{\alpha d} = \frac{1}{\gamma}$$

式中，雪崩高度 H 等于电离率（每个电子在电场中移动单位距离时产生的电离次数）和电极间距乘积的指数。雪崩高度 H 也能够表示为再生系数（每个正离子撞击阴极时引起的电子发射的数目）的倒数。

1.4.3 托普勒定律

在 ESD 现象中，电弧放电中电阻的计算非常重要，因为这些事件在 ESD 模拟中是很明显的，例如充电器件模型（CDM）、机器模型（MM）和其他 ESD 模拟器。

在 1906 年，托普勒建立了放电过程中电弧电阻的表达式[18,20]。托普勒定律表明在任意时刻电弧电阻都与流过电弧的电荷量成反比：

$$R(t) = \frac{k_{\mathrm{T}}D}{\int_0^t I(t')\,\mathrm{d}t'}$$

式中，$I(t)$ 是在 t 时刻电弧放电中的电流；D 是电极间距；参数 k_{T} 是值为 $4\times10^{-5}\mathrm{Vs^{-1}\cdot cm^{-1}}$ 的常数。

1.5 雪崩击穿

在 ESD 问题的理解上雪崩击穿扮演一个很重要的角色，它能导致半导体器件物理失效。在半导体中，雪崩击穿可以特意作为触发因素来开启 ESD 电路。在半导体 ESD 单元与电路中，当反向偏压超过本征工作电压时，雪崩击穿起关键作用。在 MOSFET 和双极型晶体管中，这种现象对于 ESD 网络很关键。雪崩击穿用于输入引脚电路，在 ESD 电源钳位的公用电源范围以及电源之间。因此，它是 ESD 学科的基础。

随着载流子在介质中的加速运动，能量由电场转移给载流子。随着电场强度的增加，载流子的漂移速度接近饱和，电场强度的进一步增加会导致热振动。随着载流子被加速，在能量传递给电子或者晶格之间产生竞争。载流子的电离率可以表示为[21]

$$\exp(-\varepsilon_{\mathrm{i}}/qEl_{\mathrm{r}})$$

电离率是电离阈值、载流子能量和光学声子散射的平均自由程的函数。在电离阈值之上，能量守恒方程为

$$qE = \alpha_{\mathrm{i}}\varepsilon_{\mathrm{i}} + \alpha_{\mathrm{r}}\varepsilon_{\mathrm{r}}$$

LHS 是载流子能量；RHS 是碰撞电离和产生光学声子转移的能量。碰撞电离系数由距离除以电离事件的数量得到。当载流子的能量高于碰撞电离能时，从中可以建立碰撞电离概率与声子产生率之比的关系式，即

$$P = \frac{\alpha_{\mathrm{i}}}{\alpha_{\mathrm{r}}}$$

在平均自由程内，能产生多个声子。这可以表示为相对平均自由程的碰撞电离率和平均自由程内声子产生率的函数。一个光学声子发射的概率为

$$rP = \frac{l_{\mathrm{i}}}{l_{\mathrm{r}}}P$$

在任何情况下，电离率为 $1/(1+r)$，声子发射率为 $r/(1+r)$。将这个式子代入能量平衡方程，求出碰撞电离率为

$$\alpha_{\mathrm{i}} = \frac{qEP}{\varepsilon_{\mathrm{r}} + (\varepsilon_{\mathrm{i}} + r\varepsilon_{\mathrm{r}})P}$$

遵循载流子的级联反应，电离率是可能的级联事件总和的函数。载流子电离率函数的第一项是载流子致电离及离子化的概率。第二项是载流子到达声子和离子化事件能量的概率，并且首先是声子发射，然后是离子化事件。紧接着第三项表达式为电子能量达到两个声子和一个电离能的概率，首先是两个声子的发射，然后是离子化事件。

$$P = P((E = E_{\mathrm{i}})\,|\,\mathrm{ion}) + P((E = E_{\mathrm{i}} + E_{\mathrm{r}})\,|\,\mathrm{phonon}\,|\,\mathrm{ion}) + P((E = E_{\mathrm{i}} + 2E_{\mathrm{r}})\,|\,\mathrm{phonon}\,|\,\mathrm{phonon}\,|\,\mathrm{ion}) + \cdots$$

在第一步电子电离的数量为

$$\frac{1}{1+r}\exp(-\varepsilon_{\mathrm{i}}/qEl_{\mathrm{r}})$$

第二步电子电离的数量为

$$\frac{1}{1+r}\left(\frac{r}{1+r}\right)\exp-\left(\frac{\varepsilon_{\mathrm{r}}+\varepsilon_{\mathrm{i}}}{qEl_{\mathrm{r}}}\right)$$

即等于

$$\frac{1}{r}\left(\frac{r}{1+r}\right)^2\exp\left(-\frac{\varepsilon_{\mathrm{i}}}{qEl_{\mathrm{r}}}\right)\exp\left(-\frac{\varepsilon_{\mathrm{r}}}{qEl_{\mathrm{r}}}\right)$$

因此在两声子和电离事件中，有

$$\frac{1}{r}\left(\frac{r}{1+r}\right)^3\exp\left(-\frac{\varepsilon_{\mathrm{i}}}{qEl_{\mathrm{r}}}\right)\exp\left(-\frac{2\varepsilon_{\mathrm{r}}}{qEl_{\mathrm{r}}}\right)$$

由此，总的表达式

$$P = \left(\frac{1}{1+r}\right)\exp-\left(\frac{\varepsilon_{\mathrm{i}}}{qEl_{\mathrm{r}}}\right)\left[1+\left(\frac{r}{1+r}\right)\exp-\left(\frac{\varepsilon_{\mathrm{r}}}{qEl_{\mathrm{r}}}\right)+\left(\frac{r}{1+r}\right)^2\exp-\left(\frac{2\varepsilon_{\mathrm{r}}}{qEl_{\mathrm{r}}}\right)+\cdots+\left(\frac{r}{1+r}\right)^n\exp-\left(\frac{n\varepsilon_{\mathrm{r}}}{qEl_{\mathrm{r}}}\right)\right]$$

或

$$P = \left(\frac{1}{1+r}\right)\exp-\left(\frac{\varepsilon_{\mathrm{i}}}{qEl_{\mathrm{r}}}\right)\left[\sum_{n=0}^{n=n}\left(\frac{r}{1+r}\right)^n\exp-\left(\frac{n\varepsilon_{\mathrm{r}}}{qEl_{\mathrm{r}}}\right)\right]$$

将上式代入以下关系式中，就能求得电离系数，即

$$\alpha_{\mathrm{i}} = \frac{qEP}{\varepsilon_{\mathrm{r}} + (\varepsilon_{\mathrm{i}} + r\varepsilon_{\mathrm{r}})P}$$

以上的分析是从概率论和空间尺度观点中分析得到的。这种形式也适用于次级过程的能量损失的应用。

1.5.1　空气击穿

为了理解 ESD 模拟器及其规格，在 ESD 保护中分析空气击穿是很有价值的。例如，Lin 和 Welsher 利用空气放电现象首次引入了充电器件模型（CDM）测试系统[22]。

假设一个简单的带间隙几何体，其空间间隙为 d，带电量为 Q，电压为 V。利用汤森雪崩关系式能够求出电压、电场、峰值电流、上升时间和下降时间。假设间隙中的电场达到击穿电压强度，那么间隙中会有放电电流流过。设该电流是电子漂移电流的函数（忽略扩散电流），即

$$I = en_{\mathrm{e}}\nu_{\mathrm{d}}$$

而且

$$\nu_{\mathrm{d}} = \mu E$$

Q 作为时间的函数，可以将电流与其对时间的导数联系起来，令 $\mathrm{d}Q=(evn)\mathrm{d}t$，也可以将漂移电压与电场联系起来，电场 E 是电压和间距的函数，有 $E=V/d=Q/Cd$，因此推出

$$\mathrm{d}Q=(en_{\mathrm{e}}\{\mu E\})\mathrm{d}t=\left(en_{\mathrm{e}}\left\{\mu\frac{Q}{Cd}\right\}\right)\mathrm{d}t$$

分离变量并求积分有

$$\int\mathrm{d}Q\frac{1}{Q}=\int\mathrm{d}t\left(\left\{\frac{e\mu}{Cd}\right\}n_{\mathrm{e}}\right)$$

那么电荷量能表示为

$$Q(t)=Q_0\exp\left\{-\int_0^t\mathrm{d}t'\left(\frac{e\mu}{Cd}\right)n_{\mathrm{e}}(t')\right\}$$

假设一个击穿电压和击穿电场强度作为启动放电的初始条件，可以表示为

$$V(t)=V_0\exp\left\{-\int_0^t\mathrm{d}t'\left(\frac{e\mu}{Cd}\right)n_{\mathrm{e}}(t')\right\}$$

$$E(t)=E_0\exp\left\{-\int_0^t\mathrm{d}t'\left(\frac{e\mu}{Cd}\right)n_{\mathrm{e}}(t')\right\}$$

电流是电荷量的导数，因此

$$I(t)=-\left(\frac{e\mu}{Cd}\right)n_{\mathrm{e}}Q_0\exp\left\{-\int_0^t\mathrm{d}t'\left(\frac{e\mu}{Cd}\right)n_{\mathrm{e}}(t')\right\}$$

由以上式子可知，电子浓度作为时间的函数被计算出来时，能求出间隙中的电压、电场、电荷和电流。因此，最终所有的量都能够表示为在时间上电荷密度的函数。

电子电流连续性方程

$$\frac{\partial n_{\mathrm{e}}}{\partial t}+\nabla\cdot J_{\mathrm{e}}=G-R$$

在这种形式下，电子的产生与碰撞电离有关。假设空间变量小于时间变量，就可以近似忽略电流的散度，也可以忽略电子的复合现象。电子产生率是电离率与电流通量的乘积，可以表示为

$$\frac{\partial n_{\mathrm{e}}}{\partial t}=\alpha\{n_{\mathrm{e}}\nu_{\mathrm{d}}\}$$

求得时间上电子的分布为

$$n_{\mathrm{e}}(t)=n_0\exp\left\{-\int_0^t\mathrm{d}t'\alpha\nu_{\mathrm{d}}\right\}$$

电离常数是电场的函数，因此对时间的积分可以转化成对电场强度的积分得

$$E(t)=E_0\exp\left\{-\int_0^t\mathrm{d}t'\left(\frac{e\mu}{Cd}\right)n_{\mathrm{e}}(t')\right\}$$

对时间求导得

$$\frac{\mathrm{d}}{\mathrm{d}t}E(t)=E_0\frac{\mathrm{d}}{\mathrm{d}t}\exp\left\{-\int_0^t\mathrm{d}t'\left(\frac{e\mu}{Cd}\right)n_{\mathrm{e}}(t')\right\}$$

然后

$$\frac{\mathrm{d}}{\mathrm{d}t}E(t)=E_0\exp\left\{-\int_0^t\mathrm{d}t'\left(\frac{e\mu}{Cd}\right)n_{\mathrm{e}}(t')\right\}\frac{\mathrm{d}}{\mathrm{d}t}\left\{-\int_0^t\mathrm{d}t'\left(\frac{e\mu}{Cd}\right)n_{\mathrm{e}}(t')\right\}$$

由莱布尼茨公式，得

$$\frac{\mathrm{d}}{\mathrm{d}t}E(t) = -E\left\{\int_0^t \mathrm{d}t'\left(\frac{e\mu}{Cd}\right)\frac{\mathrm{d}}{\mathrm{d}t}n_e(t') + \left(\frac{e\mu}{Cd}\right)n_e(t)\frac{\mathrm{d}t}{\mathrm{d}t} - \left(\frac{e\mu}{Cd}\right)n_e(0)\frac{\mathrm{d}(0)}{\mathrm{d}t}\right\}$$

当上式右侧第一项和第三项均为零时，有

$$\frac{\mathrm{d}}{\mathrm{d}t}E(t) = -E\left(\frac{e\mu}{Cd}\right)n_e(t)$$

即

$$\mathrm{d}E = -E\left(\frac{e\mu}{Cd}\right)n_e(t)\,\mathrm{d}t$$

利用上式，电流密度作为电场强度的函数可以通过漂移关系式求得，即

$$\mathrm{d}n_e = \alpha n_e \nu_d \mathrm{d}t = \alpha(\mu E)n_e \mathrm{d}t$$

代入电场和时间的微分方程，可以得出电子分布的微分形式

$$\mathrm{d}n_e = \alpha(\mu E)n_e\left(-\frac{Cd}{e\mu}\frac{\mathrm{d}E}{En_e}\right) = -\left(\frac{Cd}{e}\right)\alpha\mathrm{d}E$$

对两边都积分，可得到电子密度

$$n_e = n_0 + \frac{Cd}{e}\int_E^{E_0}\alpha(E')\,\mathrm{d}E'$$

根据上式，由电流和载流子密度之间的关系可以求出电流

$$I(t) = e\mu E\left\{n_0 + \frac{Cd}{e}\int_E^{E_0}\alpha(E')\,\mathrm{d}E'\right\}$$

1.5.2　空气击穿和峰值电流

在 ESD 现象和故障物理学中，空气击穿现象很重要。由于很多 ESD 失效机制与峰值电流大小相关，空气放电的峰值电流是一个关键参数。空气放电中的电流可表示为

$$I(t) = e\mu E\left\{n_0 + \frac{Cd}{e}\int_E^{E_0}\alpha(E')\,\mathrm{d}E'\right\}$$

第一项 n_0 与漂移电流初始值有关，且与积分项相比很小。设第一项对电场的微分值为零，可以由此求出峰值电流。对电流关于电场微分，得

$$\frac{\mathrm{d}}{\mathrm{d}E}I(t) = \frac{\mathrm{d}}{\mathrm{d}E}\left\{\mu Ee\frac{Cd}{e}\int_E^{E_0}\alpha(E')\,\mathrm{d}E'\right\}$$

$$\frac{\mathrm{d}}{\mathrm{d}E}I(t) = \mu Cd\frac{\mathrm{d}}{\mathrm{d}E}\left\{\mu E\int_E^{E_0}\alpha(E')\,\mathrm{d}E'\right\}$$

经过微分，利用莱布尼茨定理

$$\frac{\mathrm{d}}{\mathrm{d}E}I(t) = \mu Cd\left\{\left[\int_E^{E_0}\alpha(E')\,\mathrm{d}E'\right] + E\left[\int_E^{E_0}\frac{\mathrm{d}}{\mathrm{d}E}\alpha(E')\,\mathrm{d}E' + \alpha(E_0)\frac{\mathrm{d}E_0}{\mathrm{d}E} - \alpha(E)\frac{\mathrm{d}E}{\mathrm{d}E}\right]\right\}$$

对于积分项的微分中，只有第三项不为零。为了求出最大峰值电流，设电流的微分为零。

$$\frac{\mathrm{d}}{\mathrm{d}E}I(t) = \mu Cd\left\{\left[\int_E^{E_0}\alpha(E')\,\mathrm{d}E'\right] - E[\alpha(E)]\right\} = 0$$

当下式成立时，可以求出最大峰值电流。

$$E_{max}[\alpha(E_{max})] = \left[\int_{E_{max}}^{E_0}\alpha(E')\,\mathrm{d}E'\right]$$

求得电流最大值为

$$I_{\mathrm{peak}} = (\mu Cd)E_{\max}^{2}\alpha E_{\max}$$

峰值电流是电容量、间隙尺寸、迁移率和最大电场中的电离的函数。将电子密度公式代入上式中，得到

$$n_{\max} = n_0 + \frac{Cd}{e}\int_{E_{\max}}^{E_0}\alpha(E')\mathrm{d}E' = n_0 + \frac{Cd}{e}\{E_{\max}\alpha(E_{\max})\}$$

1.5.3　空气击穿和上升时间

为了理解大电流物理现象和电路对脉冲的响应，人们对与 ESD 现象相关的脉冲时间常数的研究非常感兴趣[22]。有两种令人感兴趣的情形：第一，当受力时，半导体器件或电路是否对脉冲有响应；第二，对于设计，比如 ESD 电源钳位电路的设计可以由电路功能反映区分不同的 ESD 脉冲波形。例如，用于 RC 触发电源钳位的 RC 鉴相器常常用于对 ESD 脉冲波形的响应，而不是直流操作或者上电及掉电。

空气击穿的脉冲上升时间对于高速的 ESD 现象的分析很重要。由电场的微分和时间的微分的关系式有

$$\mathrm{d}E = -E\left(\frac{e\mu}{Cd}\right)n_{\mathrm{e}}\mathrm{d}t$$

由

$$I(t) = en_{\mathrm{e}}\boldsymbol{v}_{\mathrm{d}} = e\mu n_{\mathrm{e}}E$$

电场作为时间的函数，其表达式为

$$\mathrm{d}E = -\left(\frac{I}{Cd}\right)\mathrm{d}t$$

空气放电的电流能够表示成仅为电场的函数，即

$$I(t) = e\mu E\left\{n_0 + \frac{Cd}{e}\int_{E}^{E_0}\alpha(E')\mathrm{d}E'\right\}$$

分离变量然后积分，得到如下关系：

$$\mathrm{d}t = -\left(\frac{Cd}{I(E)}\right)\mathrm{d}E$$

那么

$$t = \int_0^t \mathrm{d}t' = -\int_{E_0}^{E}Cd\frac{1}{I(E')}\mathrm{d}E' = Cd\int_{E}^{E_0}\frac{\mathrm{d}E'}{I(E')}$$

因此，时间的响应是电容量、间隙尺寸和对电场的积分项的倒数的函数。假设初始电流相比积分项很小，即

$$I(E) \approx e\mu E\left\{\frac{Cd}{e}\int_{E}^{E_0}\alpha(E')\mathrm{d}E'\right\}$$

将电流代入在响应时间积分的表达式中，有

$$t = Cd\int_{E}^{E_0}\frac{\mathrm{d}E'}{e\mu E'\left\{\left(\frac{Cd}{e}\right)\int_{E'}^{E_0}\alpha(E'')\mathrm{d}E''\right\}}$$

提出常数项，上升时间可以表示为

$$t = \frac{1}{\mu}\left\{\int_{E}^{E_0}\frac{\mathrm{d}E'}{E'\left\{\int_{E'}^{E_0}\alpha(E'')\,\mathrm{d}E''\right\}}\right\}$$

由上式可知上升时间与电容量或间隙无关，仅仅是迁移率和电离率对电场积分项的函数。注意这可以表示为漂移速度 – 上升时间乘积的函数，因为该等式的右式与特征长度有关，而特征长度又与漂移速度 – 上升时间乘积有关。

$$\nu_{\mathrm{d}}t = \frac{1}{E}\left\{\int_{E}^{E_0}\frac{\mathrm{d}E'}{E'\left\{\int_{E'}^{E_0}\alpha(E'')\,\mathrm{d}E''\right\}}\right\}$$

1.5.4　中等离子体和微等离子体

等离子体状态被称为物质的第四态，在一个物理空间，电子和离子分离成两种类别。在等离子体状态，电子和离子自身温度不同。粒子系统与电场相互作用。

微等离子体状态是通常产生于在本征温度以下的受限的等离子体状态。微等离子体状态产生于负阻情况下，而且是可逆的。在电学性质不稳定时，可能会产生这些状态。

中等离子体状态与不可逆损伤及热击穿（也称为二次击穿）有关。中等离子体是热电的、不稳定的。中等离子体状态发生在固有温度以上，而且其电流密度是微等离子体的 $10^2 \sim 10^3$ 倍。

1.5.5　中等离子体现象

假设一个球形声源，中等离子体现象能够由热扩散方程的方法来分析计算。例如，塔斯卡假设击穿发生区域的缺陷是球形的[23]，并假设在无限介质中的球形缺陷，其温度为室温 T_0，球体体积为 Δ，半径为 r，且表面积为 S，该缺陷的内能等于热容与温度的乘积。失效功率是储存在球形体积 Δ 中的瞬态功率、扩散在表面 S 的瞬态功率与稳态功率之和。Tasca 推出这个表达式为

$$P_{\mathrm{f}} = \left\{\frac{\rho C_{\mathrm{p}}\Delta}{t_{\mathrm{f}}} + S\left(\frac{K\rho C_{\mathrm{p}}}{t_{\mathrm{f}}}\right)^{1/2} + \frac{8\pi K r}{3}\right\}(T_{\mathrm{c}} - T_0)$$

当脉冲宽度明显小于热扩散时间时，相比于上式右侧大括号中的第一项，第二项和第三项可以忽略不计。第一项表示绝热项。当脉冲宽度与热扩散时间相近时，第二项占主导地位。当脉冲时间显著大于热扩散时间时，上式主要由与时间无关的第三项决定。

球体缺陷的失效功率模型依赖于缺陷的几何形状，以及体积、表面积和半径这些变量。假设我们能够证实这些缺陷确实是球形的，而且能够确定临界失效温度，那么我们就可能得到缺陷的尺寸。在很短的时间内，可以推出球体体积为

$$\Delta = \left\{\frac{P_{\mathrm{f}}t_{\mathrm{f}}}{\rho C_{\mathrm{p}}(T_{\mathrm{c}} - T_0)}\right\}$$

根据临界失效温度、热容、输入功率和脉冲宽度可以计算出其体积。

为了计算表面面积，根据材料的性质可以计算出

$$S = \left\{\frac{P_{\mathrm{f}}(t_{\mathrm{f}})^{1/2}}{(K\rho C_{\mathrm{p}})^{1/2}(T_{\mathrm{c}} - T_0)}\right\}$$

通过改变使用的脉冲宽度，可以计算出缺陷的几何特征。

下一章将详细讨论热模型和 ESD 网络分析模型。了解对 ESD 事件的结构响应在很大程度上依赖于有效的几何区域、材料的性质以及时间常数。

习　　题

1.1　在半导体材料和其他材料中，雪崩现象对于击穿过程的理解很重要。在 1915 年，汤森注意到雪崩发生在一个临界雪崩高度，即

$$H = e^{\alpha d} = \frac{1}{\gamma}$$

在该式中，雪崩高度等于电离率（每个电子在电场中移动单位距离时产生的电离次数）与电极间距乘积的指数。雪崩高度 H 也能表示为再生系数的倒数（每个正离子撞击阴极时引起的电子发射的数目）。假定间隙是半导体的耗尽层宽度的，试推导该关系式。

1.2　在一块半导体芯片的测试中，当接收到一个人体模型脉冲时，“无接触”能够储存能量。假设电容 C 和串联电阻 R 与电容 C_{pad} 相连接，计算转移到 C_{pad} 上的电荷量。

1.3　在上一题中，假设第二块 pad 放置在第一块电容旁边，两者间距为 W。这两个 pad 都有一个锡焊球，在给定的电压下，在两个 pad 之间会发生击穿。计算在两个 pad 之间发生的时间和电压。假设第二个 pad 与一个阻抗为零的 ESD 网络相连，计算第二个 pad 的上升时间。

参 考 文 献

1. *Philologus* 1944; 96: 170–182.
2. Aristotle. *De Anima*. 411; a7–8.
3. G. S. Kirk, J. E. Raven and M. Schofield. *The Pre-Socratic Philosophers*, 2nd edn, Cambridge University Press, 1995.
4. R. A. Millikan. *The Electron*, University of Chicago Press, 1917.
5. J. H. Jeans. *The Mathematical Theory of Electricity and Magnetism*, 5th edn, Cambridge University Press, 1925.
6. J. Clerk Maxwell. *A Treatise on Electricity and Magnetism*, 1873.
7. Michael Faraday. *The Forces of Matter, Lecture V: Electricity, Scientific Papers, Harvard Classics*, vol. 30, pp. 62–74, P. F. Colliers & Sons, New York, 1910.
8. F. Paschen. *Annalen der Physik* 1889; **37**: 69.
9. HBM-ESD Sensitivity Testing: Human Body Model (HBM)-Component Level, ESD Association Standard, S5.1, 1993.
10. MM-ESD Sensitivity Testing: Machine Model (MM)-Component Level, ESD Association Standard S5.2, 1994.
11. CDM-ESD Sensitivity Testing: Charged Device Model (CDM)-Component Level ESD Association Standard, D5.3, 1997.
12. TLP-ESD Sensitivity Testing: Transmission Line Pulse (TLP)-Component Level ESD Association Standard Practice SP 5.5, 2004.
13. VF-TLP-ESD Sensitivity Testing Very Fast Transmission Line Pulse (VF-TLP) Component Level ESD Association Standard Practice, Draft A, September 2003.
14. J. Melcher. *Continuum Electro-mechanics*, MIT Press, 1983.
15. M. Necati Ozisik. *Basic Heat Transfer*, McGraw Hill, 1977.
16. C. Popescu. 'The thermal runaway mechanism of second breakdown phenomenon.' *Solid State Electronics* 1970; **13**: 887–901.

17. S. K. Ghandi, *Semiconductor Power Devices*, Wiley, 1977.
18. A. Von Hippel. 'Conduction and breakdown.' In: *The Molecular Designing of Materials and Devices*, MIT Press, 1965, pp.183–197.
19. J. S. Townsend. *Electricity in Gases*, Clarendon Press, Oxford, 1915.
20. Toepler, *Ann. Phys*, 1906; **4**: 191.
21. J. L. Moll, *Physics of Semiconductors*, McGraw Hill, 1964.
22. D. Lin and T. Welsher. 'From lightning to charged device model electrostatic discharges.' *Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium*, 1992; 68–75.
23. D. Tasca. 'Pulse Power Modes in Semiconductors,' *IEEE Transactions on Nuclear Science* 1970; **NS-17** (6): 364–372.

第 2 章　热电方法和 ESD 模型

2.1　热电方法

本章将在静电模型的基础研究中首次引入了热扩散方程与物理数学相结合的研究方法。引入的数学与物理方法有格林函数、镜像方法、变换对、流势转移矩阵、基尔霍夫变换、玻尔兹曼变换、Duhamel 原则[1-3]。这些为全面领会 Tasca[4]、Wunsch 和 Bell[5]、Smith 和 Littau[6]、Ash[7]、V. I. Arkihpov[8]等人，以及 Vlasov、Sinkevitch[9]和 Dwyer[10]等人的解决方案和模型建立提供了所需的基本理论知识。本章从概率的角度出发，利用 ESD 概率分布函数和累积分布函数深入地介绍了 ESD 理论[11-13]。

2.1.1　格林函数和镜像方法

为了用一个通用的公式来预测功率故障机理和热传导情况，需要用到格林函数近似[1-3]。从具有恒热导率及特定热-质量密度积常数时间相关热方程可以得出，温度拉普拉斯算子正比于温度对时间的偏导函数。假设 t' 时刻在空间（x'，y'，z'）处存在一个热源，然后就能表示出 t 时刻在空间（x，y，z）处的温度。在 t 时刻，在空间（x，y，z）处有一个球壳状热源向外发射能量，球壳的厚度为 $\mathrm{d}r'$，球面半径为

$$r^2 = (x-x')^2 + (y-y')^2 + (z-z')^2$$

在点（x'，y'，z'）处，球面半径为 r（见图 2-1）的热源在时间 t'产生的热量为 $Q_{\rho c}$，有

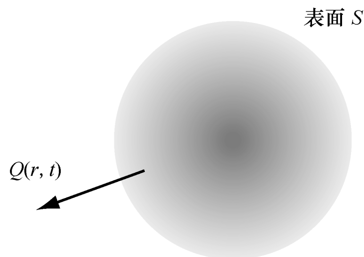


图 2-1　球面源

$$T(x, x'; y, y'; z, z'; t, t') = \frac{Q}{8[\pi\kappa(t-t')]^{3/2}}\exp\left\{\frac{r2}{4\kappa(t-t')}\right\}$$

在时刻 t'产生的热量需要一个与热扩散系数相关的扩散时间 t 才能从点（x'，y'，z'）到达点（x，y，z）对其温度产生影响。这可以推广开来，表达式利用在任意时刻 t'的泛化热源在时间 $t=0$ 和时间 t 之间的积分来表示。

因此可以推广如下：

$$T(x, x'; y, y'; z, z'; t) = \int_{t'=0}^{t'=t}\mathrm{d}t'\frac{Q(t')}{8[\pi\kappa(t-t')]^{3/2}}\exp\left\{-\frac{r^2}{4\kappa(t-t')}\right\}$$

这个函数表示了在 x'与 $x'+\mathrm{d}x'$，y'与 $y+\mathrm{d}y'$，以及 z'与 $z+\mathrm{d}z'$之间的无限小体积内的功耗，定义了对于体积 V 的标准功耗。

$$T(x, x'; y, y'; z, z'; t) = \frac{1}{8\rho cV(\pi\kappa)^{3/2}}\int_{t'=0}^{t'=t}\mathrm{d}t'\frac{\{P(t')\mathrm{d}x'\mathrm{d}y'\mathrm{d}z'\}}{[(t-t')]^{3/2}}\exp\left\{-\frac{r^2}{4\kappa(t-t')}\right\}$$

为了从所有的无限小体积中评估整个空间的温度，该表达式需要在无穷空间 Ω 中

积分。在这个表达式中独立空间项可以从整个积分空间中移除，因此温度可以表示为

$$T\ (x,\ y,\ z;\ t)\ =\frac{1}{8\rho cV(\pi\kappa)^{3/2}}\int_{t'=0}^{t'=t}\mathrm{d}t'\ \frac{P(t')}{[(t-t')]^{3/2}}\int_{\Omega}\exp\left\{-\frac{r^2}{4\kappa(t-t')}\right\}\mathrm{d}x'\mathrm{d}y'\mathrm{d}z'$$

2.1.1.1　无限介质中的平行六面体

为了评估无限介质中的平行六面体，假设热源在 x 方向的尺寸为 W，在 y 方向的尺寸为 L，在 Z 方向的尺寸为 H，这能代表静电放电评估的一种典型物理单元结构。该物理单元可以是一个互连、一个电阻或者一个半导体 MOSFET 或双极型晶体管区域。

从上面的表达式可得温度评估值为

$$T\ (x,\ y,\ z;\ t)\ =\frac{1}{8\rho cV(\kappa)^{3/2}}\int_{t'=0}^{t'=t}\frac{P(t')\mathrm{d}t'}{[(t-t')]^{3/2}}F(x-x',y-y',z-z',t-t')$$

式中

$$F(x-x',y-y',z-z',t-t')=\int_{-W/2}^{W/2}\exp\left\{-\frac{(x-x')^2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}x'}{\sqrt{\pi}}\int_{-L/2}^{L/2}\exp\left\{-\frac{(y-y')^2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}y'}{\sqrt{\pi}}\int_{-H/2}^{H/2}\exp\left\{-\frac{(z-z')^2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}z'}{\sqrt{\pi}}$$

经过变量代换，得到尺寸的表达式如下：

$$u=\frac{(x-x')}{\sqrt{4\kappa(t-t')}}\qquad \mathrm{d}u=-\frac{\mathrm{d}x'}{\sqrt{4\kappa(t-t')}}$$

在这种代换下，积分表达式可以用代换变量表示为误差函数。单维时可表示为

$$\int_{-W/2}^{W/2}\exp\left\{-\frac{(x-x')^2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}x'}{\sqrt{\pi}}=\frac{\sqrt{4\kappa(t-t')}}{2}\left\{\frac{2}{\sqrt{\pi}}\int_0^{u(W/2)}\exp\{-u^2\}\mathrm{d}u+\frac{2}{\sqrt{\pi}}\int_{u(-W/2)}^{0}\exp\{-u^2\}\mathrm{d}u\right\}$$

无限介质中的温度表达式可以写成如下形式：

$$T\ (x,\ y,\ z;\ t)\ =\frac{1}{8C}\int_{t'=0}^{t'=t}P(t')H(x,\ y,\ z;\ t-t')\mathrm{d}t'$$

式中，V 代表体积，$V=LWH$；$C=c\rho V$。

将函数写成包含空间的误差函数乘积为

$$H\ (x,\ y,\ z;\ t-t')\ =\prod_{i=x,\ y,\ z}\left[erf\left(\frac{(Lx_i/2)+x_i}{\sqrt{4\kappa(t-t')}}\right)+erf\left(\frac{(Lx_i/2)-x_i}{\sqrt{4\kappa(t-t')}}\right)\right]$$

2.1.1.2　半无限域

对于半无限域的情况，可以通过定义一个边界条件和应用镜像方法（见图 2-2）来修改无限区域里的平行六面体。

类似于静电问题，定义在 P 点处的温度为 T，在一个无限空间从 A 点处的热源 q 到 A′点处的散热源 -q 存在温度为零的点。这个平面将 A-A′线按直角二等分，因此对于一个无限介质，相反极性和强度的镜像存在于平面的另一侧。在由点 P 形成的平面上温度为零，除了在 A 点的点热源外，这满足在半无限半平面上的拉普拉斯方程。

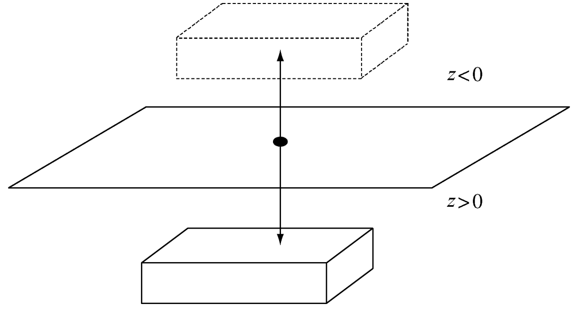


图 2-2　镜像法

已经知道，对于任何数量的点热源产生的任何温度场都可以选择一个温度等高线（如等温线），而且可以用热导体替换它。在等温线一侧的热源是另一侧的镜像。

考虑绝热边界条件，引出了温度为零的边界条件。假设平行六面体处于距无限平面 $z=0$ 距离为 D 的位置，令平面 $z=0$ 处的边界条件为绝热边界条件，这种形式假设平面上的所有点在 $t>0$ 时热通量为零。鉴于我们关注半无限空间上低于平面 $z=0$ 的温度场，在无限空间上半部分的镜像源可以用来提供我们关注的半无限空间下半部分空间的边界条件。

利用距离 $z=0$ 为 D 的相同尺寸的平行六面体，建立一个对称平面，在 $z=0$ 平面上的所有点在其表面的热通量都为零。

为解决这个半无限域的问题，可以利用镜像法，即修改无限域里的格林函数使它适用于半无限域。从热电导率为恒定值和热质量密度为特定常数的时变热方程可以看出，拉普拉斯算子温度是正比于温度对时间的偏导数。在一个无限域中，有

$$T(x,x';y,y';z,z';t)=\int_{t'=0}^{t'=t}\mathrm{d}t'\frac{Q(t')}{8[\pi\kappa(t-t')]^{3/2}}\exp\left\{-\frac{r^2}{4\kappa(t-t')}\right\}$$

在由 x' 与 $x'+\mathrm{d}x'$，y' 与 $y+\mathrm{d}y'$，以及 z' 与 $z+\mathrm{d}z'$ 组成的无限小体积里表示为功耗的函数，并且定义对于体积 V 的标准化功耗为

$$T(x,x';y,y';z,z';t)=\frac{1}{8\rho cV(\pi\kappa)^{3/2}}\int_{t'=0}^{t'=t}\mathrm{d}t'\frac{\{P(t')\mathrm{d}x'\mathrm{d}y'\mathrm{d}z'\}}{[(t-t')]^{3/2}}\exp\left\{-\frac{r^2}{4\kappa(t-t')}\right\}$$

为了评估所有无限小体积组成的整个空间的温度，表达式要在整个无穷空间 Ω 中积分。在这个表达式中，独立空间项可以从整个积分空间移除，温度可以表示为

$$T(x,y,z;t)=\frac{1}{8\rho cV(\pi\kappa)^{3/2}}\int_{t'=0}^{t'=t}\mathrm{d}t'\frac{P(t')}{[(t-t')]^{3/2}}\int_{\Omega}\exp\left\{-\frac{r^2}{4\kappa(t-t')}\right\}\mathrm{d}x'\mathrm{d}y'\mathrm{d}z'$$

为了评估无限介质中的平行六面体，假设热源在 x 方向的尺寸为 W，在 y 方向的尺寸为 L，在 z 方向的尺寸为 H，在边界条件 $z=0$ 下方 D 处存在一个平行六面体，在其对面存在一个镜像源，则

$$T(x,y,z;t)=\frac{1}{8\rho cV(\kappa)^{3/2}}\int_{t'=0}^{t'=t}\frac{P(t')\mathrm{d}t'}{[(t-t')]^{3/2}}F(x-x',y-y',z-z',t-t')$$

式中

$$F(x-x',y-y',z-z',t-t')=Fx(x-x';t-t')Fy(y-y';t-t')Fz(z-z';t-t')$$

$$F_x(x-x',\ t-t') = \int_{-W/2}^{W/2}\exp\left\{-\frac{(x-x')^2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}x'}{\sqrt{\pi}}$$

$$F_y(y-y',\ t-t') = \int_{-L/2}^{L/2}\exp\left\{-\frac{(y-y')^2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}y'}{\sqrt{\pi}}$$

$$F_z(z-z',\ t-t') = \int_{-(D+H)}^{-D}\exp\left\{-\frac{(z-z')^2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}z'}{\sqrt{\pi}} + \int_{D}^{D+H}\exp\left\{-\frac{(z-z')^2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}z'}{\sqrt{\pi}}$$

利用变量代换可以将积分表达式表示为误差函数，在无限介质中温度表达式可以表示为

$$T(x,\ y,\ z;\ t) = \frac{1}{8C}\int_{t'=0}^{t'=t}P(t')H(x,\ y,\ z;\ t-t')\,\mathrm{d}t'$$

式中，$V = LWH$；$C = c\rho V$，可以将函数写为独立空间和误差函数的乘积形式，即

$$H(x,\ y,\ z;\ t-t') = H(z;\ t-t')\prod_{i=x,\ y}\left[erf\left(\frac{(L_{\mathrm{xi}}/2)+x_{\mathrm{i}}}{\sqrt{4\kappa(t-t')}}\right)+erf\left(\frac{(L_{\mathrm{xi}}/2)-x_{\mathrm{i}}}{\sqrt{4\kappa(t-t')}}\right)\right]$$

式中

$$H(z;\ t-t') = \left[erf\left(\frac{z+D+H}{\sqrt{4\kappa(t-t')}}\right)+erf\left(\frac{-D-z}{\sqrt{4\kappa(t-t')}}\right)\right.$$
$$\left.+erf\left(\frac{z-D}{\sqrt{4\kappa(t-t')}}\right)+erf\left(\frac{D+H-z}{\sqrt{4\kappa(t-t')}}\right)\right]$$

这种解决方法可以应用于大多数半导体和电子器件中，如电阻、晶体管、互连线和磁记录器件。大多数情况下，可以利用边界条件定义平行六面体。在 ESD 分析中常常假设感兴趣的区域在于物理单元、绝缘边界和物理单元几何尺寸相关的（如结深、长和宽）位置上产生电流和热的区域。在静电分析中，镜像方法经常应用于多单元的情况。

2.1.2　热传导方程的积分变换

热传导方程可以利用积分变换来求解，对于热传导方程应重点关注 x 轴右侧，即时间大于或等于零的情况。利用拉普拉斯变换对定义了一个温度积分变换对，即

$$F(x,s) = \int_{t=0}^{t=\infty}\mathrm{e}^{-st}T(x,t)\,\mathrm{d}t$$

$$T(x,t) = \frac{1}{2\pi i}\int_{c-i\infty}^{c+i\infty}\mathrm{e}^{st}F(x,s)\,\mathrm{d}s$$

式中，函数 $F(x,\ s)$ 仅存在于 s 空间的右半平面，s 空间的实部满足 $\mathrm{Re}\{s\}>\alpha$，函数 $F(x,\ s)$ 只能在该域中进行分析和定义。

恒定系数时相关热传导方程如下：

$$\frac{\partial^2 T(x,t)}{\partial x^2} = \frac{1}{\kappa}\frac{\partial T(x,t)}{\partial t}$$

该函数可以表示为变换对 $F(x,\ s)$ 的函数，对方程两边应用拉普拉斯变换得

$$L\left\{\frac{\partial^2 T(x,t)}{\partial x^2}\right\} = L\left\{\frac{1}{\kappa}\frac{\partial T(x,t)}{\partial t}\right\}$$

在方程的左边，温度对空间二阶偏导数的拉普拉斯变换等于变换变量 $F(x, s)$ 的二阶偏导数。由莱布尼茨理论可知，当积分的边界条件和微分变量无关时，微分和积分可以相互转化。因此可得

$$L\left\{\frac{\partial^2 T(x,t)}{\partial x^2}\right\} = \int_{t=0}^{t=\infty} \mathrm{e}^{-st} \frac{\partial^2}{\partial x^2} T(x,t)\,\mathrm{d}t = \frac{\partial^2}{\partial x^2}\left\{\int_{t=0}^{t=\infty} \mathrm{e}^{-st} T(x,t)\,\mathrm{d}t\right\} = \frac{\partial^2}{\partial x^2} F(x,s)$$

该方程的右边可以应用莱布尼茨理论评估，或利用拉普拉斯变换对于微分的同一性得

$$L\left\{\frac{1}{\kappa} \frac{\partial T(x,t)}{\partial t}\right\} = \frac{1}{\kappa} L\left\{\frac{\partial T(x,t)}{\partial t}\right\} = \frac{1}{\kappa}\left\{\int_{t=0}^{t=\infty} \mathrm{e}^{-st} \frac{\partial T(x,t)}{\partial t} \mathrm{d}t\right\}$$

$$= \frac{1}{\kappa}\left\{s\int_{t=0}^{t=\infty} \mathrm{e}^{-st} T(x, t)\,\mathrm{d}t - T(x, 0)\right\}$$

对于 $t=0$ 的临时初始条件，在所有位置的温度为零，即初始项为 $T(x,0)=0$，在转换变量中替换可得

$$L\left\{\frac{1}{\kappa} \frac{\partial T(x,t)}{\partial t}\right\} = \frac{1}{\kappa}\{sF(x,s)\}$$

用变换对 $F(x, s)$ 表示的时变热传导方程为

$$\frac{\partial^2 F(x,s)}{\partial x^2} = \frac{sF(x,s)}{\kappa}$$

为求解时相关热传导方程，边界条件必须转化成拉普拉斯变换对函数 $F(x, s)$，假设第一种边界条件为

$$F(x = 0, s) = \int_0^\infty \mathrm{e}^{-st} T(x = 0, t)\,\mathrm{d}t$$

作为第一个例子，让我们考虑初始温度为零的恒定步进温度的问题，以恒定步长从零增长到温度 T，T 大于初始温度小于等于边界介质的融化温度或者位于空间平面左手边的介质以内的融化温度（$0<T<T_{\mathrm{M}}$）。假设温度瞬间升高到给定温度值，我们感兴趣的解将会提供介质内温度的分布。此时，介质内的温度分布是我们所感兴趣的，在温度瞬间升高到第一种介质的融化温度情况下，能求出第二种介质的温度场。

假设边界条件 $T(x=0,t)=T$，应用拉普拉斯变换得

$$F(x = 0, s) = \int_0^\infty \mathrm{e}^{-st} T(x = 0, t)\,\mathrm{d}t = \int_0^\infty \mathrm{e}^{-st} T\mathrm{d}t = T\int_0^\infty \mathrm{e}^{-st}\mathrm{d}t = \frac{T}{s}$$

通过变量变换，使时间形式中的时间变量变成了代数项，从而能更容易地求解出偏微分方程。当 $x>0$ 时，假设一个解为

$$F(x, s) = A\mathrm{e}^{\alpha(s)x} + B\mathrm{e}^{-\alpha(s)x}$$

由于 x 趋向于无穷大，同时要求函数 $F(x, s)$ 趋于0，因此上式中 A 等于0。求解边界条件下 $F(x=0, s)$ 方程，可以求出常数 A。代入变换的时相关热导方程，结果是

$$F(x, s) = \frac{T}{s}\exp\left\{-\sqrt{\frac{s}{\kappa}}x\right\}$$

利用拉普拉斯逆变换，可以将温度函数 $T(x, t)$ 表示为积分形式：

$$T(x,\ t)\ =\frac{1}{2\pi i}\int_{s=c-i\infty}^{s=c+i\infty}\frac{T}{s}\exp\left\{-\sqrt{\frac{s}{\kappa}}x\right\}\mathrm{e}^{st}\mathrm{d}s$$

为了沿曲线积分，可以构造一个闭曲线，从而可以应用柯西积分公式。假设闭曲线是由两个曲线构成，第一个曲线是从曲线的上限延伸到 s 空间左半平面实轴的负无穷处，第二个曲线从负无穷延伸到 $s=0$ 点。为避开极点，沿极点周围顺时针形成曲线，曲线从 $s=0$ 延伸到负无穷处。这样曲线又回到了上述积分表达式的起点。由柯西积分公式可知，对函数 $f(z)$ 的闭环积分等于零，其中 $f(z)$ 在区域内是可解析的。

$$\oint_C f(z)\,\mathrm{d}z\ =\ 0$$

及

$$f(z)\ =\frac{1}{2\pi i}\int_C\frac{f(\xi)\,\mathrm{d}\xi}{\xi-z}$$

对闭环曲线的解析函数应用柯西定理，积分变换之和及包含积分变换的新曲线的积分值等于零。因此温度的解等于负的新增曲线评估值之和，在无限复杂平面上的两个曲线的评估值必须等于零。应用柯西留数定理，在极点 $s=0$ 处的积分可以计算出来，当 s 趋近于零时定义函数为

$$\lim_{s\to0}f(s)\ =\ \lim_{s\to0}\frac{T\exp\left\{-\sqrt{\frac{s}{\kappa}}x\right\}}{2\pi i}\mathrm{e}^{st}\ =\ \frac{T}{2\pi i}$$

因此极点处的评估值等于 T，对于第一个曲线从负无穷到零的积分值为

$$\frac{1}{2\pi i}\int_{s=-\infty}^{s=0}\frac{T}{s}\exp\left\{-\sqrt{\frac{s}{\kappa}}x\right\}\mathrm{e}^{st}\mathrm{d}s$$

在分支切割下面，从零到负无穷的积分值为

$$\frac{1}{2\pi i}\int_{s=0}^{s=-\infty}\frac{T}{s}\exp\left\{-\sqrt{\frac{s}{\kappa}}x\right\}\mathrm{e}^{st}\mathrm{d}s$$

通过改变变量 s 到 $-s$，并且已知虚数积 $i^2=-1$，变量和边界可以被变形，积分边界为从零到无穷，即

$$\frac{1}{2\pi i}\int_{s=-\infty}^{s=0}\frac{T}{s}\exp\left\{-\sqrt{\frac{s}{\kappa}}x\right\}\mathrm{e}^{st}\mathrm{d}s\ =-\frac{1}{2\pi i}\int_{s=0}^{s=\infty}\frac{T}{s}\exp\left\{-ix\sqrt{\frac{s}{\kappa}}\right\}\mathrm{e}^{-st}\mathrm{d}s$$

在分支切割下面有

$$\frac{1}{2\pi i}\int_{s=0}^{s=-\infty}\frac{T}{s}\exp\left\{-\sqrt{\frac{s}{\kappa}}x\right\}\mathrm{e}^{st}\mathrm{d}s\ =\frac{1}{2\pi i}\int_{s=0}^{s=\infty}\frac{T}{s}\exp\left\{ix\sqrt{\frac{s}{\kappa}}\right\}\mathrm{e}^{-st}\mathrm{d}s$$

应用欧拉关系得

$$\exp\left\{ix\sqrt{\frac{s}{\kappa}}\right\}=\ \cos\left\{x\sqrt{\frac{s}{\kappa}}\right\}+i\sin\left\{x\sqrt{\frac{s}{\kappa}}\right\}$$

将两个积分联合起来，得

$$\frac{1}{2\pi i}\int_{s=0}^{s=\infty}\frac{T}{s}\left[\exp\left\{ix\sqrt{\frac{s}{\kappa}}\right\}+\exp\left\{ix\sqrt{\frac{s}{\kappa}}\right\}\right]\mathrm{e}^{-st}\mathrm{d}s\ =\frac{1}{2\pi i}\int_{s=0}^{s=\infty}\frac{T}{s}\left[(2i)\sin\left\{x\sqrt{\frac{s}{\kappa}}\right\}\right]\mathrm{e}^{-st}\mathrm{d}s$$

利用这个表达式和在极点 $s=0$ 处的积分值可以求解得温度的积分函数表示值，即

$$T(x,\ t)\ =\ \frac{1}{2\pi i}\int_{s=c-i\infty}^{s=c+i\infty}\frac{T}{s}\exp\left\{-\sqrt{\frac{s}{\kappa}}x\right\}e^{st}ds\ =\ T\left\{1-\frac{1}{\pi}\int_{s=0}^{s=\infty}\frac{\sin\left(x\sqrt{\frac{s}{\kappa}}\right)}{s}e^{-st}ds\right\}$$

考虑正弦函数的积分，将变量 s 变换为 z 的二次方，得

$$T(x,\ t)\ =\ T\left\{1-\frac{1}{\pi}\int_{z=0}^{z=\infty}\frac{\sin\left(z\left[x\sqrt{\frac{1}{\kappa}}\right]\right)}{z}e^{-tz^2}dz\right\}$$

该积分表达式可以表示为互补误差函数的形式，即

$$T(x,\ t)\ =\ T\left[1-erf\left\{\frac{x}{2}\sqrt{\frac{1}{\kappa t}}\right\}\right]=Terfc\left\{\frac{x}{2}\sqrt{\frac{1}{\kappa t}}\right\}$$

从这个形式中可以看出，当给界面一个恒定的温度时，在任何时刻在半平面内任意点处的温度都可以表示为互补函数的函数。

在这个推导中，可以清楚地看到热方程可以通过温度的偏微分方程求解，或者通过变量 s 变换为代数表达式求解。

2.1.3 流势传递关系矩阵方法学

在没有热源的一定体积区域内，拉普拉斯方程是能够得到满足的。在大多数问题中，我们并不感兴趣体积区域内部的解，而是对边界的解感兴趣。另外，如果我们在对某个表面或者边界的解感兴趣，那么我们就可以定义这个表面或者边界为虚拟的边界。根据在两个表面的热流和温度的关系，可以将拉普拉斯方程的解用矩阵表示。在这种形式下，可以利用传输矩阵（见图 2-3）来求解，其中传输矩阵和相应的边界条件应满足拉普拉斯方程。这种方法可以应用到平面、圆柱和球面几何区域[14]。

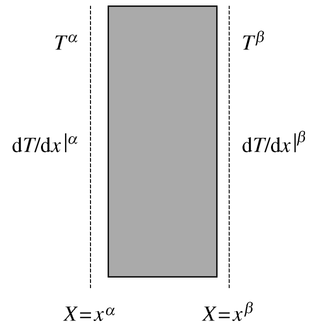


图 2-3 传输矩阵公式

当区域内有多个边界或者材料不同时，可以用 n 个区域来表示分层介质，而我们只对界面处的解或者第一个和最后一个外边界的关系感兴趣。多种平面膜可以表示为分层介质，其材料属性在不同的物理区域都不相同。对于准静电分析，介质的介电常数和磁导率是变化的，对于热分析来说，介质的热导率也是变化的。注意到，对于电热特性变换的区域可以分成多个小区域，对于每个小区域，其电热特性可以定义一个平均值。

这种方法可以应用到许多半导体问题中，例如，半导体芯片中有多种电热特性不同的绝缘膜。在层间绝缘（ILD）区域，绝缘区域能从二氧化硅变化到低 K 值材料，其热导率都不同。第二个例子是，在 SOI 技术中，硅片可以建模为一层硅衬底、一层硅膜和一层绝缘膜。第三种情况是埋层，例如亚集电极区域或者重掺杂埋层。这些情况都可以建模为分层介质来分析其热特性，预测温度和热通量。这种方法对于热分析和电分析都是实用的。

对于无源区域且介电常数均衡的材料，有

$$D = \varepsilon E$$

$$P = (\varepsilon - \varepsilon_0)E$$

由麦克斯韦方程可得高斯关系表示为

$$\nabla \cdot D = 0$$

由电场和势场的关系得

$$E = -\nabla \phi$$

因此自由电荷总量的解满足拉普拉斯方程，即

$$\nabla^2 \phi = 0$$

$$D = -\varepsilon \nabla \phi$$

在准静态磁近似中，系统的磁导率是均匀的，可以定义一个磁势能和磁通量密度。因此其磁通量密度的变化率为零。由麦克斯韦方程可知，一个磁势能满足拉普拉斯方程，可以定义关系式

$$B = -\mu \nabla \phi_{\mathrm{m}}$$

为了评估热流通量和温度场，可以近似地认为系统有均匀的热特性，因此满足拉普拉斯方程，热流势能的关系式可表示为

$$q = -k \nabla T$$

为解决热流问题和边界处的热势能和热通量关系，我们寻求一个矩阵，其表示出了温度边界条件和前热流的关系；相反，如果我们已知边界处的热通量，我们就可以定义边界处的热流势能。

可以应用分离变量的方法对拉普拉斯方程进行变换，以便来解决多维或者单维瞬态热分析问题。考虑到瞬态热传导，假设温度是空间和时间的函数，表示如下：

$$T(x, t) = T(x)\Gamma(t)$$

用该函数代换热方程可得

$$\frac{1}{T(x)} \frac{\mathrm{d}^2 T(x)}{\mathrm{d}x^2} = \frac{1}{\alpha \Gamma} \frac{\mathrm{d}\Gamma}{\mathrm{d}t} = -\lambda^2$$

因此，我们可以通过求解修改过的二阶拉普拉斯方程来独立求解空间变化问题，即

$$\frac{\mathrm{d}^2 T(x)}{\mathrm{d}x^2} + \lambda^2 T(x) = 0$$

在第一个边界和第二个边界先定义一个温度和热通量，通过观察可以得出一个解为

$$T(x) = T^{\alpha} \frac{\sin(\lambda x)}{\sin(\lambda \Delta)} - T^{\beta} \frac{\sin\{\lambda(x - \Delta)\}}{\sin(\lambda \Delta)}$$

式中，第一表面 β 位于 $x=0$ 处，而第二表面 α 位于 $x=\Delta$ 处。

对于上式温度求导可得

$$\frac{\mathrm{d}}{\mathrm{d}x} T(x) = T^{\alpha} \frac{\cos(\lambda x)}{\sin(\lambda \Delta)} - T^{\beta} \frac{\cos\{\lambda(x - \Delta)\}}{\sin(\lambda \Delta)}$$

从这个关系中可以得出一个不同边界温度间推导出的前置矩阵关系，即

$$\begin{bmatrix} \left.\frac{dT}{dx}\right|^{\alpha} \\ \left.\frac{dT}{dx}\right|^{\beta} \end{bmatrix} = \lambda \begin{bmatrix} \cot(\lambda\Delta) & \frac{-1}{\sin(\lambda\Delta)} \\ \frac{1}{\sin(\lambda\Delta)} & -\cot(\lambda\Delta) \end{bmatrix} \begin{bmatrix} T^{\alpha} \\ T^{\beta} \end{bmatrix}$$

从热通量和温度间的关系可以得出

$$\begin{bmatrix} q^{\alpha} \\ q^{\beta} \end{bmatrix} = -\lambda k \begin{bmatrix} \cot(\lambda\Delta) & \frac{-1}{\sin(\lambda\Delta)} \\ \frac{1}{\sin(\lambda\Delta)} & -\cot(\lambda\Delta) \end{bmatrix} \begin{bmatrix} T^{\alpha} \\ T^{\beta} \end{bmatrix}$$

该式认可边界上热通量的温度形式表达。将温度代入热通量函数可得

$$\begin{bmatrix} T^{\alpha} \\ T^{\beta} \end{bmatrix} = -\frac{1}{\lambda k} \begin{bmatrix} \cot(\lambda\Delta) & \frac{-1}{\sin(\lambda\Delta)} \\ \frac{1}{\sin(\lambda\Delta)} & -\cot(\lambda\Delta) \end{bmatrix} \begin{bmatrix} q^{\alpha} \\ q^{\beta} \end{bmatrix}$$

利用矩阵近似，一个区域可以用 n 个分别具有统一特性的小区域表示，可用矩阵的乘法来求解分层介质。从电路的相似性可得，每个物理模都可以看做一个双端口模，在其端口的信息为零。注意到，电、磁势能和通量都可运用该方法。该方法也可用于单维瞬态求解或者根据所需的分离变量形式分离振荡信号。在这些情况下，变量分离代表了不同的物理意义，但是数学方法弱化了上述形式。这种方法可以延伸到圆柱和球形系统中，其中温度和热通量信息可以在边界处求解。在圆柱和球形区域得到的矩阵是拉普拉斯方程在物理区域的解。

2.1.4 可变热导率热方程

在 ESD 事件中，温度瞬间能从环境温度变化到融化温度。在 Wunsch – Bell 模型中，假设热导率和特定热质密度乘积为定值，在线性热流方程中，热导率是变化的，令

$$\frac{\partial}{\partial x}\left(K\frac{\partial T}{\partial x}\right) - \rho c_{\mathrm{p}}\frac{\partial T}{\partial t} = 0$$

从这种形式，可以区分出关系

$$\frac{\partial}{\partial x}\left(K\frac{\partial T}{\partial x}\right) - \rho c_{\mathrm{p}}\frac{\partial T}{\partial t} = 0$$

式中

$$\frac{\partial K}{\partial T} = K\left\{\frac{d(\ln K)}{dT}\frac{\partial T}{\partial x}\right\}$$

因此可变热导率热方程可以表示为

$$K\frac{\partial^2 T}{\partial x^2} + K\frac{d(\ln K)}{dT}\left(\frac{\partial T}{\partial x}\right)^2 - \rho c_{\mathrm{p}}\frac{\partial T}{\partial t} = 0$$

2.1.4.1 基尔霍夫变换

应用基尔霍夫变换有

$$\Theta = \int_0^T \frac{K(T')}{K_0} dT'$$

因此变热导率方程可以写成一种简单形式，在这种形式中，当 $T=0$ 时转换变量等于零。

从这个表达式，新变量中的空间和时间的偏微分为

$$\frac{\partial}{\partial t}\Theta = \frac{\partial}{\partial t}\int_0^T \frac{K(T')}{K_0}\mathrm{d}T'$$

从莱布尼茨定理可知，时间积分可以交换，如下：

$$\frac{\partial}{\partial t}\Theta = \frac{\partial}{\partial t}\int_0^T \frac{K(T')}{K_0}\mathrm{d}T' = \int_0^T \frac{\partial}{\partial t}\left(\frac{K(T')}{K_0}\right)\mathrm{d}T' + \left(\frac{K(T)}{K_0}\right)\frac{\mathrm{d}T}{\mathrm{d}t} - \left(\frac{K_0}{K_0}\right)\frac{\mathrm{d}(T_0)}{\mathrm{d}t}$$

在这个表达式中，最右侧第一和第三项为零，因此

$$\frac{\partial}{\partial t}\Theta = \frac{\partial}{\partial t}\int_0^T \frac{K(T')}{K_0}\mathrm{d}T' = \left(\frac{K(T)}{K_0}\right)\frac{\partial T}{\partial t}$$

对第一和第二个空间函数的偏微分应用莱布尼茨定理得

$$\frac{\partial}{\partial x}\Theta = \frac{\partial}{\partial x}\int_0^T \frac{K(T')}{K_0}\mathrm{d}T' = \int_0^T \frac{\partial}{\partial x}\left(\frac{K(T')}{K_0}\right)\mathrm{d}T' + \left(\frac{K(T)}{K_0}\right)\frac{\mathrm{d}T}{\mathrm{d}x} - \left(\frac{K(0)}{K_0}\right)\frac{\mathrm{d}(T_0)}{\mathrm{d}x}$$

在这个表达式中，最右侧第三项是零，再次应用莱布尼茨定理得

$$\frac{\partial^2}{\partial x^2}\Theta = \frac{\partial}{\partial x}\left\{\frac{\partial}{\partial x}\int_0^T \frac{K(T')}{K_0}\mathrm{d}T'\right\} = \frac{\partial}{\partial x}\left\{\int_0^T \frac{\partial}{\partial x}\left(\frac{K(T')}{K_0}\right)\mathrm{d}T' + \left(\frac{K(T)}{K_0}\right)\frac{\mathrm{d}T}{\mathrm{d}x}\right\}$$

$$\frac{\partial^2}{\partial x^2}\Theta = \frac{\partial}{\partial x}\left\{\frac{K(T)}{K_0}\frac{\mathrm{d}T}{\mathrm{d}x}\right\} + \frac{\partial}{\partial x}\left\{\int_0^T \frac{\partial}{\partial x}\left(\frac{K(T')}{K_0}\right)\mathrm{d}T'\right\}$$

从第一项得

$$\frac{\partial}{\partial x}\left(\frac{K(T)}{K_0}\frac{\partial T}{\partial x}\right) = \frac{K(T)}{K_0}\frac{\partial^2 T}{\partial x^2} + \frac{1}{K_0}\frac{\partial K}{\partial T}\left(\frac{\mathrm{d}T}{\mathrm{d}x}\right) = \frac{K(T)}{K_0}\frac{\partial^2 T}{\partial x^2} + \frac{K(T)}{K_0}\left\{\frac{\mathrm{d}(\ln K)}{\mathrm{d}T}\frac{\mathrm{d}T}{\mathrm{d}x}\right\}\left(\frac{\mathrm{d}T}{\mathrm{d}x}\right)$$

将转换变量替换到热方程中，可得到如下形式的热方程：

$$\frac{\partial^2\Theta}{\partial x^2} - \frac{1}{\kappa}\frac{\partial\Theta}{\partial t} = 0$$

式中，温度热转换扩散系数为

$$\kappa = \frac{K}{\rho c}$$

对于 ESD 事件，由基尔霍夫提出的热方程的温度转换公式对于功率故障预测和模型开发是很有价值的。应用基尔霍夫公式形式，在热扩散机制中的几种与温度相关的热导率形式保持了 Wunsch – Bell 关系的时间相关性。正确应用温度的相关性可以提升 ESD 电源失效模型中的有效面积因子。

2.1.4.2　玻尔兹曼变换

热导方程是一个二阶偏微分方程，其中空间是二阶，时间是一阶。假设有一个新的变量同时是空间和时间的函数，则二阶偏微分方程可以修改为一个二阶常微分方程。通过这种变换，可以很容易地通过常微分方程方法求解出来。设一个函数为

$$\xi = \frac{x}{\sqrt{t}}$$

空间和时间的偏微分可以变换为

$$\frac{\partial}{\partial x}=\frac{1}{\sqrt{t}}\frac{\partial}{\partial \xi} \qquad \frac{\partial}{\partial t}=-\frac{1}{2}\xi\frac{1}{t}\frac{\partial}{\partial \xi}$$

对于这种形式，热传导方程可以替换上述算子

$$\frac{\partial}{\partial x}\left(K\frac{\partial T}{\partial x}\right)-\rho c\frac{\partial T}{\partial t}=0$$

式中

$$\left(\frac{1}{\sqrt{t}}\frac{\partial}{\partial \xi}\right)\left\{K\left(\frac{1}{\sqrt{t}}\frac{\partial T}{\partial \xi}\right)\right\}-\rho c\left\{-\left(\frac{1}{2}\xi\frac{1}{t}\right)\frac{\partial T}{\partial \xi}\right\}=0$$

在这种形式下，方程变为变系数二阶常微分方程，即

$$\frac{\mathrm{d}}{\mathrm{d}\xi}\left(K\frac{\mathrm{d}T}{\mathrm{d}\xi}\right)+\rho c\xi\frac{\mathrm{d}T}{\mathrm{d}\xi}=0$$

对基尔霍夫公式应用玻尔兹曼变换得

$$\frac{\partial^2 \Theta}{\partial x^2}-\frac{1}{\kappa}\frac{\partial \Theta}{\partial t}=0$$

在玻尔兹曼变换中代换算子得

$$\left\{\left(\frac{1}{\sqrt{t}}\frac{\partial}{\partial \xi}\right)\left(\frac{1}{\sqrt{t}}\frac{\partial}{\partial \xi}\right)-\frac{1}{\kappa}\left(-\frac{1}{2}\xi\frac{1}{t}\frac{\partial}{\partial \xi}\right)\right\}\Theta=0$$

或者有

$$\kappa\frac{\mathrm{d}^2\Theta}{\mathrm{d}^2\xi}+\frac{1}{2}\xi\frac{\mathrm{d}\Theta}{\mathrm{d}\xi}=0$$

在这种形式下，热方程利用基尔霍夫公式变量和玻尔兹曼变换的热方程可以简化为变系数常微分方程，而且热方程允许考虑了变热导率的情况。从这个方程的形式中可以看出，误差函数是该方程的解，假设一种解的形式为

$$\Theta(\xi)=A\ erf\left\{\frac{\xi}{2\sqrt{\kappa}}\right\}$$

式中

$$erf\left\{\frac{\xi}{2\sqrt{\kappa}}\right\}=\frac{2}{\sqrt{\pi}}\int_0^{\frac{\xi}{2\sqrt{\kappa}}}\exp\{-t^2\}\,\mathrm{d}t$$

应用微分化的莱布尼茨定理得

$$\begin{aligned}\frac{\mathrm{d}\Theta}{\mathrm{d}\xi}&=\frac{2}{\sqrt{\pi}}\left\{\int_0^{\frac{\xi}{2\sqrt{\kappa}}}\frac{\mathrm{d}}{\mathrm{d}\xi}\{\exp(-t^2)\}\,\mathrm{d}t+\exp\left\{-\left(\frac{\xi}{2\sqrt{\kappa}}\right)^2\right\}\frac{\mathrm{d}}{\mathrm{d}\xi}\left(\frac{\xi}{2\sqrt{\kappa}}\right)\right\}\\&=\frac{2}{\sqrt{\pi}}\frac{1}{2\sqrt{\kappa}}\exp\left\{-\frac{\xi^2}{4\kappa}\right\}\end{aligned}$$

因此有

$$\frac{\mathrm{d}^2\Theta}{\mathrm{d}\xi^2}=\frac{2}{\sqrt{\pi}}\frac{1}{2\sqrt{\kappa}}\frac{-2\xi}{4\kappa}\exp\left\{-\frac{\xi^2}{4\kappa}\right\}$$

变量代换推导出的表达式显示，这种形式的误差函数是热导率为温度的函数的热导方程基尔霍夫表现形式的一般解。

2.1.5 Duhamel 公式

为了评估半导体电源失效问题，可以应用由 Duhamel 公式形成的标准[4]，这种关系对于定义失效时间和脉冲波形的转换具有重要的意义。

热方程的 Duhamel 准则提供了 D 域内一种热方程关系，该域边界为 C，其中边界温度为零，初始温度场为 $u(x, y, z, t=0)=f(x, y, z)$，第二个解为 $w(x, y, z, t)$，其中在边界 C 处 $w=0$，而且传动项为 $h(x, y, z, t)$ 的非齐次方程有 $w(x, y, z, t)=0$，因此在 $u(x, y, z, t)=L[f(\xi, \eta, \zeta)](x, y, z, t)$ 处存在一个线性算子，其中

$$w(x, y, z, t) = \int_0^t L[h(\xi, \eta, \zeta, \tau)](x, y, z, t-\tau)\mathrm{d}\tau$$

Tasca 第一次应用它来解释半导体电源失效。假设任意输入电源波形为 $P(t)$，损坏阈值电源 $P_D(t_p)$ 和脉宽为 t_p 的矩形脉冲有关，失效标准满足如下不等式：

$$\int_0^t P(\tau)\left\{\frac{\partial}{\partial(t-\tau)}\left[\frac{1}{P_D(t-\tau)}\right]\right\}\mathrm{d}\tau \geqslant 1$$

当取临界时间时，该式满足，因此可以根据关系式来定义临界时间，令 t_c 为临界时间，失效时间为 $t=t_f$，则

$$\int_0^{tf} P(\tau)\left\{\frac{\partial}{\partial(t-\tau)}\left[\frac{1}{P_D(t-\tau)}\right]\right\}\mathrm{d}\tau = 1$$

由该关系得

$$T(\underline{r}, t) = T_0 + \int_0^t P(\tau)\frac{\mathrm{d}}{\mathrm{d}(t-\tau)}\{H(r, t-\tau)\}\mathrm{d}\tau$$

考虑到电源和时间无关，则有

$$T(\underline{r}, t) = T_0 + P_0 H(r, t)$$

从这个表达式可以定义电源失效和失效时间为

$$P_0(t_f) = \frac{T_c - T_0}{H(t_f)}$$

因而有

$$H(t_f) = \frac{T_c - T_0}{P_0(t_f)}$$

从该关系式中可以看出，将电源和温度联系起来形成了关于临界时间的一个隐式，而且消除了 $H(r, t)$ 中包含的几何信息。

$$T(\underline{r}, t) = T_0 + \int_0^t P(\tau)\frac{\mathrm{d}}{\mathrm{d}(t-\tau)}\left\{\frac{T_c - T_0}{P_0(t-\tau)}\right\}\mathrm{d}\tau$$

这个关系对于传输线脉冲系统的 ESD 评估很重要，在这个系统中可以将电源、时间和介质的临界温度信息都关联起来，而不必了解暗含的空间信息。将表达式标准化可得一个不包含空间信息的表达式，如下：

$$\frac{T(t) - T_0}{T_c - T_0} = \int_0^t P(\tau)\frac{\mathrm{d}}{\mathrm{d}(t-\tau)}\left\{\frac{1}{P_0(t-\tau)}\right\}\mathrm{d}\tau$$

因此可以定义一个标准，即当温度为临界温度时，失效时间定义为

$$\int_0^{tf} P(\tau)\frac{\mathrm{d}}{\mathrm{d}(t-\tau)}\left\{\frac{1}{P_0(t-\tau)}\right\}\mathrm{d}\tau = 1$$

在许多应用中，假设标准温度与初始温度 T_i 相关，因此当 $T_c = T_i$ 时可以定义一个标准为

$$\frac{T(t)-T_0}{T_i-T_0} = \int_0^t P(\tau)\frac{\mathrm{d}}{\mathrm{d}(t-\tau)}\left\{\frac{1}{P_0(t-\tau)}\right\}\mathrm{d}\tau$$

对于半导体应用失效标准，在很短的脉冲作用下，对于绝热机制，可以将电源失效用矩形脉冲表示为

$$P_D(t_p) = \frac{MC_p(T_f-T_0)}{t_p}$$

从而有

$$\frac{\partial}{\partial(t-\tau)}\left[\frac{1}{P_D(t-\tau)}\right] = \frac{\partial}{\partial(t-\tau)}\left[\frac{t-\tau}{MC_p(T_f-T_0)}\right] = \frac{1}{MC_p(T_f-T_0)}$$

对于任意电源分布 $P(t)$，其脉冲相对于介质中的热扩散时间非常短，对于任意机制的失效时间定义失效标准为

$$\int_0^t \frac{P(\tau)}{MC_p(T_f-T_0)}\mathrm{d}\tau \geqslant 1$$

在热扩散机制中，假设

$$P_D(t_p) = \frac{C(T_f-T_0)}{\sqrt{t_p}} \quad C = A\sqrt{\pi K\rho C_p}$$

则有

$$\frac{\partial}{\partial(t-\tau)}\left[\frac{1}{P_D(t-\tau)}\right] = \frac{\partial}{\partial(t-\tau)}\left[\frac{(t-\tau)^{1/2}}{C(T_f-T_0)}\right] = \frac{1}{2C(T_f-T_0)}\frac{1}{\sqrt{t-\tau}}$$

将该式替换到积分表达式中可得对于任意电源分布 $P(t)$ 的失效时间为

$$\int_0^t \frac{P(\tau)}{2C(T_f-T_0)\sqrt{t-\tau}}\mathrm{d}\tau = \int_0^t \frac{1}{2\sqrt{\pi K\rho C_p}(T_f-T_0)}\frac{P(\tau)}{\sqrt{t-\tau}}\mathrm{d}\tau \geqslant 1$$

2.2 电热模型

在接下来的小节中，这个方法将被应用到建立良好的 ESD 模型中，ESD 模型建立在 20 世纪 60 ~ 90 年代。这些 ESD 模型的基础是热扩散方程的解，而且一个时间常数的层次结构的建立是相对于系统的热响应和应用功率脉冲宽度的。

2.2.1 Tasca 模型

Tasca 解决热击穿问题是通过假设热击穿起始于一个当前的收缩。Tasca 提到的模型中[4]，认为所有的结电流都通过球形缺陷。作为模型中的第二假设，认为有缺陷位置的严重性是只有热量白白浪费于周围介质中。Tasca 假定崩溃发生的缺陷在本质上是球形。假定热导率和比热是常数。该模型假定一个有限的半径为 a 的球体存在于一个无限介

质中。

求解无限介质中的球面区域问题，电流收缩温度 T_c 为

$$T_c - T_a = \frac{a^2 Q}{2K} F^*$$

式中，Q 是热量；a 是球形电流收缩的半径；K 是热导率；F^* 是一个函数，即

$$F^* = F_1 \qquad R = 0$$

$$F^* = F_2 \qquad 0 < R < a$$

F_1 的解可以表示为

$$F_1 = 1 + \left(\frac{2kt}{a^2} - 1\right) erf\left(\frac{a}{2\sqrt{kt}}\right) - 2\sqrt{\frac{kt}{\pi a^2}} \exp\left(-\frac{a^2}{4\sqrt{kt}}\right)$$

且

$$F_2 = \frac{2kt}{a^2}\left\{1 - \frac{2a}{R} i^2 erfc\left(\frac{a-R}{2\sqrt{kt}}\right) + \frac{2a}{R} i^2 erfc\left(\frac{a+R}{2\sqrt{kt}}\right) - \frac{4\sqrt{kt}}{R} i^3 erfc\left(\frac{a-R}{2\sqrt{kt}}\right) + \frac{4\sqrt{kt}}{R} i^3 erfc\left(\frac{a+R}{2\sqrt{kt}}\right)\right\}$$

该公式代表了大小相等、方向相反且球面半径 $R = a$ 的镜像解。

Tasca 显示如果函数 F^* 在半径 a 附近的一个点能被解出，那么该表达式可以简化为一个更简单的形式，而在这个点 F^* 近似为

$$F^* = \frac{\dfrac{4Kt}{a^2 \rho c}}{2 + 3\sqrt{\dfrac{4Kt}{a^2 \rho c}} + \dfrac{4Kt}{a^2 \rho c}}$$

从这个表达式，可以将 F^* 代入进而求温度，得

$$T_c - T_a = \frac{a^2 Q}{2K}\left\{\frac{\dfrac{4Kt}{a^2 \rho c}}{2 + 3\sqrt{\dfrac{4Kt}{a^2 \rho c}} + \dfrac{4Kt}{a^2 \rho c}}\right\}$$

我们定义单位体积单位时间的热率为

$$Q = \frac{P}{\dfrac{4}{3}\pi a^3}$$

代入这个表达式，我们可以得到温度的功率关系式为

$$T_c - T_a = \frac{a^2}{2K}\left(\frac{P}{\dfrac{4}{3}\pi a^3}\right)\left\{\frac{\dfrac{4Kt}{a^2 \rho c}}{2 + 3\sqrt{\dfrac{4Kt}{a^2 \rho c}} + \dfrac{4Kt}{a^2 \rho c}}\right\}$$

注意，从温度等于热阻抗和功率的乘积的关系表达式，可以得到

$$R_{\mathrm{TH}} = \frac{a^2}{2K}\left(\frac{1}{\frac{4}{3}\pi a^3}\right)\left\{\frac{\frac{4Kt}{a^2\rho c}}{2+3\sqrt{\frac{4Kt}{a^2\rho c}}+\frac{4Kt}{a^2\rho c}}\right\}$$

解出失效功率，并在一个球形容积为 Δ、半径为 r 和表面面积为 S 内进行代换，有

$$T_{\mathrm{c}} - T_{\mathrm{a}} = \frac{a^2}{2K}\left(\frac{P}{\frac{4}{3}\pi a^3}\right)\left\{\frac{\frac{4Kt}{a^2\rho c}}{2+3\sqrt{\frac{4Kt}{a^2\rho c}}+\frac{4Kt}{a^2\rho c}}\right\}$$

$$P = \left(\frac{2K}{a^2}\right)\left(\frac{a^2\rho C}{4Kt}\right)\left(\frac{4}{3}\pi a^3\right)\left\{2+3\sqrt{\frac{4Kt}{a^2\rho c}}+\frac{4Kt}{a^2\rho c}\right\}(T_{\mathrm{c}} - T_{\mathrm{a}})$$

$$P = \left\{\frac{\rho C\Delta}{t}+3\left(\frac{\rho C}{2t}\right)\left(\frac{4\pi a2}{3}\right)a\sqrt{\frac{4Kt}{a^2\rho c}}+\left(\frac{2\rho C}{3t}\pi a^3\right)\frac{4Kt}{a^2\rho c}\right\}(T_{\mathrm{c}} - T_{\mathrm{a}})$$

因此

$$P = \left\{\frac{\rho C\Delta}{t}+S\left(\frac{\rho CK}{t}\right)^{1/2}+\frac{8}{3}\pi aK\right\}(T_{\mathrm{c}} - T_{\mathrm{a}})$$

功率是存储在球形容积 Δ 中的瞬时功率，是通过其表面 S 扩散的瞬时功率以及稳态功率的和。当时间是最关键的故障时间时，功率会发生故障，其中

$$P_{\mathrm{f}} = \left\{\frac{\rho C_{\mathrm{p}}\Delta}{t_{\mathrm{f}}}+S\left(\frac{K\rho C_{\mathrm{p}}}{t_{\mathrm{f}}}\right)^{1/2}+\frac{8\pi Kr}{3}\right\}(T_{\mathrm{c}} - T_{0})$$

当脉冲宽度明显小于热扩散时间时，上式大括号中的第二项和第三项相对于第一项是可以忽略。第一项代表了绝热项。对于脉冲宽度是热扩散时间的级数，第二项占主导地位。随着脉冲宽度变得显著大于热扩散时间，第三项占主导地位，该项与时间无关。

功率故障模型的球形缺陷是非常依赖于几何缺陷以及体积变化、表面积和半径。假设我们可以证明缺陷事实上是球形的本质，并可以确定临界故障温度，就可以得出缺陷的大小。对于非常短的时间，球面体积可以预测为

$$\Delta = \left\{\frac{P_{\mathrm{f}}t_{\mathrm{f}}}{\rho C_{\mathrm{p}}(T_{\mathrm{c}} - T_{0})}\right\}$$

如果已知临界故障温度、热容公式、输入功率和脉冲宽度，上式中区域积可以被计算。由第二个公式可以计算出表面面积，已知材料的属性

$$S = \left\{\frac{P_{\mathrm{f}}(t_{\mathrm{f}})^{1/2}}{(K\rho C_{\mathrm{p}})^{1/2}(T_{\mathrm{c}} - T_{0})}\right\}$$

通过改变输入脉冲的脉冲宽度，几何特征缺陷就可以确定。

2.2.2 Wunsch – Bell 模型

Wunsch 和 Bell 分析了单器件半导体[5]的功率故障，在该工作中他们提到了一些主要的效应。该研究验证了单一器件的功率故障是脉宽的函数。第一，正向偏压元件的功率故障要高于反向偏压元件；第二，当脉宽增加时，功率故障会降低；第三，功率故障对于正负斜率是一样的。在他们的工作中，假设故障机制是一样的，与偏置极性没有关

系，但是功率故障的幅值是不同的。在 Wunsch – Bell 模型（见图 2-4）的分析中，将时间常数层次和应用的脉冲进行了比较。

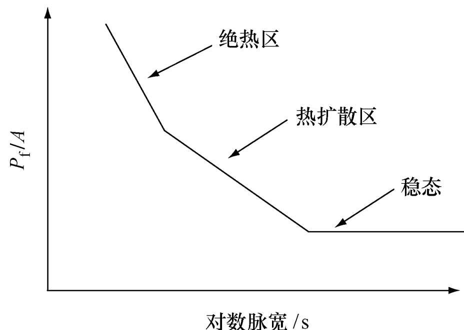


图 2-4 Wunsch – Bell 模型

从时变热扩散方程（热方程）可知，一维热方程可以表示为

$$\frac{\partial}{\partial x}\left(\kappa \frac{\partial T}{\partial x}\right) = \rho c_p \frac{\partial T}{\partial t}$$

假设热导率是均衡的，方程可以用拉普拉斯形式表示为

$$\frac{\partial^2 T}{\partial x^2} - \frac{1}{\alpha}\frac{\partial T}{\partial t} = 0$$

式中，α 是热导率。为了分析一维情况，假设存在一个热平面，平面上有一个有限脉宽脉冲热源 Q，求解该温度方程得

$$T(x, t') \mid x, x', t = \frac{Q}{\sqrt{(4\pi Q t)}}\exp\{-(x-x')^2/4\alpha t'\}$$

对时间积分得

$$T(x, x') \mid x, x' = \frac{Q}{\sqrt{(4\pi\alpha)}}\int_0^t \frac{\exp\{-(x-x')^2/4\alpha(t-t')\}}{\sqrt{t-t'}}\mathrm{d}t'$$

则有

$$T(x-x') = T(x, x') = q\sqrt{\frac{t}{\pi\alpha}}\exp\{-(x-x')/4\alpha t\} - \frac{q\,|x-x'|}{2\alpha} erfc\left\{\frac{|x-x'|}{2\sqrt{\alpha t}}\right\}$$

设变量 $x - x' = 0$，则有

$$T(0) = q\sqrt{\frac{t}{\pi\alpha}}$$

再令

$$Q = \frac{P}{A}\frac{1}{\rho c_p}$$

式中，P 是功率；A 是面积，代换成热扩散系数。若 $1/\alpha = \rho c_p/\kappa$，得

$$T - T_0 = \left(\frac{P}{A}\frac{1}{\rho c_p}\right)\sqrt{\frac{t}{\pi\alpha}} = \left(\frac{P}{A}\frac{1}{\rho c_p}\right)\sqrt{\frac{t}{\pi\frac{\kappa}{\rho c_p}}} = \left(\frac{P}{A}\right)\sqrt{\frac{t}{\pi(\kappa\rho c_p)}}$$

由这种形式，温度的增量可以通过输入功率、脉宽、面积和热特性的函数来计算。从这个研究中可以看出温度随功率线性增加，注意到这个表达式表示该功率是吸收功率，该分析假设不存在反射和发射功率。

假设该结构在本征温度 T_i 发生故障，则本征温度可以表示为

$$T_i - T_0 = \left(\frac{P_i}{A}\right)\sqrt{\frac{t}{\pi(\kappa\rho c_p)}}$$

我们定义一个新的本征功率，即本征功率是在给定脉宽 t 时将介质温度增加到其本

征温度所需的功率。

求解本征功率得

$$\frac{P_i}{A} = \frac{\sqrt{\pi \kappa \rho c_p}}{\sqrt{t}}(T_i - T_0)$$

当温度为故障温度或者最高温度时，关系式为

$$T_{max} - T_0 = \left(\frac{P_f}{A}\right)\sqrt{\frac{t}{\pi(\kappa \rho c_p)}}$$

在最高温度处的功率是故障功率，或者有

$$\frac{P_f}{A} = \frac{\sqrt{\pi \kappa \rho c_p}}{\sqrt{t}}(T_{max} - T_0)$$

故障功率和最高温度是相关的，在许多情况下，融化温度就是最高温度，但在一个结构复杂的系统中，并不总是这样。

在以上分析中，假设热源是一维平面波，在传播到系统的过程中没有热反射损失和热发射到系统之外，同时假设在我们关注的空间体积内没有内部产生机制。该方程内部固有假设是热源脉宽的顺序是热扩散时间的顺序。考虑到热源脉宽要比热扩散时间长很多，拉普拉斯项可以设置为零。

在短时间内，一维时变热方程可写为

$$A\frac{\partial}{\partial x}\left(\kappa \frac{\partial T}{\partial x}\right) + Q(t) = A\rho c_p \frac{\partial T}{\partial t}$$

假设热导率在热流方向是常数，有

$$A\kappa \frac{\partial}{\partial x}\left(\frac{\partial T}{\partial x}\right) + Q(t) = A\rho c_p \frac{\partial T}{\partial t}$$

令

$$Q(t') = \begin{Bmatrix} q & 0 < t' < t \\ 0 & t' > t \end{Bmatrix}$$

在时间常数层次结构中，当脉宽比热扩散时间短很多时，方程简化为与空间无关的热方程，即

$$\frac{\partial T}{\partial t} = \frac{Q(t)}{A\rho c_p}$$

在这种形式中，方程是一阶线性差分方程，方程从初始时间 $t'=0$ 积分到脉冲长度 $t'=t$，即

$$\int_{t'=0}^{t'=t} \mathrm{d}t' \frac{\partial T}{\partial t'} = \int_{t'=0}^{t'=t} \mathrm{d}t' \frac{Q(t')}{A\rho c_p}$$

对温度全微分得

$$\mathrm{d}T = \frac{\partial T}{\partial t}\mathrm{d}t$$

代入积分表达式，系统在 $t'=0$ 时处于环境温度 $T' = T_{amb}$，在 $t'=t$ 时温度为 $T' = T$，有

$$\int_{T'=T_{amb}}^{T'=T} \mathrm{d}T = \int_{t'=0}^{t'=t} \mathrm{d}t' \frac{\partial T}{\partial t'} = \int_{t'=0}^{t'=t} \mathrm{d}t' \frac{Q(t')}{A\rho c_p}$$

式中

$$T - T_{amb} = \int_{t'=0}^{t'=t} \frac{Q(t')}{A\rho c_p} \mathrm{d}t' = \frac{q}{\rho c_p A} t$$

令 $q = P/A$，则有

$$T - T_{amb} = \frac{P}{A} \frac{1}{A\rho c_p} t$$

在该时域中，温度与从介质中吸收的功率成正比，而且同时是脉宽的函数。单位面积的功率和时间的乘积是单位面积输入到介质中的能量，当温度为故障温度 $T = T_f$ 时，则功率为故障功率 $P = P_f$。

$$\frac{P_f}{A} = \frac{\rho c_p (T_f - T_{amb})}{t} A$$

2.2.3　Smith – Littau 模型

Smith 和 Littau 开发了一个模型来预测电阻元件[6]。在 Smith – Littau 模型中，一个电阻器被建模为一个三区域结构。薄膜电阻器处于绝缘介质膜中，该绝缘介质膜代表薄膜电阻和层间绝缘介质表面处于 $x = 0$ 的层间绝缘膜。膜厚为 x 的层间介电膜取决于厚度为 d 的基片晶片，以及 x 处的层间介电基质界面。在该模型中，它假设所有热损失来自热传导（如来自辐射热损失是微不足道的，在接口净热通量是零）。

由热扩散方程得

$$\frac{\partial^2 T}{\partial x^2} - \frac{1}{\alpha} \frac{\partial T}{\partial t} = 0$$

在边界条件 $x = 0$ 处，来自互连层间的绝缘介质的热通量为

$$q = -\kappa \frac{\partial T}{\partial x} \quad x = 0$$

令单位面积的热通量等于 F，得到表示界面的一阶导数为

$$\frac{\partial T}{\partial x} = -\frac{F}{\kappa} \quad x = 0 \quad \tau \geqslant 0$$

而且额外的边界条件为：从初始时间到无限时间，在一个无限的远处温度为零，衬底是一个完美的散热器，且在层间介电衬底表面的温度为零。

$$x = \infty \quad T = 0 \quad \tau \geqslant 0$$

$$x = x \quad T(x) = 0 \quad \tau \leqslant 0 \quad 0 \leqslant x \leqslant \infty$$

以时间与温度为变量的偏微分方程的解可表示为

$$T(x, t) = 2C\sqrt{\alpha \tau u}\left(\frac{2}{\sqrt{\pi}}\int_0^u \exp(-u^2)\mathrm{d}u + \frac{\exp(-u^2)}{\sqrt{\pi u}} - 1\right)$$

式中

$$u = \left(\frac{x}{2}\right)\sqrt{2\tau}$$

为了满足在层间介质界面到薄膜电阻处的传导边界条件，令 $x=0$，其中 x 趋近于零时变量 u 也接近于零，有

$$T(0,\ t)\ =2C\ \sqrt{\alpha\tau u}\left(\frac{2}{\sqrt{\pi}}\lim_{x\to0}\int_0^{\alpha}\exp(-u^2)\,\mathrm{d}u+\lim_{u\to0}\frac{\exp(-u^2)}{\sqrt{\pi u}}-1\right)$$

$$\lim_{u\to0}2C\ \sqrt{\alpha\tau u}\,\frac{\exp(-u^2)}{\sqrt{\pi u}}=\lim_{u\to0}2C\ \sqrt{\alpha\tau}\,\frac{\exp(-u^2)}{\sqrt{\pi}}-2C\sqrt{\frac{\alpha\tau}{\pi}}$$

这也可以表示为

$$T(0,\ t)\ =2C\sqrt{\frac{\alpha t}{\pi}}$$

式中，$C=F/\kappa$。因此

$$T(0,\ t)\ =2\,\frac{F}{\kappa}\sqrt{\frac{\alpha t}{\pi}}$$

系统峰值温度会发生在薄膜电阻和层间绝缘介质表面。在薄膜电阻中，电流 I 可以平行于层间介电薄膜的方式流过电阻元件。电阻元件的长度为 L、宽度为 W。温度增加是由于电阻加热的结果，每单位面积电阻元件的功率为

$$P=I^2R=I^2\rho\,\frac{L}{W\mathrm{t}}=I^2\rho_{\mathrm{sq}}\,\frac{L}{W}$$

计算出单位面积的功率为

$$\frac{P}{A}=\frac{1}{LW}I^2\rho_{\mathrm{sq}}\,\frac{L}{W}=\frac{I^2\rho_{\mathrm{sq}}}{W}=\frac{V^2}{\rho_{\mathrm{sq}}L^2}$$

由这个关系式，我们可以得到温度与界面、电流、电压、时间之间的关系为

$$T(0,\ t)\ =2\,\frac{I^2\rho_{\mathrm{sq}}}{KW^2}\sqrt{\frac{\alpha t}{\pi}}$$

$$T(0,\ t)\ =2\,\frac{V^2}{K\rho_{\mathrm{sq}}L^2}\sqrt{\frac{\alpha t}{\pi}}$$

在界面的温度就是峰值温度。因此，当温度是故障温度时，电流是故障电流，电压也是故障电压。因为脉冲宽度 $t=\tau$，所以有

$$T_{\mathrm{f}}(0,t=\tau)\ =2\,\frac{I_{\mathrm{f}}^2\rho_{\mathrm{sq}}}{KW^2}\sqrt{\frac{\alpha\tau}{\pi}}$$

而且

$$T_{\mathrm{f}}(0,t=\tau)\ =2\,\frac{V_{\mathrm{f}}^2}{K\rho_{\mathrm{sq}}L^2}\sqrt{\frac{\alpha\tau}{\pi}}$$

代换热扩散系数得

$$T_{\mathrm{f}}(0,t=\tau)\ =2\,\frac{V_{\mathrm{f}}^2}{K\rho_{\mathrm{sq}}L^2}\sqrt{\frac{K\tau}{\rho C_{\mathrm{p}}\pi}}$$

使用半绝缘材料的热导率，将 K 引入二次方根中得

$$T_{\mathrm{f}}(0,t=\tau)=2\frac{V_{\mathrm{f}}^{2}}{4.184\rho_{\mathrm{sq}}L^{2}}\sqrt{\frac{\tau}{\rho KC_{\mathrm{p}}\pi}}$$

求解故障电压得

$$V_{\mathrm{f}}^{2}=\frac{4.184\rho_{\mathrm{sq}}L^{2}T_{\mathrm{c}}}{2}\frac{\sqrt{\rho KC_{\mathrm{p}}\pi}}{\sqrt{\tau}}$$

Smith – Littau 模型假设在电阻顶部没有任何绝缘材料，第二个解假设了在顶部和底部都铺设了半绝缘材料，这个解表示如下：

$$V_{\mathrm{f}}^{2}=4.184\rho_{\mathrm{sq}}L^{2}T_{\mathrm{c}}\frac{\sqrt{\rho KC_{\mathrm{p}}\pi}}{\sqrt{\tau}}$$

这个设想假设在顶部和底部的边界条件的时间尺度是一样的。

2.2.4　Arkhipov – Astvatsaturyan – Godovosyn – Rudenko 模型

在 Arkhipov – Astvatsaturyan – Godovosyn – Rudenko（AAGR）模型中[8]，缺陷不被视为一个球形区域，而是一个圆柱形区域。假设筒状缺陷的半径为 b，直径为 D，可以得到在稳态条件之前长脉冲的一个表达式为

$$P_{\mathrm{f}}=\frac{[4\pi Ka(T_{\mathrm{c}}-T_{0})]}{\left[\ln\left(\frac{t_{\mathrm{f}}}{b^{2}/4\pi D}\right)+\ln\left(\frac{4}{\pi}\right)\right]}$$

AAGR 模型假设了缺陷的筒状性质。在 GaAs 和其他化合物半导体的实验证据中清楚地显示了缺陷区域中的单个和多个成丝，在这些缺陷区域中，与柱长相比其半径较小。

2.2.5　Vlasov – Sinkevitch 模型

Vlasov 和 Sinkevitch[9] 开发了一个物理模型来解释缺陷区域。在热中心，脉冲功率为 P，他们得到了最高温度 T 在时间 t 内的表达式。当缺陷达到临界温度，电源故障可以表示为

$$P_{\mathrm{f}}=\frac{[\pi\lambda R(T_{\mathrm{c}}-T_{0})]}{\left[1-erf\left\{\frac{R}{2a\sqrt{t}}\right\}-\frac{2a\sqrt{t}}{R\sqrt{\pi}}\left\{\exp\left(-\frac{R^{2}}{4a^{2}t}\right)-1\right\}\right]}$$

式中

$$a^{2}=\lambda/c\rho$$

式中，λ 是热导率，在表达式中，热扩散时间是 $R/2a$，这个时间比率 $R/2a$ 与脉冲时间 t 相关，而脉冲时间 t 决定了分母的性质。

2.2.6　Dwyer – Franklin – Campbell 模型

Dwyer、Franklin 和 Campbell[10] 开发出了平面器件的物理热模型，该平面器件可以解释该结构的三维性质。在许多半导体器件中，由于在水平及垂直方向上的比例结构的显著差异，三个物理尺寸的刻度长度是显著不同的。Dwyer、Franklin 和 Campbell 在第一定理的基础上开发了一个模型，使用格林函数来求解，该解不是一个特定功率分布的函数。热传导方程表示为

$$\frac{\partial T}{\partial t}-D\nabla^{2}T=\frac{q(t)}{\rho C_{\mathrm{p}}}$$

式中，$D=k/\rho C_p$。在 DFC 模型中，假定容积内的加热速度是恒定的，而外部的加热速度为零。恒定的输出功率为 P_0，在容积 D 中可以被代入到一个泊松方程中，即

$$\nabla^2 T=-\frac{P_0}{D\rho C_p\Delta}$$

泊松方程的三维一般解可表示为

$$T(\underline{r})=T_0+\frac{P_0}{K\Delta}\int\frac{d\underline{r}'}{4\pi|\underline{r}-\underline{r}'|}$$

热传导方程的格林函数解来自狄拉克 δ 函数，该函数是一种空时函数。表达式为

$$\frac{\partial G}{\partial t}-D\nabla^2 G=\delta(\underline{r-r'})\delta(t-\tau)$$

格林函数的解是三维高斯表达式，即

$$G(r,r',t,\tau)=G(r-r',t-\tau)=\frac{1}{[4\pi D(t-\tau)]^{3/2}}\exp\left\{-\frac{|\underline{r-r'}|^2}{4D(t-\tau)}\right\}$$

在位置 r 和时间 t 求解温度，有

$$T(\underline{r},t)=T_0+\iint P(\tau)G(r-r',t-\tau)\mathrm{d}r'\mathrm{d}\tau$$

该积分可以被分离并表示为

$$T(\underline{r},t)=T_0+\int_0^t\frac{P(\tau)}{\rho C_p\Delta}\mathrm{d}\tau\int_\Delta\frac{\mathrm{d}\underline{r}'}{[4\pi D(t-\tau)]^{3/2}}\exp\left\{-\frac{(\underline{r}-\underline{r}')^2}{4D(t-\tau)}\right\}$$

这个表达式可以表达余误差函数 *erfc*（r，t），令

$$H(\underline{r},t)=\frac{1}{4\pi K\Delta}\int\frac{erfc\left\{\frac{|\underline{r}-\underline{r}'|}{2\sqrt{Dt}}\right\}}{|\underline{r}-\underline{r}'|}\mathrm{d}\underline{r}'$$

然后我们可以表示温度和功率的关系为

$$T(\underline{r},t)=T_0+\int_0^t P(\tau)\frac{\mathrm{d}}{\mathrm{d}(t-\tau)}H(\underline{r},t-\tau)\mathrm{d}\tau$$

上述关系被称为 Duhamel 公式。

在这个表达式中，如果脉冲功率与时间无关，则幂项可以从积分表达式中删除，则有

$$T(\underline{r},t)=T_0+P_0\int_{\tau=0}^{\tau=t}\frac{\mathrm{d}}{\mathrm{d}(t-\tau)}H(\underline{r},t-\tau)\mathrm{d}\tau$$

令 $\chi=t-\tau$，则积分可以从下限积到上限，且

$$\mathrm{d}\chi=\mathrm{d}(t-\tau)=-\mathrm{d}\tau$$

$$T(\underline{r},t)=T_0+P_0\int_{x=t}^{x=0}\frac{\mathrm{d}}{\mathrm{d}(x)}H(\underline{r},x)(-\mathrm{d}x)$$

则

$$T(\underline{r},t)=T_0+P_0\int_{x=0}^{x=t}\mathrm{d}H(\underline{r},x)$$

式中

$$T(\underline{r},t) = T_0 + P_0 H(\underline{r},t)$$

表达式是温度于时间 t 在空间某处为时不相关的功率函数。

函数 H（r，t）的限制条件在无限的时间或空间源点处可以被计算。

$$H(\underline{r},\ t=\infty) = \lim_{t\to\infty} \frac{1}{4\pi K\Delta}\int \frac{erfc\left\{\dfrac{|\underline{r}-\underline{r}'|}{2\sqrt{Dt}}\right\}}{|\underline{r}-\underline{r}'|}\mathrm{d}\underline{r}' = \frac{1}{4\pi K\Delta}\int \frac{\lim\limits_{t\to\infty} erfc\left\{\dfrac{|\underline{r}-\underline{r}'|}{2\sqrt{Dt}}\right\}}{|\underline{r}-\underline{r}'|}\mathrm{d}\underline{r}'$$

对于较小的 x，误差函数 erf（x）可以被表示为

$$erf(x) \approx \frac{2x}{\sqrt{\pi}} \quad x \leqslant \sqrt{\pi/2}$$

然后，当 t 趋于无穷大时，余误差函数 $erfc(0)=1$，因此有

$$H(\underline{r},\ t=\infty) = \frac{1}{4\pi K\Delta}\int \frac{\lim\limits_{t\to\infty} erfc\left\{\dfrac{|\underline{r}-\underline{r}'|}{2\sqrt{Dt}}\right\}}{|\underline{r}-\underline{r}'|}\mathrm{d}\underline{r}' = \frac{1}{K\Delta}\int \frac{\mathrm{d}\underline{r}'}{|4\pi(\underline{r}-\underline{r}')|}$$

因此，在稳定状态下的温度（例如，无限的时间）可以表示为

$$T_{ss} = T_0 + P_0 H(\infty) = T_0 + \frac{P_0}{K\Delta}\int \frac{\mathrm{d}\underline{r}'}{4\pi|\underline{r}-\underline{r}'|}$$

DFC 模型（见图 2-5）的目的是要提供一种解，该解与一个格林函数相关，而该格林函数能够更好地代表与半导体器件几何结构相关。就三维而言，一个平行六面体形成于三个物理维度，其具有三个特征长度为 a、b、c 的物理尺寸。格林函数被定义在对称的中心内，该对称中心代表一个恒定的热源内尺寸 a 在位置 x 处的一维的解。

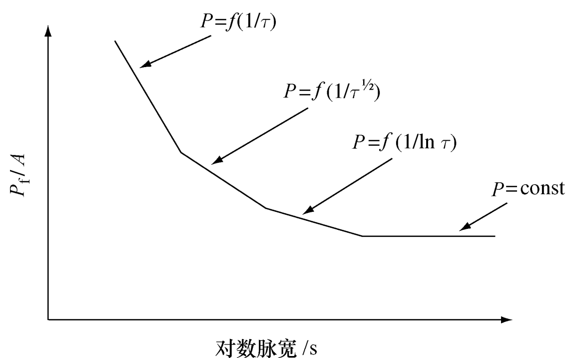


图 2-5 Dwyer 模型

$$G(x,\ a,\ \tau) = \frac{1}{2}\left(erf\left(\frac{\dfrac{a}{2}+x}{2\sqrt{D\tau}}\right) + erf\left(\frac{\dfrac{a}{2}-x}{2\sqrt{D\tau}}\right)\right)$$

在这种情况下，格林函数被误差函数 erf（x）代替，有

$$erf(x) = \frac{2}{\sqrt{\pi}}\int_0^x \exp\{-t^2\}\,\mathrm{d}t$$

使用恒定的功率脉冲的形式，其中的电源是外部的积分表达式，我们可以表示在位置 r 的温度为三个格林函数的乘积。因此，一般的平行六面体的表达式为

$$T(\underline{r},\ t) = T_0 + \frac{P_0}{\rho C_P \Delta}\int_0^t G(x,\ a,\ \tau) G(y,\ b,\ \tau) G(z,\ c,\ \tau) \mathrm{d}\tau$$

假设峰值温度是在缺陷区域的中心，我们可以求解几何中心为

$$T(\underline{0},\ t) = T_0 + \frac{P_0}{\rho C_p \Delta}\int_0^t G(x=0,\ a,\ \tau) G(y=0,\ b,\ \tau) G(z=0,\ c,\ \tau) \mathrm{d}\tau$$

代入格林函数，该函数简化为

$$G(x=0,\ a,\ \tau) = \frac{1}{2}\left(erf\left(\frac{\frac{a}{2}}{2\sqrt{D\tau}}\right) + erf\left(\frac{\frac{a}{2}}{2\sqrt{D\tau}}\right)\right) = erf\left(\frac{a}{4\sqrt{D\tau}}\right)$$

因此，在几何中心上 t 时刻的温度为

$$T(\underline{0},\ t) = T_0 + \frac{P_0}{\rho C_p \Delta}\int_0^t erf\left(\frac{a}{4\sqrt{D\tau}}\right) erf\left(\frac{b}{4\sqrt{D\tau}}\right) erf\left(\frac{c}{4\sqrt{D\tau}}\right) \mathrm{d}\tau$$

误差函数可以通过定义的热扩散时间写成无量纲的形式，在 DFC 模型，三个热扩散时间被定义为

$$t_a = \frac{a^2}{4\pi D}$$

$$t_b = \frac{b^2}{4\pi D}$$

$$t_c = \frac{c^2}{4\pi D}$$

在这种形式中，中心温度可以被表示为热扩散时间与特征时间的比，即

$$T(\underline{0},\ t) = T_0 + \frac{P_0}{\rho C_p \Delta}\int_0^t erf\left(\frac{\sqrt{\pi}}{2}\sqrt{\frac{t_a}{\tau}}\right) erf\left(\frac{\sqrt{\pi}}{2}\sqrt{\frac{t_b}{\tau}}\right) erf\left(\frac{\sqrt{\pi}}{2}\sqrt{\frac{t_c}{\tau}}\right) \mathrm{d}\tau$$

如果所在的时间 t 是失效时间，该时间点上温度在原点处达到失效温度，我们可以将失效功率表示为

$$P_f = \frac{\rho C_p \Delta (T(0,\ t) - T_0)}{\int_0^{t=tf} erf\left(\frac{\sqrt{\pi}}{2}\sqrt{\frac{t_a}{\tau}}\right) erf\left(\frac{\sqrt{\pi}}{2}\sqrt{\frac{t_b}{\tau}}\right) erf\left(\frac{\sqrt{\pi}}{2}\sqrt{\frac{t_c}{\tau}}\right) \mathrm{d}\tau}$$

要计算误差函数的极限，它可以展开为级数形式，即

$$erf(x) = \frac{2}{\sqrt{\pi}}\int_0^x \exp\{-t^2\} \mathrm{d}t = \frac{2}{\sqrt{\pi}}\int_0^x \left(1 - t^2 + \frac{t^4}{2!} - \frac{t^6}{3!} + \cdots\right) \mathrm{d}t$$

完成对级数展开的积分，有

$$erf(x) = \frac{2}{\sqrt{\pi}}\int_0^x \exp\{-t^2\} \mathrm{d}t = \frac{2}{\sqrt{\pi}}\left(x - \frac{x^3}{3} + \frac{x^5}{5(2!)} - \frac{x^7}{7(3!)} + \cdots\right)$$

当 x 比较小时，有

$$erf(x) = \frac{2}{\sqrt{\pi}}\int_0^x \exp\{-t^2\} \mathrm{d}t \approx \frac{2x}{\sqrt{\pi}} \quad x \leqslant \sqrt{\pi/2}$$

而

$$erf(x) = \frac{2}{\sqrt{\pi}}\int_0^x \exp\{-t^2\}\mathrm{d}t \approx 1 \quad x \geqslant \sqrt{\pi}/2$$

因此功率表达式的项，误差函数依赖于热扩散系数和特征时间之间的关系。

对于三个维度，假设它们之间的关系为 $c<b<a$，导致热扩散系数的关系为 $t_c<t_b<t_a$，因此，最感兴趣的区间是从 $t=0$ 到 $t=t_c$。在温度积分式中，若时间比三个热扩散时间短，则三个误差函数等价，结果为

$$T(\underline{0}, t) = T_0 + \frac{P_0}{\rho C_p abc}\int_0^t \mathrm{d}\tau$$

如果失效出现在这段时间内，则功率等于失效功率，而且在峰值温度位置的失效为

$$P_f = \frac{\rho C_p \Delta(T(0, t=t_c) - T_0)}{t_f}$$

对于介于 t_c 与 t_b 之间的时间，沿 z 方向的误差函数的表达式被估计为功率级数表达式中的第一项，当 x 与 y 方向的误差函数保持一个统一的值，则我们可以把它表示为

$$P_f = \frac{\rho C_p \Delta(T(0, t) - T_0)}{\int_0^{t=t_f} erf\left(\frac{\sqrt{\pi}}{2}\sqrt{\frac{t_c}{\tau}}\right)\mathrm{d}\tau} = \frac{\rho C_p \Delta(T(0, t) - T_0)}{\int_0^{t} erf\left(\frac{\sqrt{\pi}}{2}\sqrt{\frac{t_c}{\tau}}\right)\mathrm{d}\tau + \int_{t_c}^{t=t_f} erf\left(\frac{\sqrt{\pi}}{2}\sqrt{\frac{t_c}{\tau}}\right)\mathrm{d}\tau}$$

如之前改进所表示的那样，有

$$P_f = \frac{\rho C_p \Delta(T(0, t) - T_0)}{\int_0^{t=t_f} erf\left(\frac{\sqrt{\pi}}{2}\sqrt{\frac{t_c}{\tau}}\right)\mathrm{d}\tau} \approx \frac{\rho C_p \Delta(T(0, t) - T_0)}{\int_0^{t}\mathrm{d}\tau + \int_{t_c}^{t=t_f} erf\left(\frac{\sqrt{\pi}}{2}\sqrt{\frac{t_c}{\tau}}\right)\mathrm{d}\tau}$$

代入近似的误差函数得

$$\int_{t_c}^{t} erf\left(\frac{\sqrt{\pi}}{2}\sqrt{\frac{t_c}{\tau}}\right)\mathrm{d}\tau \approx \int_{t_c}^{t}\mathrm{d}\tau\,\frac{2}{\sqrt{\pi}}\left\{\frac{\sqrt{\pi}}{2}\sqrt{\frac{t_c}{\tau}}\right\}$$

$$= \sqrt{t_c}\int_{t_c}^{t}\mathrm{d}\tau\{\tau^{-1/2}\} = 2\sqrt{t_c}[\sqrt{\tau}]_{t_c}^{t} = 2(\sqrt{t_c\tau} - t_c)$$

$$P_f = \frac{ab\sqrt{(\pi K\rho C_p)}(T_c - T_0)}{\sqrt{t_f} - \sqrt{t_c}/2}$$

$$P_f = \frac{MC_p(T_c - T_0)}{t_f}$$

$$P_f = \frac{ab\sqrt{(\pi K\rho C_p)(T_c - T_0)}}{\sqrt{t_f} - \sqrt{t_c}/2}$$

$$P_f = \frac{4\pi Ka(T_c - T_0)}{\ln(t_f/t_b) + 2 - (c/b)}$$

$$P_f = \frac{2\pi Ka(T_c - T_0)}{\ln\left(\frac{a}{b}\right) + 2 - \frac{c}{2b} - \sqrt{\frac{t_a}{t_f}}}$$

2.2.7 Greve 模型

多晶硅电阻元件在电路网络中被用作电阻元件和熔断器，多晶硅电阻器与 MOSFET 的栅极、RC 触发的 MOSFET 功率钳位器和低电平控制的 NMOS（GGNMOS）网络串联，被用作接收网络。对于多晶硅熔丝，关键是提供一个模型，用以了解的电阻编程电流变化的条件，或建立一个开路。

Greves 提出了多晶硅熔丝模型[11]，在熔丝结构中，厚度为 d_p 的多晶硅结构被放置在厚度为 d_{ox} 的氧化膜上。基于 Greves 的实验工作，低于临界功率 P_{crit} 多晶硅电阻在串联电阻中并没有发生显著变化。据观察，电阻的一个小的下降归因于脉冲的固相退火。当脉冲功率高于临界功率 P_{crit} 时，多晶硅元件呈现低阻状态。在这种条件下，由于薄膜开态先于多晶硅材料输运，导致多晶硅电阻增加，Greves 将低电压状态归因于长丝传导和熔融状态的过渡。Greves 观察到估计的熔丝温度约为硅的熔融温度，在假设的长丝传导模型里也是一样的情况。此外，熔融状态的观察是显而易见的。据推测，该熔丝区域在熔融长丝的起始位置达到峰值温度，随着温度的增加，会发生电流聚集在多晶硅膜的丝状区域。随着物理区域中电流聚集的发生，丝的尺寸在物理区域中扩展，向两个方向分布，朝向膜的边缘与朝向接触处。

假设厚度为 d_p，宽度为 w 的多晶硅电阻元件在厚度为 d_{ox} 的氧化物膜上。假设丝的宽度、熔融硅区域与宽度为 $w-\delta$ 的非熔融硅区域平行，跨越宽度的峰值温度在对称中心，多晶硅电阻的界面温度介于中心与宽度为 $\delta/2$ 之间的温度，且在熔融温度以上（例如，$\delta/2 < x < (\omega+\delta)/2$ 时，$T > T_m$）。

根据热传导方程，可以证明所施加的电压与灯丝之间的关系为

$$V(\delta) = \left[\frac{l^2 g_{ox} T_m}{\sigma d_p d_{ox}} \frac{1-F(\delta)}{F^* - F(\delta)}\right]$$

$$F(\delta) = \frac{\tanh\{\alpha(\delta - w)/2\}}{\tanh\{\alpha\delta/2\}}$$

$$\alpha = \left[\frac{r_{si} g_{ox}}{d_p d_{ox}}\right]^{1/2}$$

2.2.8 负微分电阻模型

当一个结构处在负阻状态时，很可能会产生电热不稳定的问题。对于一个一维结构，可以通过增加电阻数量或者积分计算得电阻值，如下：

$$R = \sum_{i=1}^{i=n} R_i \Delta x = \int_0^L R(x)\,\mathrm{d}x$$

对于该式，当膜厚为常数 t，膜宽为 w 时，薄膜电阻可以定义为

$$\rho_{sh} = \frac{\rho}{t_{film}}$$

因此有

$$R = \int_{x=0}^{x=L} \frac{\rho_{sh}(x,\ T)}{W}\mathrm{d}x$$

设薄膜电阻为位置和环境温度 T 的函数，则电阻的导数为

$$\frac{\mathrm{d}R}{\mathrm{d}t} = \frac{\mathrm{d}}{\mathrm{d}t}\int_{x=0}^{x=L} \frac{\rho_{\mathrm{sh}}(x, T)}{W}\mathrm{d}x$$

由于对时间的微分与积分不相关，所以微分和积分可以交换为

$$\frac{\mathrm{d}R}{\mathrm{d}t} = \frac{1}{W}\int_{x=0}^{x=L} \frac{\mathrm{d}}{\mathrm{d}t}\rho_{\mathrm{sh}}(x, T)\mathrm{d}x$$

由全微分得

$$\mathrm{d}\rho_{\mathrm{sh}}(x, T) = \frac{\partial\rho}{\partial T}\mathrm{d}T + \frac{\partial\rho}{\partial x}\mathrm{d}x$$

则有

$$\frac{\mathrm{d}\rho_{\mathrm{sh}}(x, T)}{\mathrm{d}t} = \frac{\partial\rho}{\partial T}\frac{\mathrm{d}T}{\mathrm{d}t} + \frac{\partial\rho}{\partial x}\frac{\mathrm{d}x}{\mathrm{d}t}$$

由于 $\mathrm{d}x/\mathrm{d}t = 0$，表达式中的第二项为零，从而表达式变为

$$\frac{\mathrm{d}R}{\mathrm{d}t} = \frac{1}{W}\int_{x=0}^{x=L} \frac{\partial}{\partial T}\rho_{\mathrm{sh}}(x, T)\frac{\partial T(x, T)}{\partial t}\mathrm{d}x$$

当下式小于零时负微分电阻会不稳定，当等于零时系统相对稳定

$$\frac{\mathrm{d}R}{\mathrm{d}t} = \frac{1}{W}\int_{x=0}^{x=L} \frac{\partial}{\partial T}\rho_{\mathrm{sh}}(x, T)\frac{\partial T(x, T)}{\partial t}\mathrm{d}x \leqslant 0$$

从研究中可以清楚看出，当下式满足时，系统是稳定的。

$$\frac{\mathrm{d}R}{\mathrm{d}t} = \frac{1}{W}\int_{x=0}^{x=L} \frac{\partial}{\partial T}\rho_{\mathrm{sh}}(x, T)\frac{\partial T(x, T)}{\partial t}\mathrm{d}x \geqslant 0$$

假设从 $x = L_1$ 到 $x = L$ 的一段电阻满足以下条件

$$\frac{\mathrm{d}R}{\mathrm{d}t} = \frac{1}{W}\int_{x=L_1}^{x=L} \frac{\partial}{\partial T}\rho_{\mathrm{sh}}(x, T)\frac{\partial T(x, T)}{\partial t}\mathrm{d}x \leqslant 0$$

因此，如果

$$\frac{\mathrm{d}R}{\mathrm{d}t} = \frac{1}{W}\int_{x=0}^{x=L_1} \frac{\partial}{\partial T}\rho_{\mathrm{sh}}(x, T)\frac{\partial T(x, T)}{\partial t}\mathrm{d}x + \frac{1}{W}\int_{x=L_1}^{x=L} \frac{\partial}{\partial T}\rho_{\mathrm{sh}}(x, T)\frac{\partial T(x, T)}{\partial t}\mathrm{d}x \geqslant 0$$

则从 $x = L_1$ 到 $x = L$ 的一段电阻区域有稳定的负微分电阻，如果任何时候该条件都满足的话，那么第一个积分表达式可以作为获得稳态电阻的稳定条件。

2.2.9　Ash 模型

M. Ash 意识到材料的属性随温度有显著变化，但由 Wunsch 和 Bell 提出的早期模型中并没有考虑相关的温度系数。在 Wunsch – Bell 模型中，微分假设热导率和特定热密度乘积是常数，该模型假设一个常系数一维热扩散方程。边界条件假设在半无限介质中，其在介质一个单面上相结合。Ash 利用基尔霍夫和玻尔兹曼变换来求解非线性热方程失效问题。

在半导体材料中，如硅、锗和砷化镓等的热导率、密度和比热都与温度有关，假设这些性质是变化的，从而热方程可以表示为一维的与温度相关的热导率 $K(T)$ 和比热的乘积，如下：

$$\frac{\partial}{\partial x}\left(\kappa(T)\frac{\partial T}{\partial x}\right) = \rho c_{\mathrm{p}}(T)\frac{\partial T}{\partial t}$$

通过变量代换定义一个与空间和时间相关的温度 $Q(x, t)$，即

$$Q(x, t) = \int_{T_0}^{T} \sqrt{K(T')\rho C_p(T')}\mathrm{d}T'$$

位置变换如下：

$$\chi(x) = \int_0^x \sqrt{\frac{\rho C_p}{K}}\mathrm{d}x'$$

Ash 显示这可以引出变换

$$\ln\zeta = -\overline{C}\overline{Q}(\chi, t)$$

$$\overline{Q}(\chi(x, t), t) = Q(x, t)$$

边界条件为

$$\zeta(\chi, 0) = 1$$

$$\zeta(\infty, t) = 1$$

则转换后的微分方程为

$$\frac{\partial^2}{\partial^2\chi}\zeta = \frac{\partial}{\partial T}\zeta + \frac{CP_0}{A}\frac{\partial}{\partial \chi}\xi$$

式中

$$\frac{\dfrac{\partial}{\partial \chi}\zeta(0, t)}{\zeta(0, t)} = \frac{CP_0}{A}$$

为了使系统方程有效，热导率、比热和密度的乘积必须满足一阶常微分方程，即

$$\frac{\mathrm{d}}{\mathrm{d}T}\ln\sqrt{\rho C_p/K} = C\sqrt{\rho C_p K}$$

该一阶微分方程可以用积分解来表示，即

$$\left(\frac{\rho C_p}{K}\right) = C\left(a_0 + \int_{T_0}^{T}\rho C_p(T')\mathrm{d}T'\right)$$

用这种形式的任意函数可以建立一种通用公式，即

$$K(T) = K_0 g(T)\exp\left\{-C\sqrt{(\rho C_p)_0 K_0}\int_{T_0}^{T} g(T')\mathrm{d}T'\right\}$$

$$\rho C_p(T) = (\rho C_p)_0 g(T)\exp\left\{+C\sqrt{(\rho C_p)K}\int_{T_0}^{T} g(T')\mathrm{d}T'\right\}$$

代换到一阶微分方程中得

$$\frac{\mathrm{d}}{\mathrm{d}T}\ln\sqrt{\rho C_p/K} = C\sqrt{\rho C_p/K}$$

代入通用表达式中得

$$\frac{\mathrm{d}}{\mathrm{d}T}\ln\sqrt{\rho C_p/K} = \frac{\mathrm{d}}{\mathrm{d}T}\ln\sqrt{\frac{(\rho C_p)_0 g(T)\exp\{-C\sqrt{(\rho C_p)_0}\int_{T_0}^{T} g(T')\mathrm{d}T'\}}{K_0 g(T)\exp\{C\sqrt{(\rho C_p)_0}\int_{T_0}^{T} g(T')\mathrm{d}T'\}}}$$

$$C\sqrt{\rho C_p K} = C\sqrt{\left\{(\rho C_p)_0 g(T)\exp\{-C\sqrt{K_0(\rho C_p)_0}\int_{T_0}^{T} g(T')\mathrm{d}T'\}\right\}}$$

$$\sqrt{K_0 g(T)\exp\{C\sqrt{K_0(\rho C_p)_0}\int_{T_0}^{T} g(T')\mathrm{d}T'\}}$$

式中

$$C\sqrt{\rho C_p K} = Cg(T)\sqrt{K\rho C_p}$$

函数 $g(T)$ 是任意的，但必须标准化为 $g(T_0)=1$。

该微分方程可以重新整理为左边等于一个常数的形式，即

$$\frac{1}{\sqrt{\rho C_p K}}\frac{\mathrm{d}}{\mathrm{d}T}\ln\sqrt{\rho C_p/K} = C$$

表达这种关系的函数是变系数通用方程的解，对于许多材料如硅、锗和砷化镓，Ash 表明这种关系式适用很宽的温度范围。Ash 的特点在于即使不处理非线性问题，实验数据也能符合 Wunsch – Bell 模型，其部分原因在于应用于 Wunsch – Bell 模型的材料性质满足 Ash 关系。

2.2.10　统计模型

ESD 结果的预测值是结构和脉冲事件统计变化量的函数，失效的统计结果对于预测真实环境中的失效情况具有很重要的作用。

纳米结构器件的统计变化依赖于几何尺寸和掺杂浓度的变化。在半导体器件中，几何尺寸的变化依靠光刻、腐蚀、注入和扩散工艺，在这些过程中，存在随机性和系统效应。微观和宏观变化都会引起局部和全局的变化。

另外，在大尺寸上的宏观全局变量是和制造工艺相关的，制造工艺变量包括硅片上 die（管芯）和 die（管芯）之间，晶圆与晶圆之间，不同批次之间和半导体制造厂之间的差异，这些变量也会受半导体工具和应用的硅片影响。通常很少使用多个供应商来生产一种特定的芯片或者很少用完全不同的工艺来生产一种芯片。

在 ESD 模拟测试中也存在统计变量，施加在半导体芯片上的放电会使电压和电流都发生变化。

在半导体早期研究中，失效预测对应用来说是非常重要的。Brown[12]、Enlow[13]、Alexander[14]、Pierce 和 Mason[15]最早开始研究 ESD 失效和统计失效之间的关系。统计模型开发应用在与半导体工业相关的物理失效模型中。

如果定义一个变量，它是平均功率故障 $<P_f>$ 和 N 个离散元素的样本标准差的比值，如下：

$$\Gamma = \frac{<P_f>}{S_p}$$

其中定义

$$S_p = \left[\frac{1}{N-1}\sum_{i=1}^{N}\{P_{fi} - <P_f>\}^2\right]^{1/2}$$

假设存在一个对数分布，将正态分布表示为

$$f_\Gamma(\lambda) = \frac{1}{\sqrt{2\pi}\quad S_p}\exp\left\{-1/2\left[\frac{\ln\lambda - <P_f>}{S_p}\right]2\right\}$$

对于这个公式的合适解释是变量 λ 值的 $N\%$ 比 Pierce 和 Mason[15] 所述的参数 λ_N 要大。对于固定策略 N，应用 Pierce – Mason 的研究（见图 2.6）可得到了变量 λ_N，由于平均功率故障是已知的，所以标准差可以计算为

$$S_p = \frac{\langle P_f \rangle}{\lambda_N}$$

正如 Pierce 和 Mason 所说的那样，这些结果暗含说明，对变量 λ_N 给定一个值，阈值分布的标准差是平均失效功率的有界线性函数。

作为统计学的一个应用，Enlow 显示在标准差 S_p 的对数和平均失效功率的对数 $\langle P_f \rangle$ 之间存在线性关系。

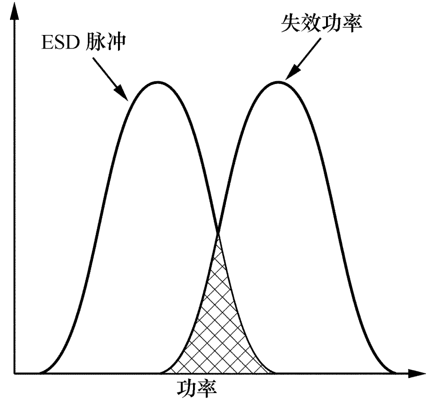


图 2-6 Pierce – Mason 统计模型

假设在热扩散机制中存在一个相关的 Wunsch – Bell 失效，将所有物理参数都整合到常数 K 中，关系式可表示为

$$P_f = \frac{K\delta}{\sqrt{\tau_p}}$$

假设统计变量是和与面积 δ 相关的工艺变量相关的，将其表示为平均值 $\langle \delta \rangle$ 和标准差 S_δ 的函数则有

$$\langle P_f \rangle = \frac{K}{\sqrt{\tau_p}} \langle \delta \rangle$$

$$S_p = \frac{K}{\sqrt{\tau_p}} S_\delta$$

因此通过代换得

$$S_p = \langle P_f \rangle \frac{S_\delta}{\delta}$$

考虑到失效未知的情况，可以定义一个随机的变量。Pierce 和 Mason 定义了一个新的随机变量，它是平均阈值失效解析估计值和测试值之比，即

$$\alpha = \frac{\langle P_c \rangle}{\langle P_f \rangle}$$

一种概率分布函数可以定义为双参数分布，即

$$f_{P_f} = f_{P_f}(P_f, \langle P_f \rangle, S_p)$$

从 Pierce – Mason 模型中通过定义代换，可以定义一个分布函数，比如一个器件当功率脉冲为 P_f 时功率故障 P_f 可以幸免。

$$\Pr\{P_f > P_{f'}\} = \int_{P_f'}^{\infty} f_{P_f}(P_f, \langle P_c \rangle / \alpha, \langle P_c \rangle / \alpha\lambda) \mathrm{d}P_f$$

统计模型对于建立无法接受 ESD 失效的高稳定性系统有很大的价值，鉴于 20 世纪

70、80 年代统计模型用来处理 ESD 可靠性预测，在那个时期计算 ESD 相关的解从本质上来说不是典型的统计方法。在 20 世纪 90 年代左右，通常将产品设计为更高的 ESD 标准以便来降低 ESD 风险。从 20 世纪 90 年代后，芯片保护通过增加事件和环境之间的 ESD 裕度来处理所有的机制。随着制造半导体的困难越来越大，以及全球化的封装与组装，控制所有的工厂更加困难，由于器件都是规模化的，产品和事件的敏感度会降低，从而可以重新建立统计模型和产品风险估计。

下一章的重点将放在半导体器件上，仅讲解感兴趣的特定领域和器件，这些器件包括二极管、电阻、晶体管、硅整流器和高电流、高电压、高温度 MOSFET。这一章将讲解热模型中的漏电现象、能带陷阱模型、能带隧穿模型，这些对于理解漏电流很重要，特别是当氧化物的尺寸更小时更关键。对于电阻，重点在于速度饱和效应；对于晶体管，我们将探讨限制因素，如 Johnson 限制、Kirk 效应和基本模型；对于硅整流器，重点放在不同情况下触发标准的制定和一般晶体管模型上，以及保持电流公式的探讨；对于 MOSFET，重点放在 MOSFET 的电流限制、雪崩现象、寄生晶体管和 MOSFET 栅感应漏电现象。

习　题

2.1　假设在热扩散区中有一个 Wunsch – Bell 形式的功率故障，一个理想电流源，一个有故障电压的输入电源和一系列电阻

$$P_{\mathrm{f}} = \frac{K}{\sqrt{t_{\mathrm{p}}}}$$

而且

$$\int_0^t \frac{P(\lambda)}{2\sqrt{t-\lambda}}\mathrm{d}\lambda \geqslant K$$

$$I(t) = I_0 \mathrm{e}^{-t/\tau}$$

$$P(t) = I(t)V_{\mathrm{BD}} + I^2(t)R_{\mathrm{s}}$$

推导如下不等式

$$I_0 V_{\mathrm{BD}}\sqrt{t}D(\sqrt{t/\tau}) + I_0{}^2 R_{\mathrm{s}}\sqrt{\tau/2}D(\sqrt{2t/\tau}) \geqslant K$$

式中，$D(x)$是 Dawson 积分，即

$$D(x) = \mathrm{e}^{-x^2}\int_0^x e^{y^2}\mathrm{d}y$$

2.2　考虑到功率故障的 Wunsch – Bell 热模型和 Johnson 限制表达式的最大值，将与尺寸无关的功率故障标准化为 Johnson 限制的最大功率值，那么其他尺寸无关的组和时间常数在该表达式中包含了什么？物理过程又起什么作用？

参 考 文 献

1. J. Mathews and R. L. Walker. *Mathematical Methods of Physics*, W. A. Benjamin., 1964.
2. P. M. Morse and H. Feshbach. *Methods of Theoretical Physics*, McGraw-Hill, 1953.
3. H. Weinberger. *A First Course in Partial Differential Equations*, Wiley 1965.
4. D. M. Tasca. Pulse power failure modes in semiconductors. *IEEE Transactions on Nuclear Science* 1970; **NS-17** (6): 346–372.
5. D. C. Wunsch and R. R. Bell. Determination of threshold voltage levels of semiconductor diodes and transistors due to pulsed voltages. *IEEE Transactions on Nuclear Science* 1968; **NS-15** (6): 244–259.
6. J. S. Smith and W. R. Littau. Prediction of thin-film resistor burn-out. *Proceedings of EOS/ESD Symposium*, 1981; 192–197.
7. M. Ash. Semiconductor junction non-linear failure power thresholds: Wunsch–Bell revisited. *EOS/ESD Symposium*, 1983; 122-127.
8. V. I. Arkihpov, E. R. Astvatsaturyan, V. I. Godovosyn and A. I. Rudenko. *International Journal of Electronics* **55**: 1983; 395.
9. V. A. Vlasov and V. F. Sinkevitch. *Elektronnaya Technika*, **4**: 1971; 68–75.
10. V. M. Dwyer, A. J. Franklin and D. S. Campbell. Thermal failure in semiconductor devices. *Solid State*, 1989; 553–560.
11. D. W. Greve. Programming mechanism of polysilicon fuse links. *International Electron Device Meeting (IEDM) Technical Digest*, 1981; 70-74.
12. W. D. Brown. Semiconductor device degradation by high amplitude current pulses. *IEEE Transactions On Nuclear Science* 1972; **NS-19**: 68–75.
13. D. R. Alexander and E. W. Enlow. Predicting lower bounds on failure power distributions of silicon *npn* transistors. *IEEE Transactions on Nuclear Science* 1981; **NS-28** (6): 145–150.
14. E. N. Enlow. Determining an emitter-base failure threshold density of *npn* transistors. *Proceedings of the EOS/ESD Symposium*, 1981; .
15. D. Pierce and R. Mason. A probabilistic estimator for bounding transistor emitter-base junction transient-induced failures. *Proceedings of the EOS/ESD Symposium*, 1982; 82–90.

第 3 章　半导体器件和 ESD

在本章中，我们将讨论基本半导体器件和 ESD 现象。本章将首先讲述半导体的方程，随后分析二极管、双极型晶体管、晶闸管、电阻和 MOSFET。由于学术界满足对半导体的讨论，所以我们也将讨论那些关于 ESD 分析的大电流效应和高电场的议题。本章同样会讨论热效应。

3.1　器件物理

对于半导体的电热物理性质，半导体的基本方程和相应的基本关系必须推导出来，这样才可以计算出电子和空穴的浓度，电流密度以及温度[1-7]。已有完整的方法用于在一套基本方程中求解载流子浓度特性和温度[1]。其中，电特性、载流子密度和温度可以自洽求出。在下面的方程中，系统温度假定设为常温，该假设限定电子、空穴和晶格温度都相等（$T = T_e = T_h = T_{lattice}$）。

在准静态场公式化中的基本方程包含有半导体泊松方程，即

$$\nabla \cdot (\varepsilon \nabla \psi) = -q(p - n + N_D + N_A)$$

式中，ε 是电介质常数；p 是空穴浓度；n 是电子浓度；N_D是施主浓度；N_A是受主浓度。因此电子及空穴浓度的电流连续方程为

$$\frac{\partial n}{\partial t} - \frac{1}{q}\nabla \cdot J_n = -R$$

$$\frac{\partial p}{\partial t} + \frac{1}{q}\nabla \cdot J_p = -R$$

由能量守恒有

$$C\frac{\partial T}{\partial t} + \nabla \cdot J_Q = H$$

根据以上公式，电子电流、空穴电流和热能流的关系被建立了。当温度恒定时，电子的基本关系包含了电子漂移项和电子扩散项。当温度出现梯度时，会出现附加电流驱动项。

$$J_n = q\mu_n n\left(E + \frac{kT/q}{n}\nabla n + \frac{5}{2T}\frac{kT}{q}\nabla T\right)$$

漂移 – 扩散的空穴基本关系是

$$J_p = q\mu_p p\left(E - \frac{kT/q}{p}\nabla p - \frac{5}{2T}\frac{kT}{q}\nabla T\right)$$

热能流公式为

$$J_Q = -K(T)\nabla T$$

式中，K 是热导系数它依赖于温度。

在热方程中，介质产生的热量是焦耳热、汤姆生热和复合热产生的函数。

焦耳热可以表达为电子和空穴焦耳热项，即

$$E = \frac{J_n^{\ 2}}{Q_n} + \frac{J_p^{\ 2}}{\sigma_p}$$

汤姆生热产生项与电子和空穴的热电能力相关，即

$$E = T\{\nabla P_n \cdot J_n - \nabla P_p \cdot J_p\}$$

将以上热方程组合起来可得

$$E = qR[\phi_p - \phi_n + T(P_p + P_n)]$$

3.1.1 非等温仿真

对于极短的 ESD 脉冲和极快的上升时间，对于电子温度、空穴温度和晶格温度都相等的假设在大电流高电场的区域可能不再成立[1,6]。普遍的分析认为，电子温度、空穴温度和晶格温度并不是平衡的。在 EQS 化中的基本方程包含了半导体的泊松方程，即

$$\nabla \cdot (\varepsilon \nabla \psi) = -q(p - n + N_D + N_A)$$

式中，ε 是介电常数；p 是空穴浓度；n 是电子浓度；N_D是施主浓度；N_A是受主浓度。电子和空穴浓度的电流连续方程可以表述为在一个稳定模式下的公式，即

$$-\frac{1}{q}\nabla \cdot J_n = G_n - R_n$$

$$+\frac{1}{q}\nabla \cdot J_p = G_p - R_p$$

热导方程可以被合并为

$$\nabla \cdot (K(T_L))\nabla T_L = J \cdot E + E_g(R - G)$$

载流子能量连续方程为

$$\nabla \cdot S_n = J_n \cdot E - B_n(\delta T'_e)n$$

$$\nabla \cdot S_p = J_p \cdot E - B_p(\delta T'_h)p$$

根据公式，三个能量守恒方程在第一个方程与晶格之中的热传导相关情况下成立。热能的传导是晶格的温度和晶格温度的梯度的函数，同时促进电阻加热和载流子的产生和复合。载流子能量方程是电子温度和空穴温度的函数。载流子的电子空穴能量与传导至晶格能量使载流子能够穿越电场以及由于晶格与载流子碰撞所造成的能量损失有关。

根据以上公式，可以得到电子空穴电流的基本关系。电子的基本关系包含了电子的漂移、电子扩散；当晶格的温度出现梯度时会出现额外电流。

$$J_n = -q\mu_n nE + qD_n\nabla n + qnD_n^T\nabla T$$

$$J_p = -q\mu_p pE - qD_p\nabla p + qpD_p^T\nabla T$$

上式中，温度设为晶格温度。在微观层面，该系数可以理解为该处的电子温度和空穴温度。于是有

$$J_{\mathrm{n}} = -q\mu_{\mathrm{n}} nE + qD_{\mathrm{n}}\nabla n + qnD_{\mathrm{n}}^{T}\nabla\delta T'_{\mathrm{e}}$$
$$J_{\mathrm{p}} = -q\mu_{\mathrm{p}} pE - qD_{\mathrm{p}}\nabla p + qpD_{\mathrm{p}}^{T}\nabla\delta T'_{\mathrm{h}}$$

在上式中我们使用电子温度和空穴的温度的微分，作为晶格温度的偏差。

$$\delta T_{\mathrm{e}} = |T_{\mathrm{L}} - T_{\mathrm{e}}|$$
$$\delta T_{\mathrm{h}} = |T_{\mathrm{L}} - T_{\mathrm{h}}|$$

电子和空穴浓度的计算可以表达为准费米能级及各自温度的作用。

$$n = n_{\mathrm{i}}\Phi_{\mathrm{n}}\exp\{q\psi/K_{\mathrm{B}}T_{\mathrm{e}}\}$$
$$p = n_{\mathrm{i}}\Phi_{\mathrm{p}}\exp\{-q\psi/K_{\mathrm{B}}T_{\mathrm{h}}\}$$

此外，在等温条件下，电势可以表达为准费米能级的函数，即

$$\Phi_{\mathrm{n}} = \exp\{-q\varphi_{\mathrm{n}}/K_{\mathrm{B}}T_{\mathrm{e}}\}$$
$$\Phi_{\mathrm{p}} = \exp\{q\varphi_{\mathrm{p}}/K_{\mathrm{B}}T_{\mathrm{h}}\}$$

通过载流子能量连续方程，能量损失率可以由根据电子弛豫时间和空穴弛豫时间表达式为

$$B_{\mathrm{n}}(\delta T'_{\mathrm{e}}) = \frac{3}{2}\frac{K_{\mathrm{B}}T'_{\mathrm{e}}}{\tau_{\mathrm{we}}}$$
$$B_{\mathrm{p}}(\delta T'_{\mathrm{h}}) = \frac{3}{2}\frac{K_{\mathrm{B}}T'_{\mathrm{h}}}{\tau_{\mathrm{wh}}}$$

评估 ESD 技术的鲁棒性，对于理解半导体器件作为集成电路的工作十分重要。涵盖器件所有细节各个方面十分浪费精力。因此在本节我们将注重于一些基本原理、非线性行为、高电场反馈和自加热效应。

3.2　二极管

二极管至今一直是 ESD 器件十分重要的元件，以后也同样如此[8-16]。二极管拥有低电容和可缩放的优势。二极管一直随着 NMOS、CMOS 和 BiCMOS 技术衍化。二极管的设计已经由 CMOS 进入到 SOI 和射频应用中了，在未来这种应用将继续下去[17-21]。与基于 MOSFET 的 ESD 网络相反，二极管没有对电介质失效的、敏感的栅氧层膜，或由 HDM 充放电导致的 CDM 失效。因此，完全理解二极管工作、设计十分重要。在本节，我们将讲述正向偏置及反向偏置的情况。在正向偏置条件下，理解二极管在该情况下起电流释放作用。反向偏置条件对于理解漏电机制是非常重要的，而漏电机制在初始偏置条件和失效机制中都扮演着角色。

图 3-1 是 ESD 的双二极管电路的例子。它运用了处理正 ESD 脉冲的 p^+/n 阱二极管，和处理负 ESD 脉冲的 n 阱衬底二极管。

3.2.1　二极管方程

二极管电流方程可由通过 pn 冶金结总电流得出，该通过二极管的电流可以表述为 pn 冶金结上过剩的少数电子和空穴多子的函数，即

$$I = qA\left\{\frac{D_{\mathrm{p}}}{L_{\mathrm{p}}}\Delta p_{\mathrm{n}} + \frac{D_{\mathrm{n}}}{L_{\mathrm{n}}}\Delta n_{\mathrm{p}}\right\}$$

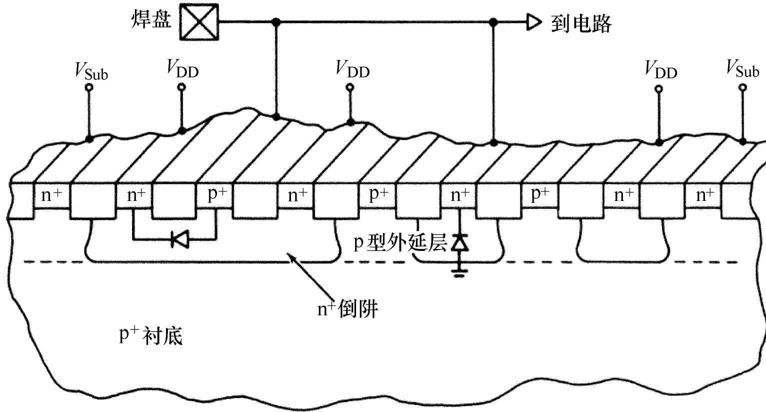


图 3-1　基于二极管的 ESD 网络结构

式中

$$\Delta p_n = p'_n - p_{n0}$$

$$\Delta n_p = n'_p - n_{p0}$$

在高注入[21,22]条件下的少数载流子数量可以表示为

$$\Delta p_n = \frac{p_n(e^{Vj/kT}-1)\left(1+\frac{n_n}{p_p}e^{q(Vj-\phi_i)/kT}\right)}{1-e^{2q(Vj-\phi_i)/kT}}$$

$$\Delta n_p = \frac{n_p(e^{Vj/kT}-1)\left(1+\frac{p_p}{n_n}e^{q(Vj-\phi_i)/kT}\right)}{(1-e^{2q(Vj-\phi_i)/kT})}$$

由以上公式得，在高注入条件下的二极管电流方程可以表示为

$$I = I_s\frac{(e^{Vj/kT}-1)(1+\eta e^{q(Vj-\phi_i)/kT})}{1-e^{2q(Vj-\phi_i)/kT}}$$

式中

$$I_s = qA\left\{\frac{D_p}{L_p}p_{n0}+\frac{D_n}{L_n}n_{p0}\right\}$$

同时对于 p^+/n 二极管，有

$$\eta = \frac{N_a}{N_d}$$

同时对于 n^+/p 二极管，有

$$\eta = \frac{N_d}{N_a}$$

当过剩少子注入相对掺杂浓度很小时，可以归纳为理想二极管。这时理想二极管可以表示为

$$I = I_s\left\{\exp\left(\frac{qVj}{kT}\right) - 1\right\}$$

式中，I 是二极管电流，I_s 是反向饱和电流。

在这些推导中，是在假设阴极和阳极电阻可忽略的条件下进行的。在 ESD 事件中，当二极管作为一个 ESD 器件时，阳极电阻和阴极电阻起着十分重要的作用。在 p+/n 阱二极管结构中，阳极电阻是连接电阻、硅化物薄膜电阻和 p^+ 二极管注入电阻的函数。接触和硅化物薄膜的设计在正偏二极管工作及二极管电流密度分布中起着至关重要的作用。阴极电阻（如 N 阱区）是注入分布、剂量和物理阱结构宽度函数。图 3-2 是二极管结构在高电流和低电流条件下二极管结构的 $I-V$ 特性曲线。

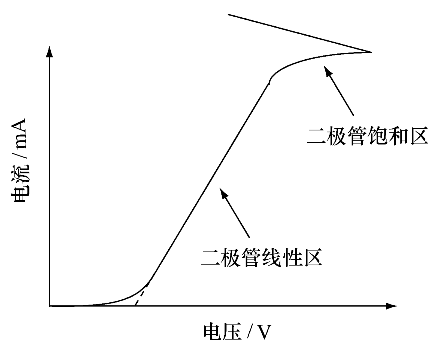


图 3-2　二极管电压电流特性

3.2.1.1　二极管电阻

二极管电阻对于理解静电放电过程中的二极管是如何工作的至关重要。

在阳极端，电阻可以表示为

$$R_{anode} = R_M + R_C + (R_{Sal})_{eff} + (R_d)_{eff}$$

式中，阳极电阻是由互连电阻、接触电阻、硅化物薄膜电阻及阳极注入电阻组成，对于硅化物薄膜、材料、覆盖面积和成结硅化物的设计，可以改变硅化物的效率以及 ESD 保护的扩散面积，即

$$R_{cathode} = R_M + R_C + (R_{Sal})_{eff} + (R_d)_{eff} + R_{well}$$

同样，对于阴极，阴极的电阻的总和也是一系列的电阻之和。对于阴极，特别是阱的电阻，是影响 ESD 功效的最大电阻器件。

从二极管公式，我们将通过二极管电压表示为一些电阻的电压降和冶金结电压降的和，有

$$I_D = I_s\left\{\exp\left(\frac{qV_D - \sum I_D R_i}{kT}\right) - 1\right\}$$

在公式中总和是一系列电阻的电压降。

电阻也可以通过电压对电流求导数得到[22]，于是有

$$\frac{dV_D}{dI_D} = \frac{d(V_J + V_R)}{dI_D} = \frac{dV_J}{dI_D} + R_d$$

解出电阻得

$$R_d = \frac{dV_D}{dI_D} - \frac{dV_J}{dI_D}$$

由高注入条件可得

$$I_D = I_S \exp\left(\frac{qV_J}{2kT}\right)$$

$$\frac{dV_J}{dI_D} = \frac{2kT}{q}\frac{1}{I_D}$$

综合上式，我们可以得到二极管串联电阻项为

$$R_d = \frac{dV_D}{dI_D} - \frac{2kT}{q}\frac{1}{I_D}$$

3.2.1.2　自加热

在 ESD 事件中，二极管经受了高注入和自加热。这也导致了温度的上升，影响了二极管的响应。通过修改在 ESD 事件中二极管高注入参数，我们可以计算出电流。在推导过程中，假设加热被表达为结温随时间变化，少数载流子的扩散显著快于温度的上升，那么二极管在高注入条件下的电流公式可以表示为

$$I = I_s \frac{(e^{Vj/kT} - 1)(1 + \eta e^{q(Vj-\phi_i)/kT})}{1 - e^{2q(Vj-\phi_i)/kT}}$$

式中

$$I_s = qA\left\{\frac{D_p}{L_p}p_{n0} + \frac{D_n}{L_n}n_{p0}\right\}$$

对于 p^+/n 二极管有

$$\eta = \frac{N_a}{N_d}$$

对于 n^+/p 二极管有

$$\eta = \frac{N_d}{N_a}$$

让电阻温度与电阻热能及输入功耗相等，有

$$T_J = \Theta_{TH} P_D$$

能量消耗可以估计为二极管区域内的功耗，即

$$P_D = I_D V_D$$

因此有

$$T_J = \Theta_{TH}(I_D V_D)$$

式中，由于高注入和自加热的原因，二极管方程的解可以通过随温度升高而矫正温度项得出。电阻热量的物理模型可以由二极管结构中衬底电阻热能方程的推测得到。

图 3-3 是原子显微镜观察浅沟道隔离 p^+/n 阱二极管得到的图片。为了观测硅界面，绝缘膜已被去除。由于自加热，p^+ 和 n^+ 区域的绝缘融化，使得两个扩散区域之间的硅熔化。

图 3-4 显示了原子显微镜下接触区域 p^+ 二极管区域。二极管的自加热现象十分的显著，导致了硅化物区域的转型，以及二极管结构中的表面硅的熔化。

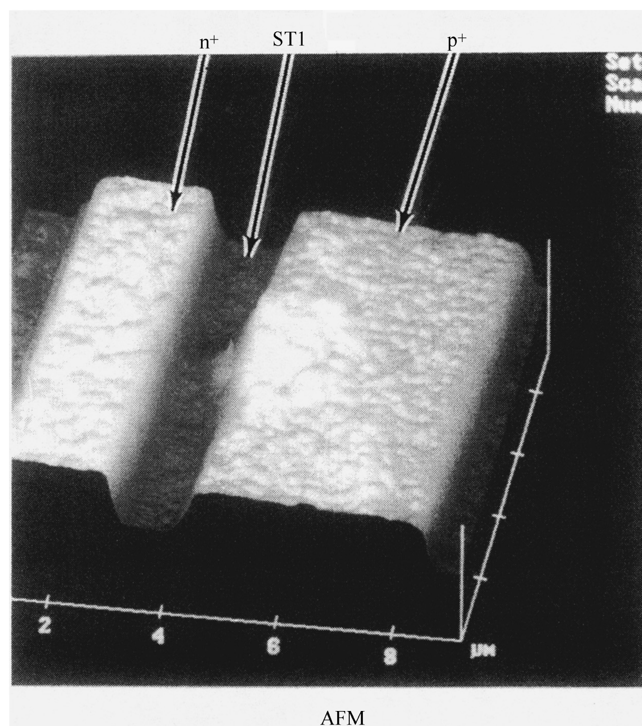


图 3-3　高亮标注 ESD 失效后 p^+/n^+ 和浅沟槽隔离区的域原子力显微镜照片

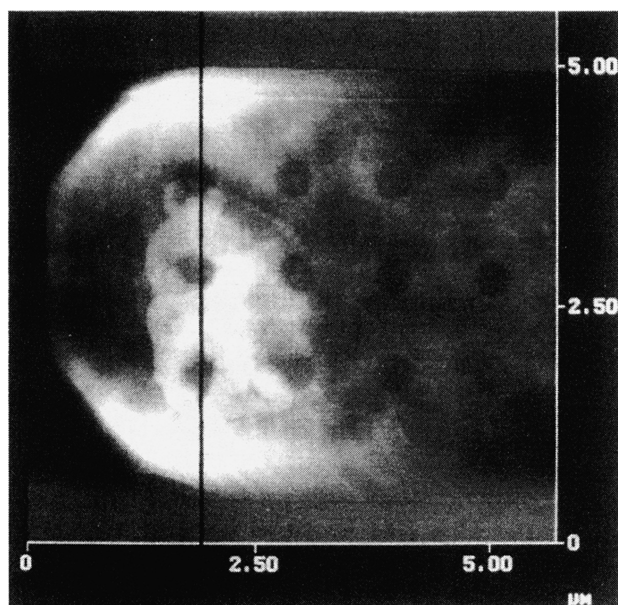


图 3-4　高亮标注 ESD 失效后 p^+ 二极管埋置器件表面的原子力显微镜照片

3.2.2 复合和产生机制

3.2.2.1 Shockley – Read – Hall 模型

了解 ESD 中的半导体器件的漏电机制十分重要，因为漏电决定了 ESD 的失效。在晶圆级或产品级的 ESD 检测中，通常只知道端电极的信息。ESD 的运行失效通常是由于半导体器件参数的改变造成的。这些改变表现为漏电电流和电阻漂移及开启电压。

在低电场下，漏电可以由 SRH 模型进行解释[23-25]。SRH 模型，简单来讲，假设硅带隙基准只有一个陷阱状态。这些陷阱状态是由独立的陷阱状态在空间中小范围形成的，这些区域捕获载流子并且密度一致。

从导带到陷阱的转移中包含两个反向过程。第一个过程是电子的捕获，其反向过程是电子的释放。对于价带到陷阱状态转化，对空穴是一样的。电子的俘获率为

$$r_1 = n[N_t(1 - f(E_t))]v_{th}\sigma_n$$

式中，n 是电子数目；N_t 是陷阱密度；$f(E_t)$ 是费米能级分布函数；v_{th}是热速度；σ 是电子俘获的横截面。释放率为

$$r_2 = n[N_t(f(E_t))]e_n$$

对于空穴，俘获率为

$$r_3 = p[N_t(f(E_t))]v_{th}\sigma_p$$

同时空穴的释放率为

$$r_4 = [N_t(1 - f(E_t))]e_p$$

这四个进程是通过导带和价带中的载流子密度内在耦合而得。当系统平衡时，在细致平衡热力学定律条件下，电子俘获过程和电子发射过程是等价的；当系统不平衡时，俘获率和释放率的不平衡将导致净产生率。

让净产生率与俘获率和释放率之差相等。同时，它也等于了空穴释放及俘获率之差。为了求出产生率，我们必须消除费米狄拉克概率分布函数并替代到产生率公式。单个陷阱 SRH 的产生率为

$$U = \frac{(pn - n_i^2)}{\tau_n(p + p_1) + \tau_p(n + n_1)}$$

式中

$$\tau_n = \frac{1}{N_t v_{th}\sigma_n}$$

$$\tau_p = \frac{1}{N_t v_{th}\sigma_p}$$

$$n_t = n_i \exp\left(\frac{E_t - E_i}{kT}\right)$$

$$p_t = n_i \exp\left(\frac{E_i - E_t}{kT}\right)$$

3.2.2.2 高注入及复合时间常数

在 ESD 和闩锁中，理解重掺杂半导体的产生和复合机制十分重要。在重掺杂的 n 阱、p 阱、集电极、埋层和其他器件中的产生和复合机制十分重要，因为这些区域对于

在衬底中少数载流子注入到衬底的减少和大电流下的不稳定性扮演着重要的角色。

产生和复合的物理学是载流子数目的概率函数[23,26-28]。我们可以写出一个复合函数，在速率为参数的条件下该函数是电子和空穴数目的函数，令

$$R(T)=a_{00}(T)+a_{10}n+b_{01}p+a_{11}np+b_{11}np+a_{21}n^2p+b_{12}np^2+\cdots$$

在推导中，前三项是非实质性的，同时因此系数可以假设为零或

$$R(T)=a_{11}np+b_{11}np+a_{21}n^2p+b_{12}np^2+\cdots$$

根据细致平衡的原则，每一个生成项抵消一个平衡系统中相应的复合项。平衡时，有

$$R(T)=a_{11}n_0p_0+b_{11}n_0p_0+a_{21}n_0^2p_0+b_{12}n_0p_0^2+\cdots=G(T)$$

因此平衡生成项为

$$G_0(T)=(a_{11}+b_{11})n_0p_0+a_{21}n_0^2p_0+b_{12}n_0p_0^2+\cdots$$

给定一个非平衡系统，其中电子和空穴的数目是被扰动的，即

$$\frac{Dp'}{Dt}=\frac{\partial p'}{\partial t}+\nabla\cdot Jh=G(T)-R(T)$$

从该方程，我们可以替代电子空穴数目

$$n=n_0+n'$$

$$p=p_0+p'$$

之后我们可得

$$\frac{Dp'}{Dt}=G_0(T)-R(T)=(a_{11}+b_{11})n_0p_0+a_{21}n_0^2p_0+b_{12}n_0p_0^2-(a_{11}+b_{11})$$

$$(n_0+n')(p_0+p')+a_{21}(n_0+n')^2(p_0+p')+b_{12}(n_0+n')(p_0+p')^2+\cdots$$

这些项可以归类为少数载流子的注入顺序和系数。第一项是线性一阶项，而第二项是非线性高注入项，即

$$\frac{dp'}{dt}=-\left[\frac{1}{\tau_1}+\frac{1}{\tau_2}\right]p'-\left[\frac{1}{\tau_3}\right]p'^2-\left[\frac{1}{\tau_4}\right]p'^3$$

式中

$$\frac{1}{\tau_1}=(a_{11}+b_{11})(n_0+p_0)$$

$$\frac{1}{\tau_2}=a_{21}n_0^2+b_{12}p_0^2+(a_{21}+b_{12})(2n_0p_0)$$

$$\frac{1}{\tau_3}=a_{21}\ (2n_0+p_0)\ +b_{12}\ (2p_0+n_0)\ +\ (a_{11}+b_{11})$$

$$\frac{1}{\tau_4}=\ (a_{21}+b_{21})$$

在这种形式中，这些项都以注入现象的阶来分离开。第一项与低注入现象有关。第二项第三项与高注入有关。在大电流下的 ESD 事件中，低注入的假设并不是一直有效。

第一个时间常数 τ_1 与 Shockley - Read - Hall 复合的时间常数有关。本节我们会证明

SRH 时间常数对电子空穴数是线性的。

第二个时间常数 τ_2 是俄歇复合时间常数。它是与掺杂浓度二次方成正比的半导体的线性响应。俄歇复合时间常数对深注入十分重要，特别是深掺杂阱、埋层和集电极。这对 ESD 现象和闩锁十分重要。在高掺杂浓度条件下，时间常数 τ_2 主导时间常数 τ_1。

因此系统（低注入假定）的线性反馈为

$$\frac{\mathrm{d}p'}{\mathrm{d}t} = -\left[\frac{1}{\tau_1} + \frac{1}{\tau_2}\right]p'$$

对于我们引入线性时间常数 τ 的非线性反馈

$$\frac{\mathrm{d}p'}{\mathrm{d}t} = -\left[\frac{1}{\tau}\right]p' - \left[\frac{1}{\tau_3}\right]p'^2$$

式中

$$\frac{1}{\tau} = \left[\frac{1}{\tau_1} + \frac{1}{\tau_2}\right]$$

假设 ESD 在时间为零时发出脉冲，过剩少数载流子的初始条件被产生。用常系数分离非线性常微分方程中的变量得

$$\int_{p'(t=0)}^{p'(t)} \frac{\mathrm{d}p'}{\left[p' + \dfrac{\tau}{\tau_3}p'^2\right]} = \int_{t'=0}^{t'=t} \frac{\mathrm{d}t}{\tau}$$

可得方程的解为

$$p'(t) = \frac{p'(t_0)}{\left[\left(1 + \left(\dfrac{\tau}{\tau_3}\right)p'(t_0)\tau\right)\exp\left\{\dfrac{t - t_0}{\tau}\right\} - \left(\dfrac{\tau}{\tau_3}\right)p'(t_0)\right]}$$

3.2.2.3 强电场漏电效应

在半导体中，高内建电场可以导致漏电现象，而该现象不具备 SRH 模型的电流电压特征[26-34]。SRH 模型假设了内电场对捕获和发射极横截面没有影响。在高内电场下，或许这并不是一个正确的假设。内部电场是掺杂分布和施加电场的函数。在 ESD 事件中，ESD 的脉冲后掺杂剂的移动可以导致在冶金结区域更加混乱的掺杂分布。比如，晶体管的发射极 - 基极结被优化以避免隧道电流。在突变及超突变结中，掺杂剂剂量少量偏移都会引起 ESD 失效。此外，多晶硅层也会有漏电现象，该现象也没有 SRH 特性。

SRH 模型可以被修订以便可以包含这些现象，通过假设一个电场增强的电子和和空穴发射率[29,30]为

$$\sigma_n(E) = \sigma_{n0}\mathcal{N}_n(E)$$
$$\sigma_p(E) = \sigma_{p0}\mathcal{N}_p(E)$$

式中，横截面是零电场项和电场增强因子的乘积。依此而言，高电场效应可以归于 SRH 模型下，即

$$U = \frac{(pn - n_i^2)}{\tau_n(p + p_1) + \tau_p(n + n_1)}$$

式中

$$\tau_{\mathrm{n}}=\frac{1}{N_{\mathrm{t}}v_{\mathrm{th}}\sigma_{\mathrm{n}}(E)}=\frac{\tau_{\mathrm{n0}}}{\mathscr{N}_{\mathrm{n}}(E)}$$

$$\tau_{\mathrm{p}}=\frac{1}{N_{\mathrm{t}}v_{\mathrm{th}}\sigma_{\mathrm{p}}(E)}=\frac{\tau_{\mathrm{p0}}}{\mathscr{N}_{\mathrm{p}}(E)}$$

电场增强因子可以分为经典和量子项，即

$$\mathscr{N}_{\mathrm{n}}(E)=(\mathscr{N}_{\mathrm{n}}(E))_{\mathrm{CL}}+(\mathscr{N}_{\mathrm{n}}(E))_{\mathrm{QM}}$$

通常这些增强变量与电场和热能无关。

$$\mathscr{N}_{\mathrm{n}}(E,T)=(\mathscr{N}_{\mathrm{n}}(E,T))_{\mathrm{CL}}+(\mathscr{N}_{\mathrm{n}}(E,T))_{\mathrm{QM}}$$

3.2.2.4　Frenkel－Poole 效应

根据电场增强漏电模型有

$$U=\frac{(pn-n_{\mathrm{i}}^{2})}{\tau_{\mathrm{n}}(p+p_{1})+\tau_{\mathrm{p}}(n+n_{1})}$$

式中

$$\tau_{\mathrm{n}}=\frac{1}{N_{\mathrm{t}}v_{\mathrm{th}}\sigma_{\mathrm{n}}(E)}=\frac{\tau_{\mathrm{n0}}}{\mathscr{N}_{\mathrm{n}}(E)}$$

$$\tau_{\mathrm{p}}=\frac{1}{N_{\mathrm{t}}v_{\mathrm{th}}\sigma_{\mathrm{p}}(E)}=\frac{\tau_{\mathrm{p0}}}{\mathscr{N}_{\mathrm{p}}(E)}$$

电场增强因子可以分为经典和量子项。

在中等强度的电场中，包含电场增强的经典模型是一维和三维的 Frenkel－Poole 模型[31]。Frenkel－Poole 模型描述了电场对陷阱边缘势垒高度的影响。当势垒高度受电场调制时，发射概率将增加，也将导致发射率的增加和漏电的增加。这在重掺杂的 pn 结及门控的 pn 结及多晶硅电阻薄膜中十分明显。Woo 和 Plummer 将该原理应用于高掺杂的发射极－基极结漏电去解释电压相关漏电。Voldman 将该原理用来解释 p 沟道 MOSFET、低电压状态下衬底金属沟道 DRAM 电容的 MOSFET 栅感应漏电机制。

在 Frenkel－Poole 模型中，势垒高度的变化提高了载流子挣脱陷阱的释放概率。该模型是在一维模型下分析的。对于 Frenkel－Poole 效应，施主态电子释放及受主态空穴释放增强因子可以表示为

$$\mathscr{N}_{\mathrm{nD}}=\exp\left[\frac{\Delta\psi}{kT}\right]$$

$$\mathscr{N}_{\mathrm{pA}}=\exp\left[\frac{\Delta\psi}{kT}\right]$$

式中

$$\Delta\psi=\sqrt{\frac{qE_{\mathrm{ext}}}{\varepsilon(kT)}}$$

Hartke 在该模式下将该式扩展为三维释放效应，它是通过三维下整个陷阱的积分得到的[32]。

$$\mathscr{N}=\frac{1}{4\pi}\int_{0}^{2\pi}\mathrm{d}\phi\int_{0}^{\pi}\mathrm{d}\theta\sin\theta\,\mathscr{N}(\theta)$$

自从电场归一化后，释放率是释放角度的函数，该释放率可以表述为

$$\dot{\mathcal{N}}_{3D}=\frac{1}{2}+\left[\frac{1}{\eta^2}\{1+(\eta-1)e^{\eta}\}\right]$$

式中

$$\eta=\frac{q}{kT}\sqrt{\frac{qE_{ext}}{\pi\varepsilon_{eff}}}$$

这个模型被 Jonscher[33] 修改了，其理论前提是与电场相反的发射可以被忽略。

$$\dot{\mathcal{N}}_{3D}=\left[\frac{1}{\eta^2}\{1+(\eta-1)e^{\eta}\}\right]$$

在这些物理模型下，随着硅基温度的提升，载流子的产生率会增加。因此随着硅的自加热，Frenkel - Poole 产生会导致载流子生成率的增加和自由载流子生成率的变化。

3.2.2.5 能带隧穿泄露现象

在高电场下的冶金结能带隧穿这一特性十分重要。ESD 事件会导致掺杂剂运动而改变漏电机制的本质。隧道效应的问题在物理尺寸缩放的先进工艺中是一个更大的关注点。当电介质由于陷阱态密度的变化和导带通道的建立而遭到破坏时，隧道电流会增加。

运用量子理论分析电场中电子的释放是由 R. H. Fowler 和 L. Nordheim 提出的[34]。Fowler - Nordheim 的理论解释了在存在电场条件下阶跃势垒导通的薛定谔方程问题。假设阶跃电势在截获点，电场使得矩形势垒失真为阶跃势垒。假设阶跃势垒高度为 V_0，能量为 E 及施加的电场为 F 的粒子，其时间相关的薛定谔方程为

$$\frac{d^2\Psi}{dx^2}+\kappa^2(E-V_0+Fx)\Psi=0\quad x>0$$

$$\frac{d^2\Psi}{dx^2}+\kappa^2(E)\Psi=0\quad x<0$$

通过改变变量，方程可以简化为有可变系数的二阶常微分方程，我们可以定义变量

$$y=\left(-\frac{V_0-E}{F}+x\right)(\kappa^2F)^{1/3}$$

$$\frac{d^2\Psi}{dy^2}+y\Psi=0$$

该解为 1/3 阶的贝塞尔函数，即

$$\Psi=\sqrt{y}\{J_{1/3}(2/3y^{3/2})\}\ \Psi=\sqrt{y}\{J_{-1/3}(2/3y^{3/2})\}$$

进一步而言，解必须简化至自由发散波形式，因此，它可以由 Hankel 第二函数表示为

$$\Psi=\sqrt{y}\{H_{1/3}^{(2)}(2/3y^{3/2})\}$$

根据该推导，通过三角势垒的透射概率可以用粒子能量表示为

$$T(E)\propto\exp\left[-\frac{4}{3}\frac{\sqrt{2m}(E)^{3/2}}{q\hbar F}\right]$$

Fowler - Nordheim 的推导不是假定在半导体材料上得到的。

Zener 于 1933 年发表了关于半导体的问题[35]。他首先提出带到带隧穿是发生在半导体中的。他假设隧道机制是统一的一维电场中单电子的运动。穿透概率是归一化价带中的载流子概率后的导带中的载流子概率来决定的。这也涉及了带边电子的概率，使用 Bloch 的理论，Zener 说明了带边载流子的概率。载流子在 k 空间的速度为 $2\pi eF/h$，其中 F 是本地外磁场。Brillouin 区的宽度为 $2\pi/h$，因此，载流子撞击的频率为 eFa/h。Zener 意识到 Bloch 波函数分析中为带中的载流子假设了一个真实的波矢。

推导复杂波矢量时，应该考虑禁带的指数衰减波函数。由此推导而来的 Bloch 波函数公式为

$$\Psi_k(x) = U_k(x)\exp\left\{\int iK(x)\,dx\right\}$$

穿透概率是价带中波函数二次方与导带中波函数二次方的比值。由此得到

$$\left|\frac{\Psi_v}{\Psi_c}\right|^2 = \exp\left\{-2\int_v^c \eta(x)\,dx\right\}$$

式中，积分项是 $K(x)$ 的虚部，积分范围由价带至导带。因而总的隧穿概率就等于撞击导带的载流子速率与穿透概率的乘积。

$$\frac{eFa}{h}\exp\left\{-2\int_v^c \eta(x)\,dx\right\}$$

要得出 Zener 隧穿的概率，就需要利用晶格中的薛定谔方程来解波函数。Zener 是在一维晶格势和两个带之间随空间变化的电场的条件下解决这个问题的。通过解方程，得出 $K(x)$ 的值为

$$K(x) \simeq \frac{\pi}{a}\left[1 - i\,\frac{8ma^2}{h^2}\left\{V_0^2 - (eFx)^2\right\}^{1/2}\right]$$

迁移率可以通过解上面的积分方程得出，所以传输速率就是

$$\frac{eFa}{h}\exp\left\{-2\int_{-V_0/eF}^{V_0/eF}\frac{8ma^2}{h^2}\left\{V_0^2 - (eFx)^2\right\}^{1/2}dx\right\}$$

利用积分上下限的对称性，并令 $E_g = 2V_0$，可得

$$T(F) \simeq \frac{eFa}{h}\exp\left\{-\frac{\pi^2 ma}{h^2}\,\frac{E_g^2}{eF}\right\}$$

Mcafee、Ryder、Schockley 和 Sparks 通过定位半导体中的有效质量将该结论进行了推广[36]。Kane、Price、Radcliffe 和 Keldysh 等人将该模型推广应用到间接带隙半导体的硅结构中。在这些研究中，他们将系统的声子发射、能量损耗等指标与间接带隙分析进行了比较[37-40]。Kane-Price-Keldysh（KPK）的研究结论显示：前因子和指数项中的隧穿概率，间接带隙介质中的要比直接带隙的更低。在间接带隙材料中，一些隧穿能量转化成声子能量。

这些研究表明，隧穿电流大小与电场关系密切，而温度则对其呈现微弱的影响。自加热对隧穿电流只产生很小的影响。在带间隧穿测量中，通过测量 MOSFET 的栅感应漏电（GIDL），发现隧穿区的电流会随温度增加而增大。因此自加热会导致隧穿电流的些许上升，但热电流随温度增加的会更加明显。当 ESD 导致自加热发生时，在高电压下

的热电流会成为隧穿的主要机制。

3.2.2.6 电子和空穴的电离雪崩倍增

碰撞电离产生载流子，进而形成电场导致级联效应[41-43]。当正负离子的能量超过碰撞电离的阈值时，就会发生雪崩倍增效应。

假定有一个入射电流 I_{p0} 和正负电荷（比如半导体中的电子与空穴）的总电流 I。在 $x=W$ 处，空穴电流为 M_pI_p。某一空间位置的电流微分量和碰撞电离系数与该空间位置的电流乘积相关，即

$$\mathrm{d}I_p(x)=\{\alpha_pI_p+\alpha_nI_n\}\mathrm{d}x$$

上式可以表示为总电流的函数

$$\frac{\mathrm{d}I_p(x)}{\mathrm{d}x}=\alpha_nI+(\alpha_p-\alpha_n)I_p$$

或等效于

$$\frac{\mathrm{d}I_p(x)}{\mathrm{d}x}-(\alpha_p-\alpha_n)I_p(x)=\alpha_nI$$

上式表明，该方程为变系数一阶常微分方程。积分的积分因子可以表示为

$$\mu(x)=\exp\left[-\int_0^x(\alpha_p-\alpha_n)\mathrm{d}t\right]$$

其通解为

$$I_p(x)=\frac{1}{\mu(x)}\left[\int_0^x\mu(s)(\alpha_nI)\mathrm{d}s+C\right]$$

式中，C 是常数。因此可以得到

$$I_p(x)=\exp\left[\int_0^x(\alpha_p-\alpha_n)\mathrm{d}t\right]\left[\int_0^x\exp\left[-\int_0^s(\alpha_p-\alpha_n)\mathrm{d}t\right](\alpha_nI)\mathrm{d}s+C\right]$$

再将其表示成总电流的函数，即

$$I_p(x)=I\exp\left[\int_0^x(\alpha_p-\alpha_n)\mathrm{d}t\right]\left[\int_0^x\alpha_n\exp\left[-\int_0^s(\alpha_p-\alpha_n)\mathrm{d}t\right]\mathrm{d}s+K\right]$$

令 $x=0$ 处的空穴电流为 I_{p0}，而 I_{p0} 等于电极处空穴倍增因子与总电流的乘积，即 $I_{p0}=M_pI=K$，由此可得出常数 $K=1/M_p$。因而通解为

$$I_p(x)=I\exp\left[\int_0^x(\alpha_p-\alpha_n)\mathrm{d}t\right]\left[\int_0^x\alpha_n\exp\left[-\int_0^s(\alpha_p-\alpha_n)\mathrm{d}t\right]\mathrm{d}s+\frac{1}{M_p}\right]$$

利用上面的表达式，可以解出边界条件 $x=W$ 处的雪崩倍增因子 M_p，其中 $I_p(W)=M_pI_{p0}$。

$$\frac{1}{M_p}=\exp\left[-\int_0^{x=W}(\alpha_p-\alpha_n)\mathrm{d}x\right]-\left[\int_0^{x=W}\alpha_n\exp\left[-\int_0^{x'=x}(\alpha_p-\alpha_n)\mathrm{d}x'\right]\mathrm{d}x\right]$$

整合上式中的积分项，变换为

$$\left[\int_0^{x=W}(\alpha_n-\alpha_p)\exp\left[-\int_0^{x'=x}(\alpha_p-\alpha_n)\mathrm{d}x'\right]\mathrm{d}x\right]=\exp\left[-\int_0^W(\alpha_p-\alpha_n)\mathrm{d}x\right]-1$$

再加上空穴的碰撞电离项，得到与 RHS 第一项相等的表达式。将其加到等式中，然后再减去相同的积分项，乘法项可以表示成如下形式

$$1-\frac{1}{M_p}=\left[\int_0^{x=W}\alpha_p\exp\left[-\int_0^{x'=x}(\alpha_p-\alpha_n)\mathrm{d}x'\right]\mathrm{d}x\right]$$

从而可以得到一个空穴与电子碰撞电离的关系式，即

$$\alpha_p=\gamma\alpha_n$$

$$1-\frac{1}{M_p}=\frac{\gamma}{1-\gamma}\left\{\exp\left[-\left(1-\frac{1}{\gamma}\right)\int_0^W(\alpha_p)\mathrm{d}x\right]-1\right.$$

$$1-\frac{1}{M_n}=\frac{1}{\gamma-1}\left\{\exp\left[\int_0^W(\gamma-1)(\alpha_n)\mathrm{d}x\right]-1\right\}$$

通过推算，可以得到一个修改后的 Townsend 标准形式，即

$$\int_0^W\alpha_n\mathrm{d}x=\frac{\ln\gamma}{\gamma-1}$$

$$\int_0^W\alpha_p\mathrm{d}x=\frac{\gamma\ln\gamma}{\gamma-1}$$

3.3　双极型大电流器件的物理

3.3.1　双极型晶体管特性方程

在集成电路工艺中，双极型晶体管既是有源器件，又是寄生器件。要理解电路在静电放电、电气过载和闩锁等状态下如何响应，寄生双极型器件扮演了一个很重要的角色。寄生双极型器件（包括 npn 型、pnp 型晶体管）存在于电路器件中、器件与器件之间、电路之间及电路模块之间。寄生双极型晶体管是衬底与绝缘体上硅（SOI）的 MOSFET 器件中所固有存在的，并且与表面沟道 MOSFET 的电导并联。要理解双极型晶体管及集成电路中的寄生器件，就很有必要理解双极管器件的工作原理。

图 3-5 是现代外延基硅锗异质结双极晶体管的一个例子。如今，这些晶体管的截止频率远高于 ESD 事件的频率响应。

对于 npn 型晶体管，从发射极到集电极的晶体管电流密度可表示为

$$J=\frac{qn_i^2\left[\exp\left(\frac{qV_{BC}}{kT}\right)-\exp\left(\frac{aV_{BE}}{kT}\right)\right]}{\int_0^{x_B}\frac{p(x)}{D_n(x)}\mathrm{d}x}$$

将电流展开成如下形式：

$$I=I_s\left[\exp\left(\frac{qV_{BC}}{kT}\right)-\exp\left(\frac{qV_{BE}}{kT}\right)\right]$$

$$I_s=\frac{q^2A^2n_j^2<D_n>}{Q_B}$$

$$<D_n>=\frac{qA\int_0^{x_B}p(x)\mathrm{d}x}{\int_n^{x_B}\frac{p(x)}{D_n}\mathrm{d}x}$$

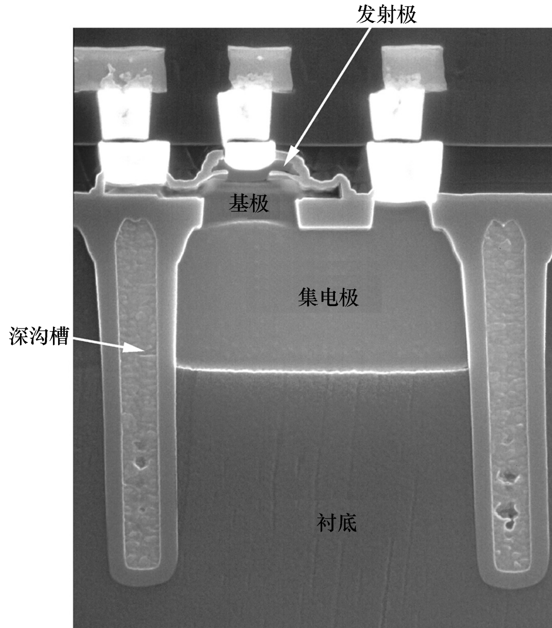


图 3-5　硅锗外延晶体管横截面

$$Q_B = qA\int_0^{x_B} p(x)\,dx$$

基极电流可以表示成相同形式，其中电流是基极剩余电荷与复合时间之比的函数，即

$$Q'_B = q_A\int_0^{x_B}[n(x) - n_0]\,dx$$

$$I_{rB} = \frac{Q'_B}{\tau_n}$$

3.3.2　基区扩展效应（Kirk Effect）

在发生静电放电时，大电流会流进双极型晶体管及其外围电路或 ESD 功率钳位电路网络。在这些大电流的作用下，晶体管的频率响应会受到流进基区电流的影响。

当电流密度增大时，基－集结的空间电荷区会被往外扩展，这个效应就称之为基区扩展效应（Kirk Effect）[44]。在分析结的静电时，做出如下假设：载流子已从耗尽区清除并且不再影响电场。而在大电流的作用下，ESD 电流流进结内并改变了空间电荷区，从而导致空间电荷区的调节。

$$\frac{dE}{dx} = \frac{1}{\varepsilon}\left[qN(x) - \frac{J_c}{v(x)}\right]$$

式中，J_c 是流进晶体管的 ESD 电流密度。假定集电极－基极结电压是常数，则集电极－基极结电压与内建电势之和就等于空间电荷层的电势差。耗尽层的电压降等于结内电场在集电区到基区的积分。可表示为

$$V_{CB}=\frac{1}{\varepsilon}\int_{x_b}^{x_c}x\left[qN(x)-\frac{J_c}{v(x)}\right]dx-\phi_i$$

假定外延层的掺杂浓度为常数，则可将上式简化为

$$V_{CB}=\frac{1}{2\varepsilon}\left[qN_{epi}+\frac{J_c}{v_{sat}}\right](x_c-x_b)^2-\phi_i$$

定义饱和电流为

$$J_{sat}=qN_{epi}v_{sat}$$

得

$$V_{CB}=\frac{qN_{epi}}{2\varepsilon}\left[1+\frac{J_c}{J_{sat}}\right](x_c-x_b)^2-\phi_i$$

由上面的表达式可解得基区宽度随 ESD 电流变化的方程为

$$W_{CB}(J_{ESD})=\frac{W_{CB0}}{\left(1+\frac{J_{ESD}}{J_{sat}}\right)^{1/2}}$$

式中

$$W_{CB0}=\left[\frac{2\varepsilon(V_{CB}+\phi_i)}{qN_{epi}}\right]^{1/2}$$

由集电极至发射极的 ESD 电流会流经集电区。当 ESD 电流增大时，集电极 - 基极间的耗尽区宽度将会减小，而基区宽度则增大，如果发生的 ESD 事件比电荷弛豫时间更慢，那么将导致更低的 ESD 频率响应。当 ESD 事件达到峰值电流，晶体管的响应将会达到最小值。因此我们可以将 ESD 事件中的时间依赖耗尽宽度关系表示为

$$W_{CB}(t)=\frac{W_{CB0}}{\left(1+\frac{J_{ESD}(t)}{J_{sat}}\right)^{1/2}}$$

式中，耗尽宽度是 ESD 脉宽时间响应的函数。

3.3.3　Johnson 限制

晶体管的频率响应和施加在晶体管的最大功率之间存在一个基本关系，这就是 Johnson 限制[45]。早期，Pritchard 和 Johnson 两个人都提出了晶体管频率响应和功率的物理限制[45-50]。

这对于 ESD 限制很重要，主要有两个原因。晶体管响应时间相对于 ESD 脉冲会影响时间常数的层次顺序。器件对 ESD 脉宽的响应将会影响 ESD 事件的操作和响应。其次，晶体管的速度与击穿电压是相关的。

Johnson 提出对一个空隙施加的电压和加速一个电子的基本关系。对于给定的空隙宽度 W，那么能够横穿该区域施加的最大电压为

$$V_{max}=E_{max}W$$

详细研究宽度为 W 的间隙，它等于电子在电场下的漂移速度和电子穿过间隙的通过时间 τ_{TR}之间的乘积。最大电场可以理解为临界电场 E_c 与电子饱和速度 V_{sat} 相关联，进行替换

$$V_{max} = E_{max}(V_{sat})\tau_{TR}$$

转移时间可以等于以最高频率运输一个电子。在晶体管中的转移时间是穿过基区的时间，它能够被视为与单位电流增益截止频率 f_T（忽略射极和集电极的转移时间），因此简单地表示为

$$\tau_{TR} = \frac{1}{2\pi f_T}$$

能够施加在介质上的最大电场是击穿电场 V_{BR}。替换变量可以得到

$$V_{BR} f_T = \frac{E_m V_{sat}}{2\pi}$$

在这种表达式中，它说明了最大功率与频率响应是反比关系。这种形式说明电子穿越介质的最大速度与穿过区域的最大电场的乘积为常数。它也说明了晶体管速度与允许的击穿电压之间的反比关系（见图 3-6）

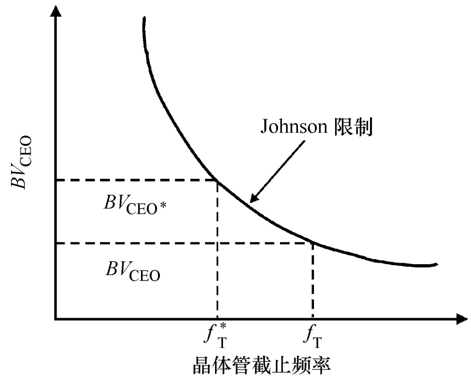


图 3-6　击穿电压（BV_{CEO}）——晶体管的单位电流增益截止频率（f_T）关系图

基于 Johnson 限制条件，作为一个技术指标来提供更高的单位电流增益截止频率程 f_T，晶体管的 BV_{CEO} 下降。因此从 Johnson 限制方程得

$$V_m^* f_T^* = V_m f_T = \frac{E_m v_s}{2\pi}$$

式中，$V_m^* f_T^*$ 与第一个晶体管有关；$V_m f_T$ 与第二个晶体管有关。击穿电压的比值可以被决定为

$$\frac{V_m^*}{V_m} = \frac{f_T}{f_T^*}$$

Johnson 限制可以被表达为不同的形式。在功率形式中，我们可以描述能够传输过间隙 W 的最大功率。Johnson 限制的功率形式可以被给定为

$$(P_m X_c)^{1/2} f_T = \frac{E_m v_s}{2\pi}$$

式中，P_m 是最大功率；X_c 是感抗，为

$$X_c = \frac{1}{2\pi f_T C_{bc}}$$

在以上表达式中，说明了最大功率和感抗的反比关系。从功率形式中，存在能够被传输通过晶体管基极的最大功率。从 ESD 角度来看，对于一个给定的脉宽，有一个能够使物理区域失效的最大功率。根据 Johnson 限制方程，我们能够将导致失效的功率和最大功率做一个比较。这能够提出一种无量纲变量组的形式，这种形式表示电响应所引起的热性能响应。

从 Wunsch – Bell 曲线的功率失效条件与最大功率 $-f_T$ 关系的比值，建立一个无量纲变量组用于解释与热导、热容量、失效温度、脉宽、饱和速度、最大电场条件和单位

电流增益截止频率等之间的关系。定义一个无量纲变量组 V_0 为

$$V_0=\frac{\text{功率失效}}{\text{Johnson 限制最大功率}}=\frac{P_f(\tau)}{P_m}$$

Wunsch – Bell 模型和 Johnson 模型都是一维的。在热扩散时间机制中，我们可以将无量纲变量组 V_0 表达为

$$V_0=\frac{P_f}{P_m}=\frac{A\sqrt{\dfrac{\pi KC_p\rho(T-T_0)}{\tau}}}{\dfrac{\left(\dfrac{E_m^2v_s^2}{(2\pi)^2}\right)}{X_cf_T^2}}$$

3.4　晶闸管

晶闸管（SCR）结构（见图 3-7）是静电释放、闩锁效应、功率电子的重要半导体器件[51–57]。晶闸管在功率电子中的大电流开关中有很多的应用。晶闸管也用于输入节点中的静电释放保护网络和电源轨低阻抗分流装置。另外，晶闸管也是半导体技术中固有的寄生结构，会导致闩锁效应。这些结构，无论是故意构建或者是无意寄生，对于量化和理解 ESD 保护和闩锁效应都是十分重要的。

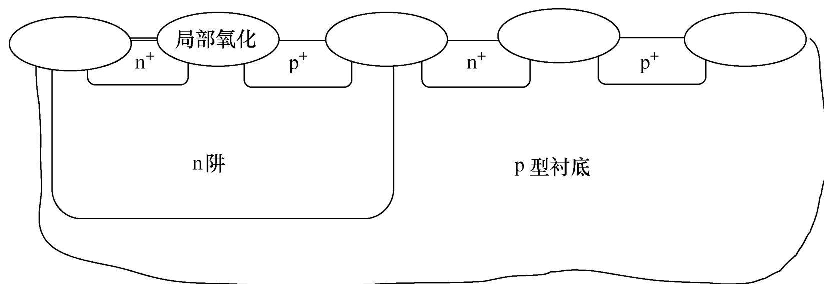


图 3-7　晶闸管结构

由于晶闸管的 S 型 $I-V$ 特性使得它能够从低电流/高电压状态转换为高电流/低电压状态，晶闸管在大电流开关中扮演重要角色。正是这种特征使得它是一种静电释放的重要结构。

它在正常工作中是关断状态，但是可以被激活进入高电流的导通状态。在这种状态下，它在低电压的情况下建立了大电流，允许低抗分流。晶闸管也被称为 Shockley 二极管，是一个四区域器件，交替的 p 和 n 掺杂区域，伴随着三个物理 pn 金属冶金结。

概念上四区域 pnpn 能够被理解为一个交叉耦合的 pnp 型和 npn 型晶体管，其中 pnp 型 BJT 器件的基极是 npn 型 BJT 的集电极，而且 npn 的基极是 pnp 型 BJT 的集电极。这种 pnp – npn 型 BJT 耦合建立了正反馈，导致 S 型的 $I-V$ 特性和电特性的不稳定，这种不稳定可以被视为一个负电阻状态（$dI/dV<0$）。正是这种特性使得 Shockley 二极管成

为功率电子、ESD 保护中的有用的器件，但是它也有危险之处，因为其是闩锁效应的启动器件（见图 3-8）。

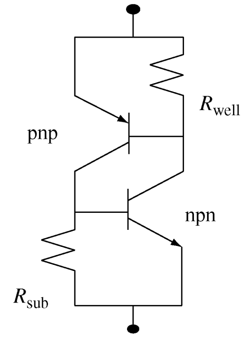


图 3-8 带分流电阻的晶闸管电路

对 pnp 型器件的发射极施加一个正偏，并且在 npn 发射极施加一个地电势，将建立一个通过 pnpn 的电压。正电压为 pnp 和 npn 型晶体管的射 - 基结正向偏置。pnp 的发射极 - 基极结（同时也是 npn 的基极 - 集电极结）处于反向偏置状态。这阻止了电流从 pnpn 的阳极流向阴极。随着电压增加，通过基极 - 集电极结的电压增加。这种工作模式称为正向截止状态，为了使电流有效地从 pnpn 阳极流向阴极，基极 - 集电极结必须允许电流流动。

为了交叉耦合节点的电流连续性，pnp 的集电极电流必须等于 npn 基极电流。数学上，耦合是通过在基极 - 集电极结点解基尔霍夫的电流定律来建立的。在这种形式中，标准的晶体管方程可以用来量化 pnpn 结构中的电流以及它们的相互作用。因此，两个结的方程可以量化和表示为

$$I_{cp} = I_{bn}$$

$$I_{cn} = I_{bp}$$

式中，I_{cp}和I_{cn}分别是 pnp 型和 npn 型 BJT 的集电极电流；I_{bn}和I_{bp}分别是 npn 型和 pnp 型 BJT 的基极电流。

通过 pnpn 结构的总电流等于 pnp 型或 npn 型 BJT 的发射极电流。根据 Kirchoff 的电流定律，射极电流必须等于基极和集电极的电流之和

$$I = I_{ep} = I_{cp} + I_{bp}$$

从耦合关系，我们可以将其表示为

$$I = I_{ep} = I_{cp} + I_{cn} = I_{bp} + I_{bn} = I_{cn} + I_{bn} = I_{en} = I$$

解出作为两个集电极关系函数的电流，我们能够联系集电极电流作为发射结电流的函数

$$I_{cp} = \alpha I_{ep} + I_{cp0}$$

$$I_{cn} = \alpha I_{en} + I_{cn0}$$

其中集电极电流等于输运因子乘以射极电流和基 - 集电极漏电流。通过 pnpn 结构求解电流，我们得到

$$I = \frac{I_{cp0} + I_{cn0}}{1 - (\alpha_n + \alpha_p)}$$

这可以表达为晶体管电流增益的函数，替换集电极 - 射极输运因子，有

$$I = \frac{I_{cp0} + I_{cn0}}{1 - \left(\dfrac{\beta_n}{\beta_n + 1} + \dfrac{\beta_p}{\beta_p + 1}\right)}$$

在给定分子很大或者分母接近零的情况下，在晶闸管中的电流量级可以很大。这是会出现的，条件是在基极 - 集电极结的漏电流因为碰撞电离、击穿、光子或是外部电流

源导致很大。这也是晶体管电流增益值的函数。在 BJT 器件中，雪崩击穿出现在

$$M\alpha = 1$$

对于一个通用的 pnpn 结构，从前面的方程中很显然雪崩出现的条件为

$$M_p\alpha_p + M_n\alpha_n = 1$$

3.4.1 再生反馈

触发晶闸管（SCR）的条件是通过反馈元件的电流函数。集电极本征电阻、基极和发射极结构都能够影响正反馈条件。对基极电阻的估计，在正反馈的调节中是十分关键的。无论是有意或者无意存在的基极电阻，对于保持晶闸管结构中的电压都是很关键的。为了在 CMOS 工艺中避免不需要的晶闸管行为，阱和衬底电阻都起到基极电阻的作用。这些电阻能够用半导体工艺和设计来加以修改。

理论显示，晶闸管电流和发射极电流相等。发射极电流等于集电极电流的总和，或者是基极电流的总和，即

$$I = I_{cp} + I_{cn}$$

$$I_{cp} = \alpha I_{ep} + I_{cp0}$$

$$I_{cn} = \alpha I_{en} + I_{cn0}$$

pnp 和 npn 型晶体管的基极电阻项处于正反馈中的集电极 - 基极电流环之外，但是它们确实在发射极电流和通过晶闸管结构的电流关系中起到一定作用。

$$I = I_{ep} + I_w$$

$$I = I_{en} + I_{sx}$$

然后有

$$I = I_{cp} + I_{cn} = \alpha_p I_{ep} + I_{cp0} + \alpha_n I_{en} + I_{cn0}$$

$$I = \alpha_p(I_{ep} + I_w) - \alpha_p(I_w) + I_{cp0} + \alpha_n(I_{en} + I_{sx}) - \alpha_n(I_{sx}) + I_{cn0}$$

$$I = (\alpha_p + \alpha_n)I - \alpha_p(I_w) - \alpha_n(I_{sx}) + (I_{cn0} + I_{cp0})$$

$$I = \frac{(I_{cn0} + I_{cp0}) - \alpha_p(I_W) - \alpha_n(I_{sx})}{1 - (\alpha_p + \alpha_n)}$$

从总电流关系的方程，有

$$(\alpha_p + \alpha_n)I - \alpha_p(I_w) - \alpha_n(I_{sx}) + (I_{cn0} + I_{cp0}) - I = 0$$

除以电流，得

$$(\alpha_p + \alpha_n)I - \alpha_p\frac{(I_w)}{I} - \alpha_n\frac{(I_{sx})}{I} + \frac{(I_{cn0} + I_{cp0})}{I} - 1 = 0$$

假设漏电流远小于电流，我们可以将闩锁条件表示为

$$(\alpha_p + \alpha_n) = 1 + \alpha_p\frac{(I_w)}{I} + \alpha_n\frac{(I_{sx})}{I}$$

这可以表达为正向晶体管电流增益的函数，即

$$\beta_p\beta_n = 1 + \frac{(I_w)}{I}\beta_p(\beta_n + 1) + \frac{(I_{sx})}{I}(\beta_p + 1)\beta_n$$

为了确定满足这个条件的晶体管电流增益，在知道一个晶体管电流增益的情况下，我们可以以第一个晶体管作为函数解出第二晶体管的电流增益。将上式因式分解，有

$$\beta_{p}\left[\beta_{n}-\frac{(I_{w})}{I}(\beta_{n}+1)-\frac{(I_{sx})}{1}\beta_{n}\right]=1+\frac{(I_{sx})}{I}\beta_{n}$$

以我们需要的 npn 型晶体管的电流增益、阱电阻电流、衬底电阻电流和通过晶闸管电流的函数形式，因式分解并解出 pnp 型晶体管的双极电流增益[55-77]

$$\beta_{p}\geqslant\frac{\dfrac{(I)}{\beta_{n}}+I_{sx}}{\left[I-I_{w}\dfrac{(\beta_{n}+1)}{\beta_{n}}-I_{sx}\right]}$$

为了获得以电流增益乘积的函数为形式的标准，我们可以将上式和 npn 型晶体管电流增益相乘。

$$\beta_{n}\beta_{p}\geqslant\frac{I+I_{sx}\beta_{n}}{\left[I-I_{w}\dfrac{(\beta_{n}+1)}{\beta_{n}}-I_{sx}\right]}$$

或者同样地由于对称性得

$$\beta_{n}\beta_{p}\geqslant\frac{I+I_{w}\beta_{p}}{\left[I-I_{sx}\dfrac{(\beta_{p}+1)}{\beta_{p}}-I_{w}\right]}$$

阱和衬底电流可以以基极 - 发射极电压分别除以阱和衬底电阻的函数来解出，即

$$I_{w}=\frac{(V_{BE})_{pnp}}{R_{w}}=\frac{V_{0}}{R_{w}}\ln\left[\frac{I-I_{w}}{(I_{0})_{p}}\right]$$

$$I_{sx}=\frac{(V_{BE})_{npn}}{R_{sx}}=\frac{V_{0}}{R_{sx}}\ln\left[\frac{I-I_{sx}}{(I_{0})_{n}}\right]$$

3.4.1.1　带有发射极电阻的正反馈

发射极结构中的固有电阻能够影响正反馈条件。发射极电阻影响电路网络电学和热学稳定性（见图3-9）。发射极电阻同样影响网络的闩锁稳定性和闩锁判据。触发晶闸管（SCR）的条件是通过反馈器件的电流函数。

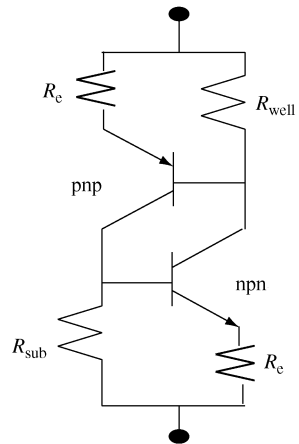


图 3-9　带发射极电阻的晶闸管电路原理图

为了确定满足双极型晶体管电流增益条件，在知道一个晶体管电流增益的情况下，我们可以以第一个晶体管作为函数解出第二个晶体管的电流增益。以我们需要的 pnp 型晶体管的电流增益、阱电阻电流、衬底电阻电流和通过晶闸管的电流的函数形式因式分解和解出 npn 型晶体管的双极电流增益。由于发射极电阻的存在，衬底和阱电阻被修改

$$\beta_{p}\geqslant\frac{\dfrac{(I)}{\beta_{n}}+I'_{sx}}{\left[I-I'_{w}\dfrac{(\beta_{n}+1)}{\beta_{n}}-I'_{sx}\right]}$$

$$\beta_n\beta_p \geqslant \frac{I + I'_{sx}\beta_n}{\left[I - I'_w \dfrac{(\beta_n + 1)}{\beta_n} - I'_{sx}\right]}$$

或者由于对称性同样有

$$\beta_n\beta_p \geqslant \frac{I + I'_w\beta_p}{\left[I - I'_{sx} \dfrac{(\beta_p + 1)}{\beta_p} - I'_w\right]}$$

pnp 型晶体管的发射极电阻会影响通过 n 阱电阻的电压降。用基尔霍夫电压定律，电流环路中两个电阻器件（阱和发射极）和发射极电压的电压降总和为零。流过发射极电阻的电流就是晶闸管电流，减小了流过 n 阱电阻的电流，因此流过阱电阻的电流是

$$I'_w = \frac{(V_{BE})_{pnp} + Ir_{ep}}{R_w + r_{ep}}$$

同样的，衬底电阻电流是

$$I'_{SX} = \frac{(V_{BE})_{npn} + Ir_{en}}{R_{sx} + r_{en}}$$

对于 npn 型晶体管发射极电阻（忽略 pnp 型晶体管的发射极电阻）[55,56]，有

$$\beta_n\beta_p \geqslant \frac{I + \left(\dfrac{(V_{BE})_{npn} + Ir_{en}}{R_{sx} + r_{en}}\right)\beta_n}{\left[I - I'_w \dfrac{(\beta_n + 1)}{\beta_n} - \left(\dfrac{(V_{BE})_{npn} + Ir_{en})}{R_{sx} + T_{en}}\right)\right]}$$

对于 pnp 型晶体管发射极电阻（忽略 npn 型晶体管的发射极电阻），有

$$\beta_n\beta_p \geqslant \frac{I + \left(\dfrac{(V_{BE})_{pnp} + Ir_{ep}}{R_w + r_{ep}}\right)\beta_p}{\left[I - I'_{sx} \dfrac{(\beta_p + 1)}{\beta_p} - \left(\dfrac{(V_{BE})_{pnp} + Ir_{ep}}{R_w + r_{ep}}\right)\right]}$$

或者考同时考虑 pnp 型晶体管和 npn 型晶体管的发射极电阻[56]，有

$$\beta_n\beta_p \geqslant \frac{I + \left(\dfrac{(V_{BE})_{npn} + Ir_{en}}{R_{sx} + r_{en}}\right)\beta_n}{\left[I - \left(\dfrac{(V_{BE})_{pnp} + Ir_{ep}}{R_w + r_{ep}}\right)\dfrac{(\beta_n + 1)}{\beta_n} - \left(\dfrac{(V_{BE})_{npn} + Ir_{en}}{R_{sx} + r_{en}}\right)\right]}$$

3.4.1.2　保持电流

晶闸管的保持电流参数可以通过触发条件标准来确定。根据不同触发条件下的推导，可以得到当表达式相等时，电流等于保持电流。设

$$\beta_p\beta_n = 1 + \frac{(I_w)}{I}\beta_p(\beta_n + 1) + \frac{(I_{sx})}{I}(\beta_p + 1)\beta_n$$

两边同乘以电流 I，并且提出公因子得到

$$I_H = \frac{\beta_p(\beta_n + 1)I_w + (\beta_p + 1)\beta_n I_{sx}}{\beta_p\beta_n - 1}$$

式中，阱和衬底的电流可以由基极－发射极电压降分别除以阱和衬底电阻得到，即

$$I_{w} = \frac{(V_{BE})_{pnp}}{R_{w}} = \frac{V_0}{R_{w}}\ln\left[\frac{I - I_{w}}{(I_0)_{p}}\right]$$

$$I_{sx} = \frac{(V_{BE})_{npn}}{R_{sx}} = \frac{V_0}{R_{sx}}\ln\left[\frac{I - I_{sx}}{(I_0)_{n}}\right]$$

此时，晶闸管的 npn 型晶体管增益比单位增益大得多，晶闸管的 pnp 型晶体管增益很小[55－57]

$$I_{H}\big|_{\beta_n \gg 1} \approx I_{w} + \left(\frac{\beta_p + 1}{\beta_p}\right) I_{sx}$$

补充条件

$$I_{H}\big|_{\beta_p \gg 1} \approx I_{sx} + \left(\frac{\beta_n + 1}{\beta_n}\right) I_{w}$$

另一种情形是双极电流增益都很大，即

$$I_{H}\big|_{\beta_n\beta_p \gg 1} \approx I_{sx} + I_{w}$$

因此，保持电流等于 pnp 型和 npn 型晶体管基极－发射极电压总和分别除以阱和衬底电阻。

3.4.1.3　普通的四极管情形

晶闸管的工作模式及其通用开关条件（见图 3-10）可以用有效的大注入因子和有效输运因子函数作为稳态标准来评估[57]。让我们定义 pnp 型晶体管和 npn 型晶体管的有效大规模注入因子等于流过射级的电流与流过晶闸管的总电流之比，即

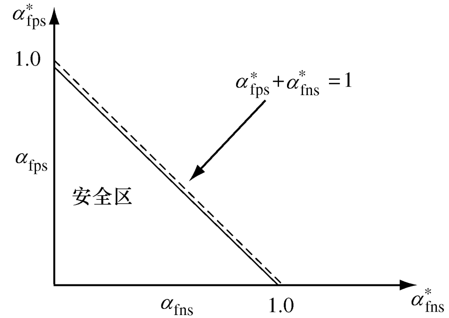


图 3-10　图示法表示的广义的四极管的稳定性和不稳定性

$$\gamma_p^* = \frac{I_{ep}}{I}$$

$$\gamma_n^* = \frac{I_{en}}{I}$$

式中，I_{ep} 和 I_{en} 是射极电流；I 是流过晶闸管的总电流。晶闸管的总电流 I 的大小取决于流过旁路阱和衬底电阻的电流。晶闸管的总电流可以表示为

$$I = I_n + I_p = \alpha_{fn} I_{en} + \alpha_{fp} I_{ep} + I_{nd} + I_{pd} + I_{sc}$$

式中，第一项为集电极电流，最后一项位为注入的阱和阱中空穴电流的总的扩散电流。用有效注入因子表示这个电流，有

$$I = I_n + I_p = \alpha_{fn}\gamma_n^* I + \alpha_{fp}\gamma_p^* I + (I_{nd} + I_{pd} + I_{sc})$$

为得到流过晶闸管的总电流，上式可变换为

$$I = \frac{(I_{nd} + I_{pd} + I_{sc})}{1 - [\alpha_{fn}\gamma_n^* + \alpha_{fp}\gamma_p^*]}$$

定义有效双极型晶体管增益为

$$\alpha_{fn}^{*}=\alpha_{fn}\gamma_{n}^{*}$$
$$\alpha_{fp}^{*}=\alpha_{fp}\gamma_{p}^{*}$$

将漏电流表达为阱结处总的扩散电流和阱耗尽区内的产生电流的总和，即

$$I_{s}=I_{nd}+I_{pd}+I_{sc}$$

我们能够将其稳定关系表述为阱结处总的扩散电流和阱耗尽区内产生电流的比例，被实际的晶体管增益所除有

$$I=\frac{I_{s}}{1-[\alpha_{fn}^{*}+\alpha_{fp}^{*}]}$$

从这个关系式看出，好像状态转换发生在分母为零的时候。Troutman 指出，这种情况是不会出现的，并且用该表达式来确定状态转换是不准确的。而且一个通用的四极管稳定性关系必须表现为这种情况下的微分公式。在这种形式中，微分稳定性标准能够通过将表达式取关于晶闸管电流的微分来建立。

$$\frac{dI}{dI_{s}}=\frac{1}{1-\frac{d}{dI}[I(\alpha_{fn}^{*}+\alpha_{fp}^{*})]}$$

因此，晶闸管的不稳定性情况在分母为负的时候出现，或者

$$\frac{d}{dI}[I(\alpha_{fn}^{*}+\alpha_{fp}^{*})]>1$$

并且在下列情况下稳定

$$\frac{d}{dI}[I(\alpha_{fn}^{*}+\alpha_{fp}^{*})]<1$$

不稳定的情况能够被拓展，并且表示为下式

$$\alpha_{fn}^{*}+\alpha_{fp}^{*}+\frac{d}{dI}[(\alpha_{fn}^{*}+\alpha_{fp}^{*})]>1$$

在这种形式中，我们可以看出，如果最后一项是正的并且大于 0，有效增益的总和将会比单独的小。因此如果我们在 $\alpha_{fn}^{*}-\alpha_{fp}^{*}$ 空间定义一个矩形区域，其中

$$\alpha_{fn}^{*}+\alpha_{fp}^{*}\leqslant 1$$

那么这是一个晶闸管截止状态不会被触发的区域，在矩形区域以外，转换将会出现并且晶闸管可以不稳定。

3.5　电阻

电阻物理学对于理解电路响应及 ESD 网络响应是十分重要的。扩散电阻可能由 n^{+} 扩散、p^{+} 扩散、n 阱或者多晶硅组成。在很多情况下，电阻元件使用硅化物掩膜来防止结构的低阻值状态。扩散电阻的分布可能包括掺杂源，该掺杂源可以用一个余误差函数表示，即

$$C(x,t)=C_{s}erfc\left(\frac{x}{2\sqrt{Dt}}\right)=\frac{2C_{s}}{\sqrt{\pi}}\int_{\frac{x}{2\sqrt{Dt}}}^{\infty}e^{-v^{2}}dv$$

总的掺杂可以表示为对剖面的积分，即

$$N' = \int_0^\infty C(x,\ t)\,\mathrm{d}x = 2\sqrt{\frac{Dt}{\pi}}C_s$$

在热处理时间 t 之后，阱的掺杂浓度为

$$C(x,\ t) = \frac{N'}{\sqrt{\pi Dt}}\exp\left(-\frac{x^2}{4Dt}\right)$$

在一个不规则的剖面中，阱的电导率能够通过对阱区域从顶部表面（$x=0$）到冶金结（$x=X_J$）的积分

$$G = \frac{W}{L}\int_0^{X_J} q\mu n(x)\,\mathrm{d}x$$

当衬底掺杂浓度相对于阱注入剂量可以忽略时，我们可以从高斯表达式中解出阱的电导率为

$$G = \frac{N'q}{\sqrt{\pi Dt}}\frac{W}{L}\int_0^{X_J}\mu n\left[\exp\left(-\frac{x^2}{4Dt}\right)\right]\mathrm{d}x$$

在表面被硅化的情况下，电导将被修改为由硅化物渗透进入扩散区以及净电阻的并联电阻，即

$$R = R_{\mathrm{sal}} \parallel R_{\mathrm{film}}$$

式中

$$R_{\mathrm{sal}} = \rho_{\mathrm{sal}}\frac{L}{W}$$

$$R_{\mathrm{film}} = \frac{1}{\dfrac{N'q}{\sqrt{\pi Dt}}\dfrac{W}{L}\displaystyle\int_{X_{\mathrm{sal}}}^{X_J}\mu n\left[\exp\left(-\frac{x^2}{4Dt}\right)\right]\mathrm{d}x}$$

在隔离区域下的未硅化的区域，例如浅沟隔离，由于埋层电阻元件（BR）或者一个 n 阱的存在，电导可表示为

$$G \simeq \frac{N'q}{\sqrt{\pi Dt}}\frac{W}{L}\int_{X_{\mathrm{STI}}}^{X_W}\mu n\left[\exp\left(-\frac{x^2}{4Dt}\right)\right]\mathrm{d}x$$

在一个倒阱中，掺杂剂被注入到表面很深的地方，并且形成二次阱注入或者背景填充注入。假设一个单阱注入，其填充注入能量远低于高能 MeV 注入，我们就可以估计其电导，表示为

$$G \simeq \frac{W}{L}\int_{X_{\mathrm{STI}}}^{X_W} qN_0\mu_0 + \frac{N'q}{\sqrt{\pi Dt}}\mu_n\left[\exp\left(-\frac{(x-x_0)^2}{4Dt}\right)\right]\mathrm{d}x$$

在半导体中，电阻电流密度是漂移电流组成部分的函数，即

$$J_{\mathrm{drift}} = qnv_d$$

在一个电阻结构中，电场可以接近电子的饱和速度量级。速度 - 电场关系的形式可以表示为

$$v_d(E) = v_{\mathrm{sat}}\frac{(E/E_c)}{[1+(E/E_c)^{\beta}]^{1/\beta}}$$

式中，E 是电场；E_c 是临界电场；β 是个系数，将其代替进入漂移方程中，得

$$J(E)=qnv_{sat}\frac{(E/E_c)}{[1+(E/E_c)^{\beta}]^{1/\beta}}$$

在高电场条件下，内部电场接近临界电场。在临界电场，电流密度出现衰减，饱和电流密度可以表示为

$$J_{sat}(E>E_c)\simeq qnv_{sat}$$

式中，掺杂浓度是电阻元件的掺杂浓度。

电阻元件将工作在 3 个区域（见图 3-11）。在线性区域，器件将会有线性电阻特性。当器件接近临界电场时，电阻处于饱和区。紧接着是雪崩击穿区域，它是一个雪崩倍增效应触发的电压值。Hower 和 Reddi 将该现象表现为空间－电荷－中性区域[59]和空间－充电－限制区域。

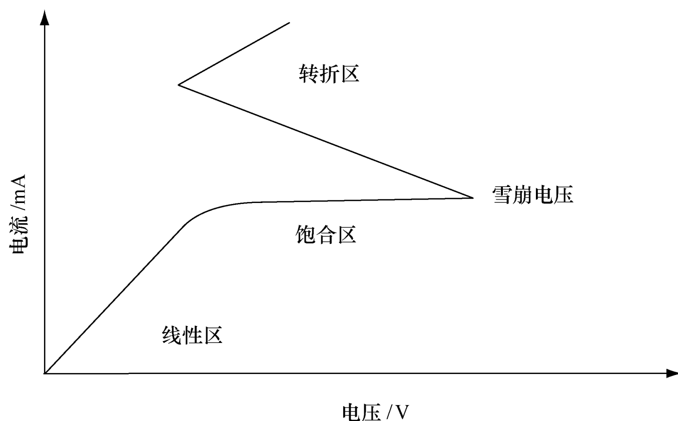


图 3-11　电阻电流－电压特性

让速度饱和和雪崩模型方程一致，我们将电流电压表达式[58]为

线性区

$$I=\frac{V}{R_{lin}}$$

饱和区

$$I=\frac{V}{R_{lin}\sqrt{1+\left(\frac{V}{V_c}\right)^2}}$$

雪崩区

$$I=\frac{V}{R_{lin}\sqrt{1+\left(\frac{V}{V_c}\right)^2}}M$$

$$M = \frac{1}{1 - A\exp\left(-\frac{B}{V_d}\right)}$$

式中，A、B 是物理常数。

$$V_d = \theta V$$

并且

$$\theta = 1 - \frac{E_x L}{V}$$

式中，E_x 是当空间电荷密度转换进入雪崩倍增位置；L 是电阻元件的长；V 是电阻两端的电压，Puvvuda 从线性区域到雪崩倍增区域紧接着的饱和区域证明了这种形式的转换。

随着其发展，自加热没有表现出来。自加热能够在雪崩击穿之前出现，导致转换进热击穿先于电场击穿产生。电阻热导率很差，以及由于长度导致电场较低表现尤为显著。

3.6 MOSFET 大电流器件物理

3.6.1 寄生双极型晶体管方程

MOSFET 和 MOSFET 参数对于预测 ESD 元件及电路网络接口的 ESD 敏感度的预测是十分重要的。图 3-12 显示了 MOSFET 结构中我们感兴趣的重要参数。

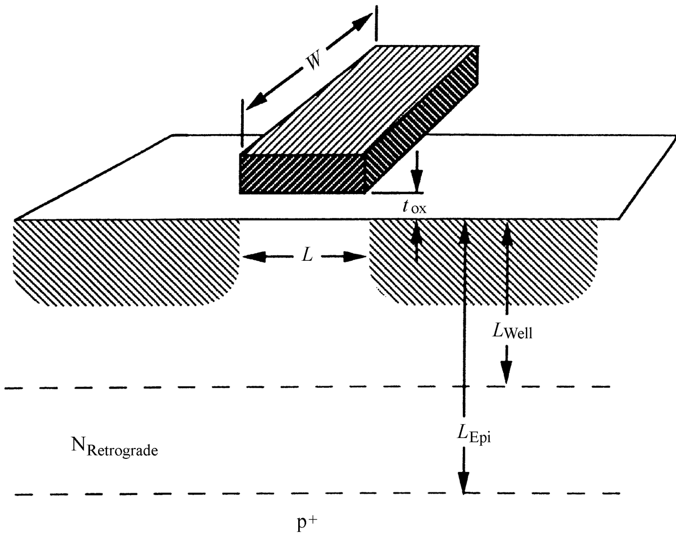


图 3-12 MOSFET 器件

二次击穿是 MOSFET 器件 ESD 鲁棒性的重要的感兴趣的方面。二次击穿是电热效应通常会导致热量外散和器件失效[60-74]。寄生晶体管在衬底和 SOI MOSFET 器件中是固有的，和表面沟道 MOSFET 电导并联。在一个 MOSFET 中，电流从漏极流向源极。与

源漏扩散区并联，形成一个寄生晶体管，如图 3-13 所示。

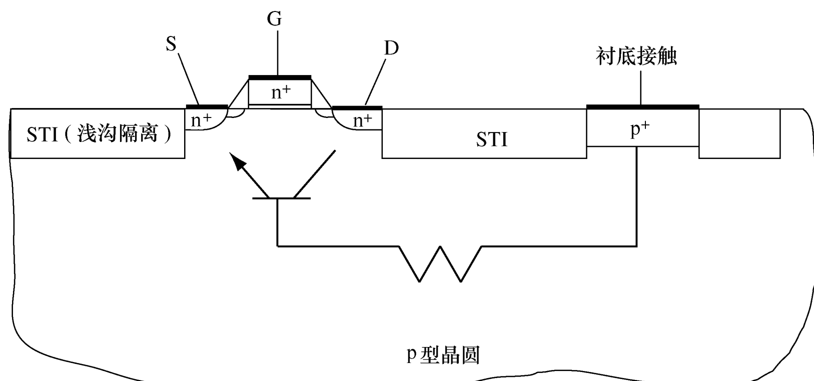


图 3-13　带有寄生晶体管的 MOSFET 器件

总漏电流可以表示为 MOSFET 漏 – 源电流、寄生晶体管电流、热产生电流的函数[74-81]。

$$I = I_{DS} + I_C + I_G$$

寄生晶体管可以采用如下形式表达电流：

$$I_C = I_s\left[\exp\left(\frac{qV_{BC}}{kT}\right) - \exp\left(\frac{aV_{BE}}{kT}\right)\right]$$

$$I_s = \frac{q^2A^2n_i^2 < D_n >}{Q_B}$$

$$< D_n > = \frac{qA\int_0^{X_B} p(x)\,dx}{\int_0^{X_B} \frac{p(x)}{D_n} dx}$$

和

$$Q_B = qA\int_0^{x_B} p(x)\,dx$$

基极电流也可以表示为相似的形式,电流是基极过剩电荷被复合时间相除的函数。

$$Q'_B = qA\int_0^{x_B} [n(x) - n_0]\,dx$$

$$I_{rB} = \frac{Q'_B}{\tau_n}$$

在 MOSFET 中，基极区域是 p 衬底区域。在基极中，它在横向晶体管结构中的掺杂浓度可以被假设为一个常数。这使得集电极电流方程得以简化[23]。

$$I_C = I_s\left[\exp\left(\frac{qV_{BC}}{kT}\right) - \exp\left(\frac{aV_{BE}}{kT}\right)\right]$$

$$I_s = \frac{q^2A^2n_i^2 < D_n >}{Q_B} \simeq \frac{qA_e n_i^2 D_n}{N_a L_{eff}}$$

式中，A_e 是发射结面积；D_n 是电子在沟道区域的扩散系数；N_a 是沟道区域的掺杂浓度；L_{eff}是横向 npn 型晶体管基极宽度，也就是有效沟道宽度。对于一个 MOSFET，射极面积相当于 MOSFET 沟道宽和源漏注入结深的乘积 $W_{eff}x_j$。有效面积是参与正向偏置结到衬底的面积。

$$I_s \simeq \frac{q(W_{eff}x_j)n_i^2 D_n}{N_a L_{eff}} \equiv q\frac{W_{eff}}{L_{eff}}\frac{n_i^2 D_n}{N_a}$$

对于基极电流，方程可以表示为

$$I_B = I_{0e}\left[\exp\left(\frac{qV_{BE}}{kT}\right) - 1\right]$$

式中，I_{0e}可以表示为

$$I_{0e} \simeq \frac{qA_e n_i^2 D_p}{N_{DE} L_{pE}} \equiv \frac{q(W_{eff}x_j)n_i^2 D_p}{N_{DE} L_{pE}}$$

晶体管电流增益可以从集电极电流对基极电流的比来获得。在正向偏压的情况下，指数项是可以忽略的，晶体管电流增益可以表达为仅是两个电流的比值的函数，即

$$\beta_f = \frac{I_C}{I_B} \simeq \frac{I_s}{I_{0e}}$$

这也可以表示为

$$\beta_f = \frac{I_C}{I_B} \simeq \frac{I_s}{I_{0e}} \equiv \frac{D_n}{D_p}\frac{N_{DE}L_{pe}}{N_A L_{eff}}$$

基于电流模型，雪崩产生可以表达为倍增因子和流过高电场区域总电流的函数。我们可以将产生电流表示为[74-81]

$$I_G = (M-1)(I_{DS} + I_C)$$

当电场很低时，M 是固定的，也就没有了产生电流。随着电场在晶体管中的增加，相关的倍增导致产生了电流。在这种情况下，一些空穴产生电流将会用来作为提供给横向双极型元件的基极电流，而其他的一些空穴产生电流将会进入衬底作为衬底电流。衬底电流的表达式如下：

$$I_{sx} - (M-1)(I_{DS} + I_C) - I_B$$

MOSFET 中的衬底电流是热电荷产生和总功耗的一个典型问题。对于 ESD 分析而言，衬底电流是很重要的，因为它与发生在高电流时 MOSFET 区域的电压降低情况相关。

$$V_{sx} = I_{sx}R_{sub}$$

因此，我们可以表示出衬底的电压降低如下：

$$V_{sx} = [(M-1)(I_{DS} + I_C) - I_B]R_{sub}$$

当电压降到等于前面由 pn 结在源极和衬底间形成的偏置电压时，MOSFET 迅速恢复。我们可以得出如下表达式来表示这种情况：

$$V_{BE} = V_{sx} = [(M-1)(I_{DS} + I_C) - I_B]R_{sub}$$

或者是 MOSFET 恢复的一个条件如下：

$$V_{BE} \geqslant [(M-1)(I_{DS}+I_C)-I_B]R_{sub}$$

从以上推导可以看出，量化衬底电阻对预计 MOSFET 恢复开始是很重要的。在一个多指结构中，MOSFET 可以表示为多个并联 MOSFET 器件，栅和漏是被连接到公共节点的，而源则是独立的节点。MOSFET 多指也通过衬底电压降被连接到一起。这给基极电流和衬底电阻引入了一个复杂的模型。这可以通过方程、矩阵或转移电阻表示的耦合系统加以解决。在下一章中，将讨论基极的电和热模型。

3.6.2　雪崩击穿和恢复

在 MOSFET 器件中，雪崩击穿发生在形成于 MOSFET 的漏极和支撑结构之间的冶金结。在这种情况下的 n 沟道 MOSFET，雪崩击穿发生在 n^+ 源极/漏极注入到 p 外延（或 p 衬底）冶金结。从 Townsend 标准有

$$\int \alpha \mathrm{d}x = 1$$

其中，对碰撞电离积分是在一个非零的电场的物理空间里进行的。

从这种形式中，雪崩倍增因子 M 可能与在耗尽层宽度积分而得到的影响电离系数有关，并可以表示为

$$M = \frac{1}{1-\int \alpha \mathrm{d}x}$$

在耗尽区中，峰值电场最大的偶极子在中心区域。在分析 MOSFET 时，模型被简化，将它表示为一个耗尽层宽度的函数。因此，它可以通过积分被集成，并表示为下面的形式

$$M = \frac{1}{1-\alpha x_d}$$

在半导体物理中，耗尽层宽度可通过所施加的电压的功率来表示是已知的

$$x_d \propto (V_D)^n$$

这种功率的关系是冶金结的掺杂分布的函数。在这种形式中，也可以很清楚地看到，当电压大于雪崩击穿电压，倍增因子应该迅速增加。因此，乘法表达式很显然应满足以下形式

$$M = \frac{1}{1-\left(\frac{V_D}{V_{av}}\right)^n}$$

在这种形式中，作为漏极电压接近雪崩击穿电压，倍增因子趋于无穷大。Amerasekera 指出，上述的关系没有体现出电场的栅极电压对于 MOSFET 的门控二极管区的影响[74-80]。由于在 MOSFET 的栅极电压增加时，在漏极区域的电场也增加。其表达式如下

$$M \simeq \frac{1}{1-\alpha(E)x_d} = \frac{1}{1-\alpha_0 x_d \exp\left\{-\frac{B}{E}\right\}}$$

代入电压条件，其中的电场是在一单位物理距离的电压，其中两端的耗尽区电压是

漏极电压减去的漏极饱和电压，且距离是耗尽区，有

$$M \simeq \frac{1}{1-(\alpha_0 x_d)\exp\left\{-\frac{Bx_d}{\{V_D - V_{d_{sat}}\}}\right\}}$$

漏极饱和电压的表达式如下：

$$V_{d_{sat}} = \frac{V_G - V_t}{a + b(V_G - V_t)}$$

式中，饱和速度是分母中的两个参数表达式除以驱动电压，驱动电压是栅极电压减去 MOSFET 的阈值电压得到的。

雪崩产生电流可以通过倍增系数和流过漏极结的电流计算出。电流通过漏极结构是 MOSFET 电流流过的表面区域（例如，MOSFET 的源极到漏极电流），以及流过 MOSFET 源极形成的寄生双极型晶体管、外延区域和 MOSFET 漏极形成的横向 npn 型晶体管的电流。在这种情况下，MOSFET 的漏极和源极作为双极型结型晶体管的集电极和发射极，外延区域作为一个基电极。雪崩电流可表示为

$$I_{av} = (M-1)I = (M-1)\{I_{DS} + I_C\}$$

雪崩产生电流流过在 p 型衬底区域的 n 沟道 MOSFET 结构。该电流的一部分流过横向寄生 npn 型晶体管的基极，作为发射极 - 基极的电流，而剩下来的电流将流入衬底区域中，作为衬底电流。因此雪崩电流可以被定义为衬底电流（流向衬底接触）和横向 npn 型晶体管基极电流（作为基极驱动电流）的总和，即

$$I_{av} = I_{sx} + I_B$$

衬底电流可以计算如下

$$I_{sx} = I_{av} - I_B = (M-1)\{I_{DS} + I_C\} - I_B$$

因此，我们可以表示雪崩电流及衬底电流作为碰撞电离、耗尽层宽度、漏极电压、漏极饱和电压和 MOSFET 的 n 沟道以及寄生 npn 型晶体管电流的函数。

$$I_{av} \simeq \left(\frac{1}{1-(\alpha_0 x_d)\exp\left\{-\frac{Bx_d}{\{V_D - V_{d_{sat}}\}}\right\}} - 1\right)\{I_{DS} + I_C\}$$

$$I_{sx} \simeq \left(\frac{1}{1-(\alpha_0 x_d)\exp\left\{-\frac{Bx_d}{\{V_D - V_{d_{sat}}\}}\right\}} - 1\right)\{I_{DS} + I_C\} - I_B$$

3.6.3 不稳定和电流约束模型

MOSFET 结构的空间不稳定是半导体元件的 ESD 故障的主要来源[60~80]。MOSFET 电流约束发生在 MOSFET 的栅极结构下的 MOSFET 沟道区。MOSFET 的不稳定是电势和温度梯度之间的相互关系的函数。在 ESD 事件期间，MOSFET 的沟道区下和在 MOSFET 的沟道区中的电势可以影响 MOSFET 的故障。从电势、最高温度、电阻率和热传导率之间的关系中，可以创建一组固定的最大温度的函数。电气约束中的最高温度可以在本征温度和熔化温度之间。从我们早期的推导空间不稳定性，并利用扩展电阻的关系，可以解决在 MOSFET 沟道区的稳定状态约束。来自扩展电阻理论，接触半径 a 和分布的距离

d 之间的关系可以满足模型

$$R_s = \left\{\frac{1}{2\pi a}\right\}\tan^{-1}\left\{\frac{d}{a}\right\}$$

然后我们可以得到电流限制的关系如下：

$$\left\{\frac{1}{2\pi a}\right\}\tan^{-1}\left\{\frac{d}{a}\right\} = \left\{\frac{1}{I_m}\right\}\int_{T_{max}}^{T} dT\left[\frac{\rho K}{\sqrt{2\left\{\int_{T_{max}}^{T}\rho(T')K(T')dT'\right\}}}\right]$$

在 MOSFET 结构中，电流不稳定性是显而易见的。故障分析指出，硅熔融的 MOSFET 区域中的宽度显著小于沟道。让那个维度 $d = W$ 和参数 W_{eff} 作为收缩区域。然后有

$$\left\{\frac{1}{2\pi W_{eff}}\right\}\tan^{-1}\left\{\frac{W}{W_{eff}}\right\} = \left\{\frac{1}{I_m}\right\}\int_{T_{max}}^{T} dT\left[\frac{\rho K}{\sqrt{2\left\{\int_{T_{max}}^{T}\rho(T')K(T')dT'\right\}}}\right]$$

由于非稳定元件中的电流约束区明显小于 MOSFET 的沟道宽度，上述表达式可以近似为

$$\left\{\frac{1}{2\pi W_{eff}}\right\}\tan^{-1}\left\{\frac{W}{W_{eff}}\right\} \approx \frac{1}{4W_{eff}} = \left\{\frac{1}{I_m}\right\}\int_{T_{max}}^{T} dT\left[\frac{\rho K}{\sqrt{2\left\{\int_{T_{max}}^{T}\rho(T')K(T')dT'\right\}}}\right]$$

然后，电流约束的有效宽度为

$$W_{eff} = \frac{I_m}{\int_{T_{max}}^{T} dT\left[\frac{4\rho K}{\sqrt{2\left\{\int_{T_{max}}^{T}\rho(T')K(T')dT'\right\}}}\right]}$$

在这种形式中可以看出，有效宽度是通过约束区域的最大电流的函数。在一个多指的 MOSFET 结构中，总的电流将被分成正在经过电流约束的指数。如果衬底电位良好接地，那么多个电流约束可以并行观察。如果衬底电位还没有良好接地，或在 ESD 测试条件时漂浮，多指 MOSFET 中的电流约束数目会较低。

图 3-14 是共源共栅 MOSFET 器件中二次击穿的原子显微镜（AFM）图像。这是第一张集成 MOSFET 图像，其中是两个串联。通过观察，电流约束了第一个 MOSFET 栅极区，拓宽了低阻扩散区和重建了栅区的扩散。

图 3-15 是从不同的角度下级联共源共栅 MOSFET 器件的二次击穿的原子显微镜（AFM）图像。从图中可以观察到，有两个沙漏形在物理故障域。图 3-16 是整个栅极区的 MOSFET 二次击穿的一个横截面。需要注意的是约束的对称中心是熔融硅形成最高的区域和峰值加热区域。

3.6.4　介质击穿

在 ESD 事件中的 MOSFET 器件，一个关键问题是 MOSFET 栅极结构的电介质被击穿。通常电介质击穿发生于 HBM、MM 和 CDM 类型的事件[82-90]。

在 HBM 或 MM 事件中，电压产生于输入 PAD 的放电。因为电压在 PAD 电压和 MOSFET 栅结构（例如，在接收器中的网络）上增加。对于一个正电压，一个 n 沟道 MOSFET 的栅极到衬底的电压增加时，导致在 MOSFET 栅极结构之间的产生电压应力。

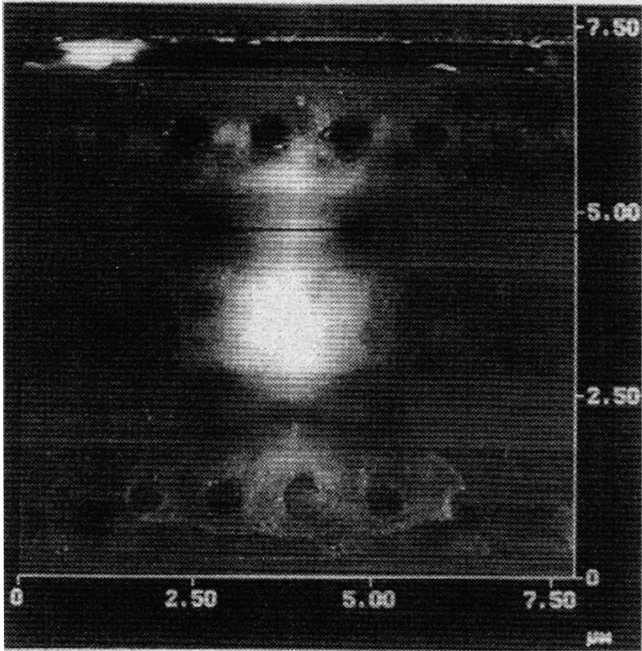


图 3-14 串联共源共栅 MOSFET 器件的二次击穿原子显微镜照片

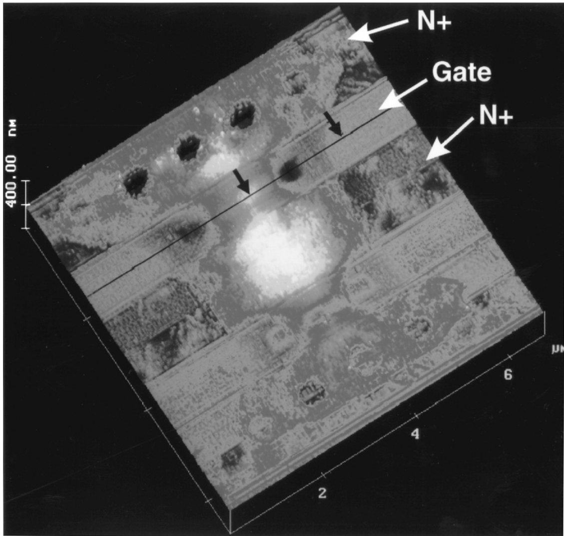


图 3-15 串联共源共栅 MOSFET 器件的二次击穿原子显微镜照片

对于负 HBM 电压，将会产生负 MOSFET 栅 – 漏极电压。在正跳变的振荡的事件中，如 MM 事件期间，MOSFET 的栅极 – 衬底的电压在正跳变时为正，在负跳变时反转。在一

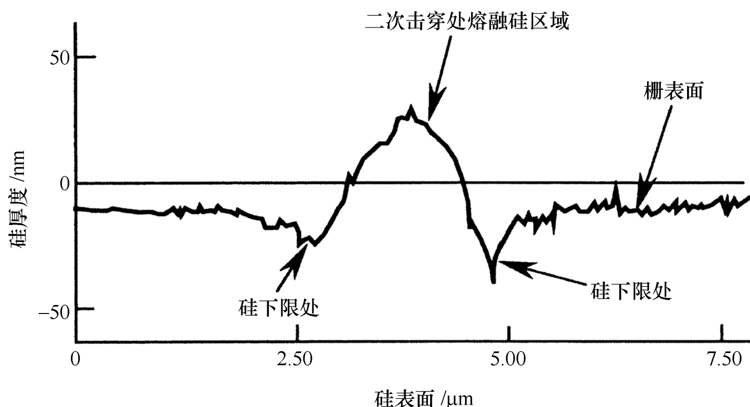


图 3-16　MOSFET 二次击穿区域的高度原子显微镜图片

个典型的 MOSFET 的接收器网络中，n 沟道 MOSFET 栅极在正的 HBM 应力期间失效，p 沟道 MOSFET 在负电压转换的期间发生故障。在这个失效机制中，MOSFET 接收器栅结构可以观察到在多晶硅 MOSFET 栅极结构在连接到设备时产生失效。

在一个 CDM 事件中，电荷形成于衬底区域。当输入 PAD 接地，一个 MOSFET 的栅极 – 衬底电压就在 MOSFET 中的沟道区域建立了。位移电流流过栅结构，导致 MOSFET 的栅极结构门故障。在这些事件中，失效机理通常被称为作为 MOSFET“针孔”栅极。在电源或阱区充电和 p 沟道 MOSFET 的栅极接地时，CDM 事件在 p 沟道 MOSFET 的栅极上便发生了。

在 Fong 和 Hu 模型中[82]，击穿的时间可以表示为两个物理常数的函数，即

$$t_{BD} = C_1 \exp\{C_2/E_{0x}\}$$

由此看来，可以在当失效出现在对时间积分大于参数 C1 时使用这种形式来建立失效标准，即

$$\int \mathrm{d}t \exp\{-(C_2/E_{0x}(t))\} > C_1$$

MOSFET 的栅极介质故障，也会出现在 MOSFET 的栅极 – 漏极或 MOSFET 的栅极 – 源极区域之间。在体硅和绝缘体上硅（SOI）工艺中，这是显而易见的。在这种情况下，横向损伤在 MOSFET 栅 – 漏区是明显的，这是可从 MOSFET 的栅致漏电 $I-V$ 偏移或 MOSFET 过应力损坏中观察到。电介质模型将在第 8 章中进一步讨论。

3.6.5　栅致漏电（GIDL）

在 MOSFET 器件中，在雪崩击穿之前，电场增强漏电流机制在 p 沟道 MOSFET 和 n 沟道 MOSFET 中表现得很明显[29,30,91,92]。在一个 MOSFET 器件中，随着栅漏电压的增加，高电场出现在 MOSFET 的间隔区和漏掺杂区域，在漏衬处的冶金结被改变并且沿着器件表面贯穿进入间隔区和漏区。

随着电场增加，耗尽区在漏注入区形成。在低电场，漏电流取决于 Shockley – Read – Hall（SRH）产生。随着电场的增加，陷阱的势垒高度被电场改变，该电场会使

潜在的势垒降低。随着势垒的高度的下降，少数载流子从阱流入到漏衬冶金结，同时导致电场增强漏电流机制。这种 Frenkel – Poole 机制在 p 沟道的 MOSFET 器件中比 n 沟道 MOSFET 器件更加普遍。随着电场增强，阱到带的势垒击穿效应将会产生，接着间接的带隙带到带隧道机制也将产生。随着漏源电压的进一步升高，雪崩击穿将会产生。这些高电场效应必须被在给定应力模式的 MOSFET 电流模型中大电流效应中表述，前面章节中提到的高电场增强漏电方程能够用来量化 MOSFET 结构的影响。

引发的 MOSFET 栅漏区域的应力的静电释放会导致热载流子注入到 MOSFET 的漏/空间区域。在此过程中，MOSFET 漏到栅的电压将被改变，导致 MOSFET 漏到栅区域电场的改变。在 MOSFET GIDL 机制的观察中，电过应力会导致 MOSFET GIDL $I-V$ 特性的转变。MOSFET GIDL $I-V$ 特性转变就是众所周知的 MOSFET 栅致漏电增大。

在下一章节，我们将会开始对半导体器件的物理区域一个接一个地进行介绍。通过这种方式，我们能够对物理区域和相应的过程进行展开。第 4 章会着重关注衬底。

习　　题

3.1　为 n 衬底的晶闸管以关于 pnp 型和 npn 型器件的双极电流增益的函数推导出触发标准。

3.2　为 n 衬底的晶闸管以关于集电极到射极运输因子，α_{npn} 和 α_{pnp} 的函数推导出触发标准。

3.3　在没有发射极 – 基极并联电阻情况下，为低电压大电流状态推导出 pnpn 型晶闸管的保持电流。

3.4　在有发射极 – 基极并联电阻情况下，为低电压大电流状态推导出 pnpn 型晶闸管的保持电流。

3.5　给定晶闸管保持电流 I_H，公式化敏感参数 S_x^H，且

$$S_x^H \equiv \frac{x}{I_H}\frac{\partial I_H}{\partial x}$$

x 是保持电流参数。以双极电流增益、阱电阻、衬底电阻为函数来定义敏感参数。

3.6　在没有发射极电阻的情况下从保持电流关系中推导出敏感参数。

3.7　为发射极电阻推导出敏感参数。以所有保持电流的关系（包括射极电阻的情况）为函数推导出敏感参数。

参 考 文 献

1. G. Wachutka. Rigourous thermodynamic treatment of heat generation and conduction in semiconductor device modeling. *IEEE Transactions on Computer Aided Design*, 1990; **CAD-9**: 1141–1149.
2. H. S. Carslaw and J. C. Jaeger. *Conduction of Heat in Solids*, 2nd ed, London: Oxford University Press, 1959.
3. V. S. Alwin, D. Navon and L. Turgeon. Time dependent carrier flow in a transistor structure under nonisothermal conditions. *IEEE Transactions on Electron Devices*, 1977; **ED-24**: 1297–1303.
4. S. Selberherr. *Analysis and Simulation of Semiconductor Devices*, New York: Springer-Verlag, 1984.
5. C. Jacoboni, C. Canali, G. Ottaviani and A. Quaranata. A review of some charge transport properties of silicon. *Solid State Electronics*, 1977; 20: pp. 77–89.

6. S. Voldman, S. Furkay and J. Slinkman. Three Dimensional Transient Electrothermal Simulation of Electrostatic Discharge Protection Circuits. *Proceedings of the EOS/ESD Symposium*, 1994; 246.
7. A. Amerasekera and C. Duvvury. *ESD in Silicon Integrated Circuits*. J. Chichester. Wiley, 1995.
8. S. Voldman, V. P. Gross, H. J. Hargrove, J. H. Never, J. A. Slinkman, M. O'Boyle, T. H. Scott and J. Delecki. Shallow trench isolation double-diode electrostatic discharge circuit and interaction with DRAM output circuitry. *Proceedings of the EOS/ESD Symposium*, 1992; 277.
9. S. Voldman and V. Gross. Scaling, optimization, and design considerations of electrostatic discharge protection circuits in CMOS technology. *Journal of Electrostatics*, 1994; **33** (3): 327–357.
10. S. Voldman. ESD protection in a mixed voltage and multi-rail disconnected power grid environment in a 0.50 and 0.25 μm channel length CMOS technologies. *Proceedings of the EOS/ESD Symposium*, 1994, 246.
11. S. Voldman and G. Gerosa. Mixed voltage interface ESD protection circuits for advanced microprocessors in shallow trench and LOCOS isolation CMOS technologies. *International Electron Device Meeting (IEDM) Technical Digest*, 1994; 227.
12. S. Voldman, G. Gerosa, V. P. Gross, N. Dickson, S. Furkay and J. Slinkman. Analysis of a snubber-clamped diode string mixed voltage interface ESD protection network for advanced microprocessor. *Proceedings of the EOS/ESD* Symposium, 1994; 125.
13. J. Never and S. Voldman. ESD failure mechanisms of shallow trench isolated ESD structures. *Proceedings of the EOS/ESD Symposium*, 1995; 273–288.
14. S. Voldman *et al.* Semiconductor process and structural optimization of shallow trench isolation-defined and polysilicon-bound source/drain diodes for ESD networks. *Proceedings of the EOS/ESD Symposium*, 1998; 151–160.
15. C. Richier *et al.* Investigation on different ESD protection strategies devoted to 3.3 V RF applications (2 GHz) in a 0.18 μm CMOS process. *Proceedings of the EOS/ESD Symposium*, 2000; 251–260.
16. S. Voldman. The effect of deep trench isolation, trench isolation, and sub-collector doping concentration on the ESD robustness of RF ESD diode structures in a BiCMOS SiGe Technology. *Proceedings of the EOS/ESD Symposium*, 2003; 214–223.
17. E. Worley and Bakulin. Optimization of input protection for high speed applications. *Proceedings of the EOS/ESD Symposium*, 2002; 62–73.
18. S. Voldman and L. R. Lanzerotti. The influence of process and design of subcollectors on the ESD robustness of ESD structures and silicon germanium heterojunction bipolar transistors in a BICMOS SiGe technology. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 2003; 347–356.
19. S. Voldman, R. Schulz, J. Howard, V. Gross, S. Wu, A.Yapsir, D. Sadana, H. Hovel, J. Walker, F. Assaderaghi, B. Chen, J. Y-C. Sun and G. Shahidi. CMOS-on-SOI ESD protection networks. *Proceedings of the EOS/ESD Symposium*, 1993; 221.
20. S. Voldman. Electrostatic discharge protection of silicon on insulator (SOI) technology. *IEEE International SOI Conference Symposium Proceedings, Session 5.1*, 1999; 68–72.
21. Y. Wang, P. Juliano, S. Joshi and E. Rosenbaum. Electro-thermal modeling of ESD diodes in bulk-Si and SOI technologies. *Proceedings of the EOS/ESD Symposium*, 2000; 430–436.
22. B. Streetman. *Solid State Electronic Devices*, 4th ed., Englewood Cliffs: Prentice Hall, 1995.
23. R. S. Muller and T. I. Kamins. *Device Electronics for Integrated Circuits*. Wiley 1977.
24. W. Schockley and W. T. Read. Statistics of recombination of holes and electrons. *Physical Review* 1952; **87** (5): 835–842.
25. R. N. Hall. Electron–hole recombination in germanium. *Physical Review* 1952; **87**: 387.
26. P. T. Landsberg. The band-to-band Auger effect in semiconductors. *Solid State Electronics*

1987; **30** (11): 1107–1115.
27. J. Dziewior and W. Schmid. Auger coefficients for highly doped and highly excited silicon. *Applied Physics Letters* 1977; **31** (5): 346–347.
28. J. D. Beck and R. Conradt. Auger recombination in silicon. *Solid State Communications* 1973; **13**: 93.
29. S. Voldman. Unified generation model for the analysis of electric field dependent leakage mechanisms in silicon devices. *PhD Thesis*, University of Vermont, 1991.
30. S. Voldman, J. B. Johnson, T. D. Linton and S.L. Titcomb. Unified generation model with donor and acceptor trap states for heavily doped silicon. *International Electron Device Meeting (IEDM) Technical Digest*, 1990; 349–352.
31. J. Frenkel. On pre-breakdown phenomena in insulators and electronic semiconductors. *Physical Review* 1938; **54**: 647–648.
32. J. L. Hartke. The three-dimensional Frenkel–Poole effect. *Journal of Applied Physics* 1968; **39**: 4871–4873.
33. A. K. Jonscher. Electronic properties of amorphous dielectric films. *Thin Solid Films*, 1967; **1**: 213–234.
34. R. H. Fowler and L. Nordheim. Electron emission in intense electric fields. *Proceedings of the Royal Society (London)* 1928; **121**: 626.
35. C. Zener. A theory of electrical breakdown of solid dielectrics. *Proceedings of the Royal Society (London)* 1933; **A145**: 523–529.
36. K. Mcafee, E. Ryder, W. Shockley and M. Sparks. Observations of Zener current in germanium *p–n* junctions. *Physical Review* 1951; **83**, 650–651.
37. L. D. Keldysh. Behavior of non-metallic crystals in strong electric fields. *Soviet JETP* 1958; **6**, (4): 763.
38. E. O. Kane. Zener tunneling in semiconductors. *Journal of Physics and Chemistry of Solids*, 1959; **12**, 181–188.
39. E. O. Kane. Theory of tunneling. *Journal of Applied Physics*, 1961; **32**, (1) 83–91.
40. P. J. Price and J. M. Radcliffe. Esaki tunneling. *IBM Journal of Research and Development*, October 1959; 364–371.
41. P. A. Wolff. Theory of electron multiplication in silicon and germanium. *Physical Review* 1954; **95**, (6): 1415–1420.
42. A. G. Chynoweth. Ionization rates for electrons and holes in silicon. *Physical Review* 1958; **109** (5): 1537–1540.
43. J. L. Moll and R. Van Overstraeten. Charge multiplication in silicon *p–n* Junctions. *Solid State Electronics* 1963; **6**: 147–157.
44. C. T. Kirk. A theory of transistor cutoff frequency (Ft) falloff at high current densities. *IEEE Transactions on Electron Devices* 1962; **ED-9**: 164–174.
45. E. O. Johnson. Physical limitations on frequency and power parameters of transistors. *RCA Review*, June 1965; 163–177.
46. J. M. Early. Maximum rapidly switchable power density in junction triodes. *IEEE Transactions on Electron Devices* 1959; **ED-6**: 322.
47. J. M. Early. Speed in semiconductor devices. *IRE National Convention*, March 1962.
48. J. M. Early. Structure determined gain–band product of junction triode transistors. *Proceedings of the IRE*, December 1958.
49. J. M. Goldey and R. M. Ryder. Are transistors approaching their maximum capabilities. *Proceedings of the International Solid State Circuits Conference (ISSCC)*, 1963; 20.
50. R. L. Pritchard. Frequency response of grounded base and grounded emitter Junction Transistor. *IEEE Winter Meeting*, January 1954.
51. W. Schockley. Theories of high values of alpha for collector contacts on germanium. *Physical Review*, 1950; **78**: 294–295.

52. J. J. Ebers. Four terminal *pnpn* transistors. *Proceedings of the IRE*, 1952; **40**: 1361–1364.
53. J. L. Moll, M. Tannnenbaum, J. M. Goldey and N. Holonyak. *pnpn* transistor switches. *Proceedings of the IRE* 1956; **44**: 1174–1182.
54. F. E. Gentry *et al. Semiconductor Controlled Rectifiers*. Englewood Cliffs: Prentice-Hall, 1964.
55. B. L. Gregory and B. D. Schafer. Latchup in CMOS Integrated Circuits. *IEEE Transactions on Nuclear Science*, 1973; **NS-20**: 293–299.
56. D. B. Estreich. The physics and modelling of latchup in CMOS integrated circuits. *PhD Thesis*, Stanford University, 1981.
57. R. R. Troutman, *Latchup in CMOS Technology: The Problem and the Cure*. Kluwer, 1984.
58. V. Puvvuda, V. Srinivasan and V. Gupta. A scalable analytical model for ESD *n*-well resistors. *Proceedings of the EOS/ESD Symposium*, 2000; 437–446.
59. P. L. Hower and V. G. K. Reddi. Avalanche injection and second breakdown in transistors. *IEEE Transactions on Electron Devices* 1970; **ED-17**: 320–335.
60. H. A. Schafft and J. C. French. Second breakdown in transistors. *IEEE Transactions of Electron Devices* 1962; **ED-9**: 129–136.
61. R. M. Scarlett, W. Schockley and R. H. Haitz. Thermal instabilities and hot spots in junction transistors. In: M. F. Goldberg and J. Vaccaro (eds), *Physics of Failure in Electronics*: Baltimore, Spartan Books, 1963; 194–203.
62. R. J. Nienhuis. Second breakdown in forward and reverse base current region. *IEEE Transactions on Electron Devices* 1966; **ED-13**: 655–662.
63. H. B. Grutchfield and T. J. Moutoux. Current mode second breakdown in epitaxial planar Transistors. *IEEE Transactions on Electron Devices* 1966; **ED-13**: 743.
64. P. L. Hower and V. G. K. Reddi. Avalanche injection and second breakdown in transistors. *IEEE Transactions on Electron Devices* 1970; **ED-17**: 320–335.
65. D. M. Tasca, J. C. Peden, and J. Miletta. Non-destructive screening for thermal second breakdown. *IEEE Transactions on Nuclear Science* 1972; **NS-19**: 57–67.
66. R. W. Dutton. Bipolar transistor modeling of avalanche generation for computer circuit simulation. *IEEE Transactions on Electron Devices*, 1975; **ED-22**: 334–338.
67. A. Ward. An electrothermal model of second breakdown. *IEEE Transactions on Nuclear Science* 1976; **NS-23**: 1679–1684.
68. S. Gaur, D. Navon and R. Teerlinck. Transistor design and thermal stability. *IEEE Transactions on Electron Devices* 1976; **ED-20**: 527–534.
69. S. K. Ghandi. *Semiconductor Power Devices*. J. New York: Wiley, 1977.
70. K. Koyanagi, K. Hane and T. Suzuki. Boundary conditions between current mode and thermal mode second breakdown in epitaxial planar transistors. *IEEE Transactions on Electron Devices* 1977; **ED-24**: 672–678.
71. J. Yee, W. Orvis, L. Martin and J. Peterson. Modeling of current and thermal mode second breakdown phenomenon. *Proceedings of the EOS/ESD Symposium*, 1982; 76–81.
72. W. J. Orvis, C. F. McConaghy, J. H. Yee, G. H. Khanaka, L. C. Martin and D. H. Lair. Modeling and testing for second breakdown phenomena. *Proceedings of the EOS/ESD Symposium*, 1983; 108–117.
73. D. Scott, G. Giles and J. Hall. A lumped element model for simulation of ESD failures in silicided devices. *Proceedings of the EOS/ESD Symposium*, 1986; 41–47.
74. G. Krieger. The dynamics of electrostatic discharge prior to bipolar action related snapback. *Proceedings of the EOS/ESD Symposium*, 1989; 136–144.
75. M. Reisch. On bistable behavior and open-base breakdown of bipolar transistors in the avalanche regime–modeling and applications. *IEEE Transactions on Electron Devices* 1992; **ED-39**: 1398.
76. A. Amerasekera, L. V. Roozendaal, J. Bruins and F. Kuper. Characterization and modeling of second breakdown for the extraction of ESD-related process and design parameters. *IEEE*

Transactions on Electron Devices, 1991; **ED-38**: 2161.
77. E. A. Amerasekera, W. Van den Abeelen, L. J. van Roozendahl, M. Hannemann, P. J. Schofield. ESD failure modes: characteristics, mechanisms, and process influences. *IEEE Transactions on Electron Devices*. 1992; **ED-39**: 2.
78. A. Amerasekera, M. C. Chang, J. Seitchik, A. Chatterjee, K. Mayaram and J. H. Chern. Self heating effects in basic semiconductors structures. *IEEE Transactions on Electron Devices* 1993; **ED-40**: 1836.
79. A. Amerasekera and J. Seitchik. Electrothermal behavior of deep submicron *n*MOS transistors under high current snapback ESD/EOS conditions. *International Electron Device Meeting (IEDM) Technical Digest*, 1994; 446–449.
80. A. Amerasekera and R. Chapman. Technology design for high current and ESD robustness in a deep submicron process. *IEEE Transactions on Electron Device Letters* 1994; **15**: 383–385.
81. S. Verdonckt-Vandebroek, S. S. Wong, J. Woo and P. K. Ko. High current gain lateral bipolar action in a MOSFET structure. *IEEE Transactions on Electron Devices* 1991; **ED-38**: 2487–2496.
82. Y.-P. Fong and C. Hu. The effects of high electric field transients on thin gate oxide MOSFETs. *Proceedings of the EOS/ESD Symposium*, 1987; 252–257.
83. D. L. Lin. ESD sensitivity and VLSI technology trends: thermal breakdown and dielectric breakdown. *Proceedings of the EOS/ESD Symposium*, 1993; 73–82.
84. A. Amerasekera and D. Campbell. ESD pulse and continuous voltage breakdown in MOS capacitors structures. *Proceedings of the EOS/ESD Symposium*, 1986; 208–213.
85. D. L. Lin and T. Welsher. From lightning to charged-device model electrostatic discharges. *Proceedings of the EOS/ESD Symposium*, 1992; 68–75.
86. M. Bridgewood and R. Kelly. Modeling the effects of narrow impulsive overstress on capacitive test structures. *Proceedings of the EOS/ESD Symposium*, 1985; 84–91.
87. M. J. Tuncliffe, V. M. Dwyer and D. S. Campbell. Experimental and theoretical Studies of EOS/ESD oxide breakdown in unprotected MOS structures. *Proceedings of the EOS/ESD Symposium*, 1990; 162–168.
88. Y. Kitamura, H. Kitamura, K. Nakanishi and Y. Shibuya. Breakdown of thin gate-oxide by application of nanosecond pulse as ESD test. *Proceedings of International Test and Failure Analysis (ITSFA)* 1989; 193–199.
89. T. J. Maloney. Designing MOS inputs and outputs to avoid oxide failure in the charged device model. *Proceedings of the EOS/ESD Symposium*, 1988; 220.
90. R. G. Renninger. Mechanism of charged device electrostatic discharge. *Proceedings of the EOS/ESD Symposium*, 1991; 127.
91. S. Voldman, J. Bracchita and D. Fitzgerald. Band-to-band tunneling and thermal gate-induced drain leakage. *Device Research Conference (DRC), Session IIA-8*, June 1988.
92. J. R. Spehar, R. A. Colclaser and C. B. Fleddermann. The effect of oxidation of the poly gate on the ESD performance of CMOS ICs. *Proceedings of the EOS/ESD Symposium*, 1994; 257.

第 4 章　衬底和 ESD

4.1　衬底分析方法

在本章中，将采用通用方法来研究衬底对 ESD 保护的影响。衬底会影响二极管、MOSFET、双极型晶体管以及晶闸管。衬底电气和热特性的建模将影响所有的电路和 ESD 元件。一般的概念和模型可以应用于二极管、双极型晶体管、MOSFET 与晶闸管。从一般方法着手，衬底是包含多种器件的半无限域，这些器件可以被视为分立的或者耦合的。本章还讨论了衬底半无限域模型、传输线模型以及损耗传输线模型的概念，以及使用格林函数方法和新的几何模型建模的电气和热模型。此外，为了说明多指或多种因素，RonTroutman 解释闩锁效应转移电阻的概念被用来解释更复杂的情况和耦合现象。这些模型可用于阐述 ESD、噪声或闩锁。另一种方法是把衬底看做一种分层介质。在麻省理工学院，这种技术和磁通传输矩阵方法一起被广泛地用于阐述电磁学和电动力学。

这些方法适合于解决 ESD 领域的问题，如可变掺杂区域、具有砷化镓衬底的 SOI 晶圆等。衬底和衬底建模对于理解绝缘体上硅（SOI）器件非常重要。在静电放电（ESD）学科中重点关注衬底在高电流下所受到的影响。衬底也作为一种介质提供 ESD 结构之间或在 ESD 电路不同的元件之间的耦合。因此，用通用方法评估可以提供对于不同的器件以及如噪声耦合、闩锁等与 ESD 相关事项的某种协同作用的解释。

4.2　视作半无限域的衬底

在半无限域（见图 4-1）的情况下，我们可以通过定义边界条件和应用图像方法，在一个给定的一个无限区域中的平行六面体中修改其解。

类似于静电问题，在 A 点处点热源 q 与 A′点处点热沉 －q 形成的无限空间中，定义点 P 处温度为 T，这里存在温度为 0 的点轨迹。这个平面以直角等分直线 AA′。因此，对于无限介质有一个极性相反和强度相反的镜像存在于该平面的反面。由 P 处点构成的平面温度等于零，满足半无限域半空间拉普拉斯方程，除了在 A 点处的点热源 q。

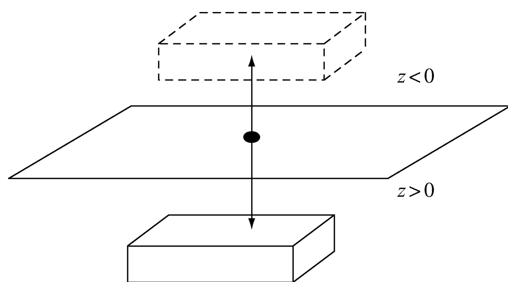


图 4-1　半无限域与镜像方法

已知对于由任何数量的点热源所产生的任何温度场，我们可以选择一个恒定的温度

等值线（如等温线），并用热导体代替它。任一侧的等温线的点热源是另一侧的镜像。

对于绝热边界条件情况，我们要求边界温度的导数为零。假设一个平行六面体处于 $z=0$ 平面下 D 处，让 $z=0$ 平面的边界条件是绝热边界条件。这种形式可以假定该平面上的所有点的热通量是零。鉴于我们对 $z=0$ 以下半无限域的温度场感兴趣，存在于无限空间上半部分的镜像源能够用来提供感兴趣的半无限下半部分的边界条件。

使用相同维度的距 $z=0$ 平面以上 D 处的平行六面体，建立一个对称平面，$z=0$ 处所有点的热通量为零。为了解决半无限域问题，我们可以利用无限域格林函数修正形式的图像方法，因此该方法可以用于半无限域。依赖于时间的热方程，具有恒定的热导率和恒定的比热密度，温度拉普拉斯算子与作为事件函数的温度的偏导数成比例。作为一个无限域的问题，有

$$T(x, x'; y, y'; z, z'; t) = \int_{t'=0}^{t'=t} \mathrm{d}t' \frac{Q(t')}{8[\pi\kappa(t-t')]^{3/2}} \exp\left\{-\frac{r^2}{4\kappa(t-t')}\right\}$$

这表示在无穷小量 x' 和 $x'+\mathrm{d}x'$、y' 和 $y+\mathrm{d}y'$、z' 和 $z+\mathrm{d}z'$ 之间的功耗函数，并定义了以体积 V 归一化的功耗，有

$$T(x, x'; y, y'; z, z'; t) = \frac{1}{8\rho cV(\pi\kappa)^{3/2}} \int_{t'=0}^{t'=t} |\mathrm{d}t' \frac{\{P(t')\mathrm{d}x'\mathrm{d}y'\mathrm{d}z'\}}{[(t-t')]^{3/2}} \exp\left\{-\frac{r^2}{4\kappa(t-t')}\right\}$$

为了评估无穷小量组成的所有空间的温度，表达式可以通过无限量 Ω 来积分。在表达式中，在空间上无关的条件可以在空间积分中移除，并且温度表示为

$$T(x, y, z; t) = \frac{1}{8\rho cV(\pi\kappa)^{3/2}} \int_{t'=0}^{t'=t} \mathrm{d}t' \frac{P(t')}{[(t-t')]^{3/2}} \int_{\Omega} \exp\left\{-\frac{r^2}{4\kappa(t-t')}\right\} \mathrm{d}x'\mathrm{d}y'\mathrm{d}z'$$

为了评估在无限介质中的平行六面体，让我们假设有一个在 x 方向尺寸为 W，y 方向尺寸为 L，z 方向尺寸为 H 的源，但是应用了在边界条件 $z=0$ 以下距离 D 处的平行六面体以及 $z=D$ 处大小相等但是强度相反的镜像源。

$$T(x, y, z; t) = \frac{1}{8\rho cV(\kappa)^{3/2}} \int_{t'=0}^{t'=t'} \frac{P(t')\mathrm{d}t'}{[(t-t')]^{3/2}} F(x-x', y-y', z-z', t-t')$$

同时

$$F(x-x', y-y', z-z', t-t') = F_x(x-x'; t-t') F_y(y-y'; t-t') F_z(z-z'; t-t')$$

式中

$$F_x(x-x', t-t') = \int_{-W/2}^{W/2} \exp\left\{-\frac{(x-x')^2}{4\kappa(t-t')}\right\} \frac{\mathrm{d}x'}{\sqrt{\pi}}$$

$$F_y(y-y', t-t') = \int_{-L/2}^{L/2} \exp\left\{-\frac{(y-y')^2}{4\kappa(t-t')}\right\} \frac{\mathrm{d}y'}{\sqrt{\pi}}$$

$$F_z(z-z', t-t') = \int_{-(D+H)}^{-D} \exp\left\{-\frac{(z-z')^2}{4\kappa(t-t')}\right\} \frac{\mathrm{d}z'}{\sqrt{\pi}} + \int_{D}^{D+H} \exp\left\{-\frac{(z-z')^2}{4\kappa(t-t')}\right\} \frac{\mathrm{d}z'}{\sqrt{\pi}}$$

使用变量变换，积分表达式可被表示为误差函数。一个无限介质中的温度表达式可以表示为下面的形式，即

$$T(x, y, z; t) = \frac{1}{8C} \int_{t'=0}^{t'=t} P(t') H(x, y, z; t-t') \mathrm{d}t'$$

式中，$V=LWH$ 是体积，并让 $C=c\rho V$。

此处，我们可以写出包含空间相关性的函数，作为误差函数的乘积，即

$$H(x,y,z;t-t') = H(z;t-t')\prod_{i=x,y}\left[erf\left(\frac{(L_{xi}/2)+x_i}{\sqrt{4\kappa(t-t')}}\right)+erf\left(\frac{(L_{xi}/2)-x_i}{\sqrt{4\kappa(t-t')}}\right)\right]$$

$$H(z;t-t') = \left[erf\left(\frac{z+D+H}{\sqrt{4\kappa(t-t')}}\right)+erf\left(\frac{-D-z}{\sqrt{4\kappa(t-t')}}\right)+erf\left(\frac{z-D}{\sqrt{4\kappa(t-t')}}\right)+erf\left(\frac{D+H-z}{\sqrt{4\kappa(t-t')}}\right)\right]$$

4.3　采用传输矩阵方法表征层状介质的衬底

衬底区域和半导体器件是由导电平面和不导电平面形成的层状介质[2,3]。例如，衬底可以由具有 p 外延区域的 p ++ 晶圆、具有 p ++ 重掺杂的埋层（HDBL）的 p 型晶圆、具有 Si/SiGe/Si 异质区域的应变硅，甚至绝缘体上硅（SOI）形成硅/二氧化硅/硅晶圆形成。在这些问题中，电气和热变量在该区域（如热导率 k）是常数，但是因不同区域而不同。对于这些问题，不研究热场的物理区域，但研究界面处的温度和热通量。对于上述这些结构，热通量传输关系是理想化的。假设一个没有热产生源存在的体积区域，拉普拉斯方程是满足的。拉普拉斯方程能够依据在两个表面处的温度和热通量的关系表示成矩阵表达式。在这种形式下，该方法可以使用“转移矩阵”予以解决，其中转移矩阵和相应的边界条件满足拉普拉斯方程。这个方法可以用于在平面、圆柱和球面几何区域。

假设一个边界、材料有差异，且为层状介质的区域，可以被表示为一组 n 个区域，仅对其表面处的解感兴趣或者仅是最外层及最里层的关系。平面多层膜能够表示成层状介质（见图 4-2），其中在不同的物理区域材料性能可能会有所不同。需要注意的是，任何具有可变的电或热特性的物理区域可以分割成多个区域，而在那个区域平均电特性或热特性被定义。

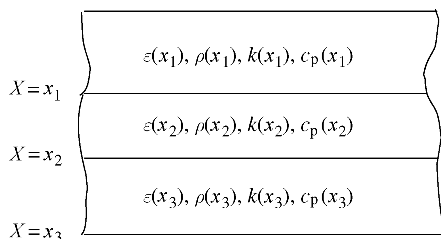


图 4-2　层状介质的衬底

要估算热通量和温度场，具有均匀热特性的系统满足拉普拉斯方程和磁通关系，即

$$q = -k\nabla T$$

为了解决在边界上的热通量和热势之间关系的热问题，我们找到一个矩阵来表示前向热流和温度边界条件的关系。相反，如果我们知道边界上的流量，也可以判断边界的势。根据分离变量方法，拉普拉斯方程能够转变形式来处理多维问题或一维瞬态热分析。在考虑瞬态热传导的情况下，温度被假定为空间和时间的函数，可以表示为

$$T(x,t) = T(x)\Gamma(t)$$

把该函数代换成热方程，其形式表示如下：

$$\frac{1}{T(x)}\frac{d^2T(x)}{dx^2} = \frac{1}{\alpha\Gamma}\frac{d\Gamma}{dt} = -\lambda^2$$

因此，我们可以独立地解决空间变化，通过求解得到改进后拉普拉斯方程的二阶

形式

$$\frac{\mathrm{d}^2T(x)}{\mathrm{d}x^2}+\lambda^2T(x)=0$$

让我们在第一边界和第二边界定义温度和热通量。通过分析等式结果，满足形式

$$T(x)=T^{\alpha}\frac{\sin(\lambda x)}{\sin(\lambda\Delta)}-T^{\beta}\frac{\sin\{\lambda(x-\Delta)\}}{\sin(\lambda\Delta)}$$

式中，第一表面 β 在 $x=0$ 处，而第二表面 α 在 $x=\Delta$。

温度的导数为

$$\frac{\mathrm{d}}{\mathrm{d}x}T(x)=T^{\alpha}\frac{\cos(\lambda x)}{\sin(\lambda\Delta)}-T^{\beta}\frac{\cos\{\lambda(x-\Delta)\}}{\sin(\lambda\Delta)}$$

由这个关系我们可以得到一个边界处温度斜率到边界处温度的前向矩阵关系[2]，即

$$\begin{bmatrix}\left.\dfrac{\mathrm{d}T}{\mathrm{d}x}\right|^{\alpha}\\ \left.\dfrac{\mathrm{d}T}{\mathrm{d}x}\right|^{\beta}\end{bmatrix}=\lambda\begin{bmatrix}\cot(\lambda\Delta) & \dfrac{-1}{\sin(\lambda\Delta)}\\ \dfrac{1}{\sin(\lambda\Delta)} & -\cot(\lambda\Delta)\end{bmatrix}\begin{bmatrix}T^{\alpha}\\ T^{\beta}\end{bmatrix}$$

由热通量到温度的关系，我们可以用下面形式表示

$$\begin{bmatrix}q^{\alpha}\\ q^{\beta}\end{bmatrix}=-\lambda k\begin{bmatrix}\cot(\lambda\Delta) & \dfrac{-1}{\sin(\lambda\Delta)}\\ \dfrac{1}{\sin(\lambda\Delta)} & -\cot(\lambda\Delta)\end{bmatrix}\begin{bmatrix}T^{\alpha}\\ T^{\beta}\end{bmatrix}$$

这种形式允许用边界处的温度表达热通量。把温度表示为热通量的函数，即

$$\begin{bmatrix}T^{\alpha}\\ T^{\beta}\end{bmatrix}=-\frac{1}{\lambda k}\begin{bmatrix}\cot(\lambda\Delta) & \dfrac{-1}{\sin(\lambda\Delta)}\\ \dfrac{1}{\sin(\lambda\Delta)} & -\cot(\lambda\Delta)\end{bmatrix}\begin{bmatrix}q^{\alpha}\\ q^{\beta}\end{bmatrix}$$

利用这个矩阵的方法，一个区域可以被表示为 n 个具有均衡特性的区域。利用多重矩阵方法可以解决多层介质问题。从一个电路的类比中，每个物理膜可以被认为是一个两端口膜，在终端处的信息是零。这个方法适用于瞬态一维解或依据分离变量的形式要求可以分离的振荡信号。

因此，把衬底视作垂直分层介质，在接口处的温度和热流场均可以得到而不需要重新评估拉普拉斯方程，并且评估可以简化成多重矩阵。此方法可以被改进到适合于圆柱体和球体源的形式，其中虚拟的边界能够被用来评估圆柱体和球体的热影响以及在虚拟界面的温度。

图 4-3 是一个应用层状介质的问题的外延晶圆的一个例子。在一个外延晶圆中，有一个 p 阱区，一个 p 外延区域和一个 p 衬底。在这种情况下，该区域可以被细分成多

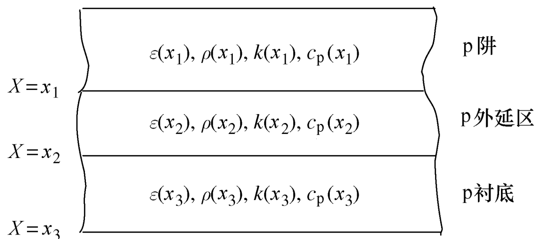


图 4-3　层状介质的外延硅晶片

个区域，其中温度和热通量可以通过边界条件的估算作为独立的区域进行评估。

4.4　衬底传输线模型

衬底贯穿半导体芯片的物理空间，会导致耦合和分布效应。衬底建模是理解电路响应的关键，其中有源区受到本地电势的影响。两种主要情况如下：

第一种情况是，该元件是一个有源元件多元体，其中每个空间区域具有至少一个独立于其他的有源元件的节点。在这种情况下，一个共用的电气节点可能存在，但其中一些节点可以是独立的。例如，在一个多指 MOSFET 晶体管中，栅极结构是共用的，但源极或漏极节点可以是独立的。

第二种感兴趣的情况是没有有源器件在其间的且在空间上分离的区域。例如，一个共用的电输入端可能连接到一个 ESD 设备的第一段，并在空间中的第二点处，有一个距离非常远的第二段，其中第二个器件靠近接收器网络。这发生在 ESD 网络和靠近焊盘的第一主级之间，以及在半导体芯片内的靠近接收器网络的第二个电路。

可以通过采用衬底下面的集总电阻元件进行衬底建模。在小的 ESD 器件中，典型情况下，衬底被建模成单电阻元件。在多指元件中，两个物理元件之间的横向阻抗可以导致在衬底区域高电流或注入时不同的电路响应。为了解决衬底阻抗效应，不同的集总电阻被放置在每一个独立的有源器件区域。对于电接触区域衬底被建模成横向阻抗，以及物理器件区域的垂直电阻。

作为在分层介质中估算垂直的热和电特性的例子，传输线模型对于估算横向物理器件是有用的。图 4-4 是 p 阱/p 外延/p^+ 衬底区域的垂直剖面的一个例子。

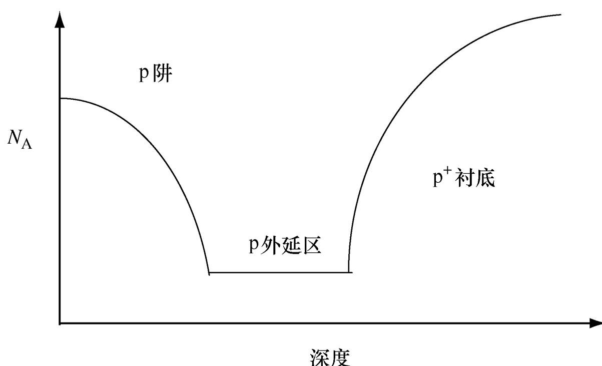


图 4-4　p 阱/p 外延/p^+ 晶片衬底的横截面分布

一种分立电阻的横向模型可以作为梯形网络的衬底。图 4-5 展示了一个梯形电阻网络。

一个更好的表述是一个完整的传输线表示法。对于在晶圆表面附近大电流现象，衬底可以建模为一个有损传输线。有损耗的传输线模型适合于靠近晶圆表面两个区域之间

的电流和电流能在背面接触孔流动的情况[4-6]。由一个有损耗传输线的一般形式，我们可以表示电压和电流条件为

$$V(y)=V_1\exp\left\{-\frac{y}{\gamma}\right\}+V_2\exp\left\{-\frac{L-y}{\gamma}\right\}$$

$$I(y)\frac{1}{Z_0}\left[V_1\exp\left\{-\frac{y}{\gamma}\right\}-V_2\exp\left\{-\frac{L-y}{\gamma}\right\}\right]$$

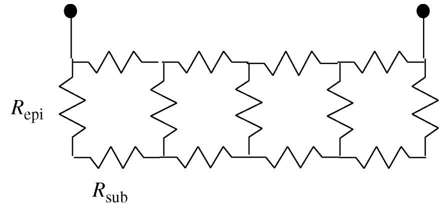


图 4-5　衬底上阶梯状的分立电阻网络

这些电压和电流的条件代表一个沿着 y 方向传输的有损传输线，其传输线长度为 L，损耗因子为 γ，如图 4-6 所示。

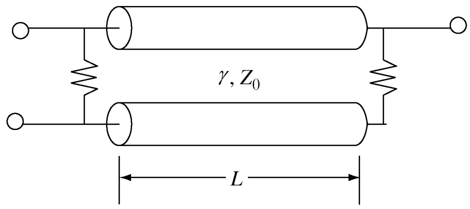


图 4-6　存在于衬底的损耗传输线模型

假设传输线在终端 1 电阻为 R_1，在终端 2 电阻为 R_2，我们可以用以下形式表述传输线系统

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix}=\frac{1}{Z_0}\begin{bmatrix} C_{11} & C_{12} \\ C_{21} & C_{22} \end{bmatrix}\begin{bmatrix} V_1 \\ V_2 \end{bmatrix}$$

其中主对角线的关系表示为

$$C_{11}=(1+Z_0/R_1)$$

$$C_{22}=(1+Z_0/R_2)$$

$$C_{12}=(-1+Z_0/R_1)\exp\left\{-\frac{L}{\gamma}\right\}$$

$$C_{21}=(-1+Z_0/R_2)\exp\left\{-\frac{L}{\gamma}\right\}$$

求解端子 1 和 2 之间的电压方程，矩阵可以被求逆，并且可以表示为两个电流条件的函数，即

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix}=\frac{Z_0}{\Delta}\begin{bmatrix} C_{22} & -C_{12} \\ -C_{21} & C_{11} \end{bmatrix}\begin{bmatrix} I_1 \\ I_2 \end{bmatrix}$$

式中，决定因素是 $\Delta=C_{11}C_{22}-C_{12}C_{21}$。

由这种形式，衬底中的两个点之间的电压可以估算，而且输入阻抗可以作为特征阻抗、反射系数和损耗因子的函数。输入阻抗可以表示为

$$Z_{\text{in}}=\frac{V(0)}{I(0)}=Z_0\frac{1+\Gamma_{\text{R}}\exp\left\{-\frac{2L}{\gamma}\right\}}{1+\Gamma_{\text{R}}\exp\left\{-\frac{2L}{\gamma}\right\}}$$

反射系数可以表示为

$$\Gamma_{\text{R}}=\frac{V_2}{\left[V_1\exp\left\{-\frac{L}{\gamma}\right\}\right]}$$

假定电流不流向终端 2，便可以简化传输线。这可以表述电流流向第二个区域，例如晶圆的背面。在这种情况下，表面电势可能等于传输线电压。这可以从下面矩阵关系

解得

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \frac{Z_0}{\Delta}\begin{bmatrix} C_{22} & -C_{12} \\ -C_{21} & C_{11} \end{bmatrix}\begin{bmatrix} I_1 \\ 0 \end{bmatrix}$$

式中

$$\psi_{\mathrm{s}}(y) = V(y) = V_1 \exp\left\{-\frac{y}{\gamma}\right\}\left[1 + \Gamma_{\mathrm{R}} \exp\left\{-\frac{2(L-y)}{\gamma}\right\}\right]$$

$$I(y) = \frac{1}{Z_0} V_1 \exp\left\{-\frac{y}{\gamma}\right\}\left[1 - \Gamma_{\mathrm{R}} \exp\left\{-\frac{2(L-y)}{\gamma}\right\}\right]$$

$$V_1 = \frac{Z_0}{\Delta} C_{22} I_1$$

在 MOSFET 晶体管的情况下，在一个 ESD 事件中电流从器件流向衬底。假设一个 ESD 二极管网络，电流从一个二极管结流向衬底接触。假设在相互作用中一个元件参与其中，只有一个衬底接触是本地元件，我们可以假设在衬底上流动的电流从第一个终端流动到第二个终端，其中所述第一终端是一种接触，而第二个是一个元件。如果物理器件的尺寸较宽，我们可以忽略在 z 方向的电流传输线。在这些情况下，接触在晶圆的顶部上。

假设第一个终端中流动的电流等于第二个终端中的电流，可得 $I_2 = -I_1$。V_1 和 V_2 系数的表达式可以表示为电流 I_1 一个函数，并且在传输线中的损耗因子

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \frac{Z_0}{\Delta}\begin{bmatrix} C_{22} & -C_{12} \\ -C_{21} & C_{11} \end{bmatrix}\begin{bmatrix} I_1 \\ -I_1 \end{bmatrix}$$

与表面电位

$$\psi_{\mathrm{s}}(y) = V(y) - V(L) = \left(V_1 \exp\left\{-\frac{y}{\gamma}\right\} - V_2\right)\left[1 - \exp\left\{-\frac{2(L-y)}{\gamma}\right\}\right]$$

归纳以上方法，我们可以假设，一个元件的电流与第二个元件相关，但它们不相等。这可以表示为第一项的百分比。因此一个三阶导数可以假设 $I_2 = -\delta I_1$，而 δ 是电流的百分比。

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \frac{Z_0}{\Delta}\begin{bmatrix} C_{22} & -C_{12} \\ -C_{21} & C_{11} \end{bmatrix}\begin{bmatrix} I_1 \\ -\delta I_1 \end{bmatrix}$$

要解决沿着感兴趣点接触的衬底情况，衬底可以表示为串联的多个传输线，其插入电阻或短截线以及其他元件可以干扰传输线的终端。电压和电流条件可以使用矩阵乘法推出终端及边界条件。例如，沿着界面，有 n^+ 注入和其他扩散可以改变沿表面上的电流和电压特性。以这种方式，多个元件可以在传输线相交，处理更复杂的电路环境。

4.5　衬底损耗的传输线模型

衬底传输线模型的特性是衬底中掺杂浓度分布的函数。杂质浓度分布对传输线模型损耗特性具有较强的损耗效果[4-6]。

我们感兴趣的是具有薄外延层的重掺杂衬底以及轻掺杂衬底。这个结构可用来改善 CMOS 闩锁效应、软错误率（SER）等问题[7-13]。对于 p 型重掺杂的衬底，感兴趣的是没有 p 阱注入的轻掺杂的外延，具有外延平面的 p 阱，具有互连注入的 p 阱的情况。对于轻掺杂衬底，感兴趣的衬底模型的类型是 p 阱与 p 型晶圆、重掺杂埋层的 p 型晶圆以及具有重掺杂的埋层和终端注入的轻掺杂晶片。此外，还可用于 n 型衬底和三阱模型。在所有的情况下，传输线表达式必须解决传输线损耗因子、特性阻抗和终端阻抗。

Troutman 表明如果把系统视作靠近器件表面的可导区域，在表面以下的第二可导区域以及在两个可导区域之间的双端电阻，传输线表达式可确定。这就形成了带终端阻抗的有损传输线，其终端阻抗与在两个物理区域之间的“上拉电阻”有关。

对于有损传输线的处理，损耗因子和特征阻抗对于估算是非常重要的。这些可以表示为串联电阻和并联电导。损耗因子可以表示为

$$\gamma = \frac{1}{\sqrt{rg}}$$

并且特征阻抗

$$Z_0 = \sqrt{\frac{r}{g}}$$

单位长度的串联电阻可以计算为

$$r = \frac{1}{W} \frac{1}{\int_0^{x_1} \sigma(x)\,\mathrm{d}x}$$

式中，积分可以完成为一个任意深度并且初始化其传输线电导率，对于靠近器件表面注入的情况，并且背面注入为 N_{epi}，我们可以给表面区域定义一个浓度为

$$N_{\mathrm{A}}(x) = N_{\mathrm{epi}} + N_{\mathrm{A}} \exp\left\{ -\left[\frac{x - x_0}{\sqrt{2}\sigma}\right]^2 \right\}$$

在这种情况下，掺杂分布可以代表一个场表面注入，或一个 p 阱区。单位长度的串联电阻可以表示为

$$r = \frac{\rho_0}{WT_{\mathrm{f}}}$$

式中

$$\rho_0 = \frac{1}{q\mu_0 N_{\mathrm{A}}}$$

T_{f}可以表示为高斯分布标准偏差量的函数，即

$$T_{\mathrm{f}} = n\sigma$$

Troutman 表明，这可以被表示为一个无量纲系数 n，这是一个高斯分布的函数，或

$$n = \sqrt{\frac{\pi}{2}}\left[1 + erf\left(\frac{\mu}{\sqrt{2}\sigma}\right)\right] + x_1 \frac{N_{\mathrm{epi}}}{\sigma N_{\mathrm{A}}}$$

在一个 p^{++}衬底或 p^{++}埋层的情况下，有一个电导并联到传输线的底盘。我们定义单位长度的并联电导为

$$g = \frac{W}{\rho_{epi}(T_{epi} + \lambda)}$$

外延的电导率为

$$\rho_{epi} = \frac{1}{q\mu_p N_{epi}}$$

有效厚度由在表面注入（或 p 阱）终点的外延层平面区域和 p^+ 衬底（或 p^{++} 埋层）的起点决定。在 p^{++} 衬底模型情况下，Troutman 增加了一个有效的深度因子来解决在外延层平面和 p^{++} 晶圆重掺杂区域之间的额外有效的厚度，增加了一个外延等效电阻。

对于 p^{++} 晶圆，浓度分布可以被假定等于

$$N_{sub}(x) = \frac{N_{sub}}{2} erfc\left[\frac{x - x_e}{x_0}\right]$$

当我们从上面的表达式确定外延深度，可以让 $x_2 = x_e$。由上面我们可以把等效深度参数表示为

$$\lambda = \frac{x_0}{2} erfc^{-1}\left\{\frac{2N_{epi}}{N_{sub}}\right\}$$

把这些表达式代入损耗因子和特征阻抗关系式，有

$$\gamma = \frac{1}{\sqrt{rg}} = T_{epi}\left[\frac{T_f \rho_{epi}(1 + \lambda/T_{epi})}{T_{epi}\rho_0}\right]^{1/2}$$

$$Z_0 = \sqrt{\frac{r}{g}} = \frac{\rho_{epi}(T_{epi} + \lambda)}{W\gamma}$$

对于 p^{++} 埋层注入，该模型可以通过把埋层视作与第一个串联电阻项与第二个串联电阻项并联来进行修正。并联电导项在这种情况下将不包括有效深度因子。在埋层分析中，所述第二个串联电阻项决定了埋层注入的串联电阻。埋层注入可以表示为一个双面的高斯分布和串联电阻的积分将集成电导。外延厚度边界点与埋层注入的边界相一致。

损耗传输线的终端是工艺注入的函数。在重掺杂埋层注入的情况下，重掺杂注入能够用于连接层与衬底，提供在表面和埋层之间的低电阻串联。这就为 ESD 和闩锁事件的连线提供了一个低阻终端。

4.6　衬底吸收、反射和传输

少数载流子注入到衬底区域会影响 ESD 器件、CMOS 闩锁和噪声。在衬底区域中，有纵向和横向的掺杂浓度梯度。在衬底区域之间也有掺杂浓度变化与跃迁。在器件表面，结构会影响整个衬底的少数载流子的传输。由于集成的电子元件或结构的复杂性，分析其横向尺寸是相当困难的。在很多问题中，我们对载流子不感兴趣，而对在第一次注入到 $x = 0$ 处的源极区域与 $x = L$ 处的第二次收集区域之间的区域感兴趣。

当存在阻止电流流动的物理区域时，或者存在收集多余的少数载流子情况时，用分析方法来确定在衬底的横向影响是困难的。例如，n 扩散，n 沟道 MOSFET、n 阱和 n 带三阱结构可以收集少数载流子电子。此外，少数载流子复合可发生在埋层、保护环和其他

物理基底内的重掺杂 p^{++} 区域。深沟保护环结构也可以防止横向电流流动，也可以阻止区域的表面复合。

由在衬底上评估少数载流子输运的一种方法，我们可以提出一种方法处理衬底中的两个点之间的区域。第一种方法是在给定的宽度以及第一和第二表面的条件下，把每个物理域作为一个独立的域。这就改变了在单一的领域到层状介质的区域。通过这种方法，可以建立一个矩阵，而电子从 0 到 L 的概率是层状介质中的 n 区遍历概率的乘积。为了评价净概率，透射系数从第一表面到第二表面是必需的。寻找从第一和第二边界的透射系数，净传输是产品的透射系数或矩阵。在此区域，载流子被吸收、反射或透射。发生吸收时，载流子被收集在一个合金结中或复合。当接口为一个沟槽接口时，反射可能会出现。传输的载流子未经过复合和收集，从第一表面到第二表面引起传输。

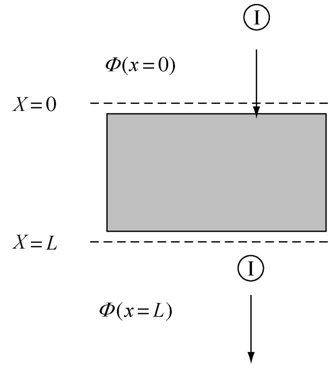


图 4-7　衬底传输矩阵表示

此方法决定的少数载流子电流从第一点到第二点，可以准确地解决表面结构问题，而这些通常在衬底分析方法中被忽略。此方法无法确定的电压势和电流将从衬底上的传输线模型方法来获得。

在半导体晶片中，存在均匀分布的低掺杂浓度，也有高掺杂浓度的衬底晶片和低掺杂薄膜外延晶片。

4.7　衬底电气和温度离散化

对于 ESD 模拟，衬底的建模对于理解热性能和电耦合效应[14]是很重要的。对于电气特性，我们可以表示为

$$\nabla\cdot(\varepsilon\nabla\psi) = -q(p-n+N_{\mathrm{D}}+N_{\mathrm{A}})$$

$$\frac{\partial n}{\partial t} = +\frac{1}{q}\nabla\cdot J_{\mathrm{n}} + G(n,p) - R(n,p)$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q}\nabla\cdot J_{\mathrm{p}} + G(n,p) - R(n,p)$$

与热的关系可表示为

$$c\frac{\partial T}{\partial t} + \nabla\cdot J_{\mathrm{Q}} = H$$

式中，H 是焦耳热，它是汤姆逊热和复合生成热的驱动条件。在器件表面附近，这种关系是明显的，但在的衬底区域中，下列关系与热传导方程的左手法则相比可以被视为微弱的。

$$E = \frac{J_{\mathrm{n}}^2}{\sigma_{\mathrm{n}}} + \frac{J_{\mathrm{p}}^2}{\sigma_{\mathrm{p}}}$$

$$E = T\{\nabla P_{\mathrm{n}}\cdot J_{\mathrm{n}} - \nabla P_{\mathrm{p}}\cdot J_{\mathrm{p}}\}$$

$$E = qR[\phi_{\mathrm{p}} - \phi_{\mathrm{n}} + T(P_{\mathrm{p}} + P_{\mathrm{n}})]$$

然后我们可以近似衬底为一个齐次微分方程的差分系数方程

$$c\frac{\partial T}{\partial t} + \nabla \cdot J_{\mathrm{Q}} = 0$$

假设焦耳热和复合能与热通量和温度梯度相比很小。从这种关系中，发散的热通量密度可表示为

$$\nabla \cdot J_{\mathrm{Q}} = -c\frac{\partial T}{\partial t}$$

对于一个无限小的体积，我们可以从发散定理知道发散的热通量等于通过表面的热通量。假设节点 i 周围的体积可控。于是有

$$\iiint_{\Omega_i} \nabla \cdot J\mathrm{d}\Omega = \iint_{S_i} J\mathrm{d}S = \iiint_{\Omega_i} -\left[c\frac{\partial T}{\partial t}\right]\mathrm{d}\Omega$$

因此

$$\iint_{S_i} J\mathrm{d}S = \iiint_{\Omega_i}\left[-c\frac{\partial T}{\partial t}\right]\mathrm{d}\Omega$$

这个表达式可以被放入一个独立的节点 i 和所有其他所有相邻的节点 j。于是我们有以下形式

$$\iint_{S_i} J\mathrm{d}S = \sum_j J_{ij}S_{ij} = \sum_j J_{ij}w_{ij}d_{ij} = \left\langle \left[-c\frac{\partial T}{\partial t}\right]\Bigg|_i \right\rangle \Omega_i$$

节点 i 和节点 j 之间的表面表示为 w 和 d。

从这个形式中，我们也可以声明

$$\nabla \cdot J = \frac{1}{\Omega_i}\sum_j J_{ij}w_{ij}d_{ij}$$

从热传导方程，我们可以采用一个离散元件表示体元件

$$\Omega_i c_i \frac{\partial T_i}{\partial t} + \Omega_i < \nabla \cdot J_{\mathrm{Q}} >_i = 0$$

然后，代入发散的热通量的表达式，有

$$\Omega_i c_i \frac{\partial T_i}{\partial t} + \Omega_i\left\{\frac{1}{\Omega_i}\sum_j J_{ij}w_{ij}d_{ij}\right\} = 0$$

表示增量热通量为第 i 个元件的热传导方程，以及在节点 i 到节点 j 之间的温度差除以两个结点之间的间距，有

$$J_{ij} = -k_i\frac{T_i - T_j}{h_{ij}}$$

代入热通量的分立表达式，有

$$\Omega_i c_i \frac{\partial T_i}{\partial t} + \Omega_i\left\{\frac{1}{\Omega_i}\sum_j k_i\frac{T_i - T_j}{h_{ij}}w_{ij}d_{ij}\right\} = 0$$

重组表达式有

$$\{\Omega_i c_i\}\frac{\partial T_i}{\partial t}+\left\{\sum_j k_i\frac{w_{ij}d_{ij}}{h_{ij}}(T_i-T_j)\right\}=0$$

从上面的表达式，我们可以为体元件定义热容为

$$C_i=\Omega_i c_i$$

从第 i 个元件到第 j 个元件的体元件的热传导方程为

$$G_{ij}=k_i\frac{w_{ij}d_{ij}}{h_{ij}}$$

$$C_i\frac{\partial T_i}{\partial t}+\left\{\sum_j G_{ij}(T_i-T_j)\right\}=0$$

在离散的网格中，节点的表达式仍然有效，假设它可以被用来定义一个给定的点的热容量和热传导。在一个三维的矩形网格，电学模拟是 6 个从节点 i 到所有节点 j 的任意方向的电导元件以及电极是点 i 到热衬底表面电容元件。

在这种形式中，我们能够关联热容表达式和与其相关联的电气表达式。由代入关系可知

$$J_{\rm n}=-q\mu_{\rm n}nE+qD_{\rm n}\nabla n+q_{\rm n}D_{\rm n}^{\rm T}\nabla T$$

$$J_{\rm p}=-q\mu_{\rm p}pE-qD_{\rm p}\nabla p+q_{\rm p}D_{\rm p}^{\rm T}\nabla T$$

规范化代入关系，而代入势梯度的电场为

$$\frac{J_{\rm n}}{q\mu_{\rm n}n}=-\nabla V+\frac{qD_{\rm n}}{q\mu_{\rm n}n}\nabla n+\frac{q_{\rm n}Dn}{q\mu_{\rm n}n}\nabla T$$

使

$$\frac{J_{\rm n}}{q\mu_{\rm n}n}=-\nabla V+\frac{D_{\rm n}}{\mu_{\rm n}}\frac{\nabla_{\rm n}}{n}+\frac{D_{\rm n}}{\mu_{\rm n}}\nabla T$$

或

$$\frac{J_{\rm n}}{q\mu_{\rm n}nV_{\rm th}}=-\frac{\nabla V}{V_{\rm th}}+\frac{\nabla n}{n}+\nabla T$$

从这个形式，我们可以作一个假设，如果超过某一间距，归一化电势的变化明显大于载流子密度或热梯度的变化，则该系统可以弱化为到一个以漂移为主的系统，其中的扩散电流和温度梯度驱动条件可以忽略不计。

载流子输运表达式可以假定为漂移为主，其中

$$J_{\rm n}=-q\mu_{\rm n}n\nabla V$$

$$J_{\rm p}=-q\mu_{\rm p}p\nabla V$$

从电流的连续性表达式，有

$$\frac{\partial n}{\partial t}-\frac{1}{q}\nabla\cdot J_{\rm n}=G-R$$

$$\frac{\partial p}{\partial t}+\frac{1}{q}\nabla\cdot J_{\rm p}=G-R$$

我们可以表示 n 型衬底，ρ 是电阻率，有

$$q\left\{\frac{\partial p}{\partial t}-\frac{\partial n}{\partial t}\right\}=-\nabla\cdot\{J_{\mathrm{n}}+J_{\mathrm{p}}\}=\frac{1}{\rho}\{\nabla\cdot E\}$$

通过半导体的高斯定律对时间进行微分，有

$$\frac{\partial}{\partial t}\nabla\cdot(\varepsilon\nabla\psi)=\frac{\partial}{\partial t}\{-q(p-n+N_{\mathrm{D}}+N_{\mathrm{A}})\}=-q\left\{\frac{\partial p}{\partial t}-\frac{\partial n}{\partial t}\right\}$$

从上述两个方程中，时间和空间变化的电场可以被证明是等于

$$\varepsilon\frac{\partial}{\partial t}\{\nabla\cdot E\}+\frac{1}{\rho}\{\nabla\cdot E\}=0$$

从这种形式，显而易见的是，衬底的热响应与特征时间尺度与电荷弛豫时间之间的关系相关。代入归一化的时间表达式可以证明

$$\frac{\partial}{\partial(t/\varepsilon\rho)}\{\nabla\cdot E\}+\{\nabla\cdot E\}=0$$

电荷弛豫时间是介质有效 *RC* 时间的一个微观形式。这个表达式的离散形式为

$$\nabla\cdot E=\frac{1}{\Omega_i}\sum_j E_{ij}w_{ij}d_{ij}$$

于是有

$$\varepsilon\frac{\partial}{\partial t}\left\{\frac{1}{\Omega_i}\sum_j E_{ij}w_{ij}d_{ij}\right\}+\frac{1}{\rho}\left\{\frac{1}{\Omega_i}\sum_j E_{ij}w_{ij}d_{ij}\right\}=0$$

替代为增量表面之间的电位差，有

$$E_{ij}=\frac{V_i-V_j}{h_{ij}}$$

$$\left\{\frac{1}{\Omega_i}\sum_j \varepsilon w_{ij}d_{ij}\frac{\partial}{\partial t}\left\{\frac{V_i-V_j}{h_{ij}}\right\}\right\}+\left\{\frac{1}{\Omega_i}\sum_j \sigma w_{ij}d_{ij}\left\{\frac{V_i-V_j}{h_{ij}}\right\}\right\}=0$$

然后，我们可以将系统表示为

$$\sum_j G_{ij}(V_i-V_j)+C_{ij}\left(\frac{\partial V_i}{\partial t}-\frac{\partial V_j}{\partial t}\right)=0$$

在这里我们定义的电导率和电容项为

$$G_{ij}=\sigma\frac{w_{ij}d_{ij}}{h_{ij}}$$

$$C_{ij}=\varepsilon\frac{w_{ij}d_{ij}}{h_{ij}}$$

在这种形式中，电导和电容的关系是节点 i 到所有相邻的节点 j 之间电容区域的六个面的并行关系。因此，在衬底的电气模型与衬底的有效 *RC* 时间相关。衬底的动态响应是相关衬底有效 *RC* 时间的特征时间函数。如果在衬底的导电率大，则载流子可以筛选出电场，使介质建立平衡态。对于高电阻的衬底，电场需要更长时间去减弱瞬态电场。

4.8　衬底效应：电气传输阻抗

对于静电放电现象，建立衬底的模型对于理解热和电的耦合作用是很重要的。Troutman 将转移电阻的概念应用到衬底，以解决相关的闩锁的耦合现象[6]。在二维情况

下，网络可以被表示为一个梯形网络，如图 4-8 所示。

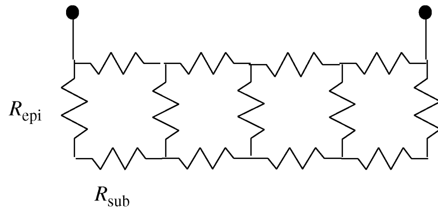


图 4-8 衬底上的传输电阻梯形网络表示

图 4-9 给出了三维和多个元件在同一衬底上的情况时的解。当一个共同的衬底上包含多个元件，对于一个给定元件的衬底电位依赖于该系统中的电压降或电流[15]。

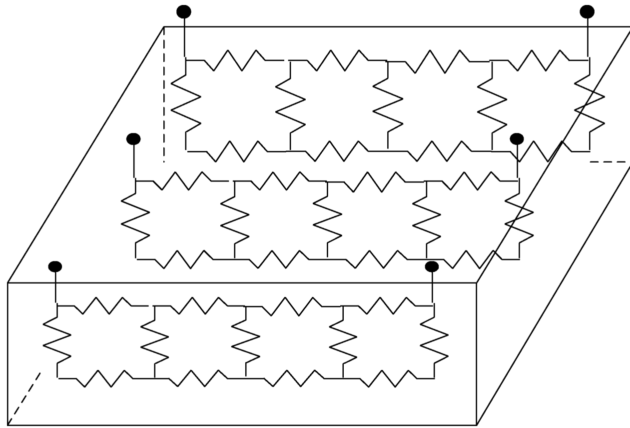


图 4-9 带有多输入端的三维电阻性衬底

由于在一个共同的衬底上包含 n 个元件，我们可以用 n 个电流的关系定义一个通用系统，如下：

$$\begin{bmatrix} V_1 \\ V_2 \\ \cdots \\ \cdots \\ V_n \end{bmatrix} = \begin{bmatrix} R_{11} & R_{12} & \cdots & \cdots & R_{1n} \\ R_{21} & R_{22} & \cdots & \cdots & R_{2n} \\ \cdots & & \cdots & & \\ \cdots & & & \cdots & \\ R_{n1} & R_{n2} & \cdots & \cdots & R_{nm} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \\ \cdots \\ \cdots \\ I_n \end{bmatrix}$$

电阻用二阶矩阵表示，电压和电流分别用一阶矩阵表示：

$$V_i = R_{ij} I_j$$

或

$$V_i = \sum_{j=1}^{j=n} R_{ij} I_j = R_{i1} I_1 + R_{i2} I_2 + R_{i3} I_3 + \cdots + R_{in} I_n$$

在这个公式中，电阻的主对角线是“自电阻”项目，非对角线元件是“互电阻”项或转移电阻项。在这种形式中，在第 i 个元件的影响是从其他元件注入到衬底的电流的函数。

在一个本地衬底接触的每一个元件的情况下，存在弱耦合，那么我们可以假设：

$$R_{ij} = 0 \qquad \forall i \neq j$$

$$\begin{bmatrix} V_1 \\ V_2 \\ \cdots \\ \cdots \\ V_n \end{bmatrix} \simeq \begin{bmatrix} R_{11} & 0 & & & 0 \\ 0 & R_{22} & & & \\ \cdots & & \cdots & & \\ \cdots & & & \cdots & \\ 0 & \cdots & \cdots & \cdots & R_{nn} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \\ \cdots \\ \cdots \\ I_n \end{bmatrix}$$

在这种情况下的各个元件可以被视为独立的元件，并没有通过衬底相互作用。

在存在 n 个元件但只有 m 个元件被连接到同一的衬底接触和其他 $n-m$ 个元件有独立的衬底接触的情况下，矩阵的形式可以被描述为

$$\begin{bmatrix} V_1 \\ V_2 \\ \cdots \\ V_m \\ \cdots \\ V_{n-1} \\ V_n \end{bmatrix} = \begin{bmatrix} R_{11} & R_{12} & \cdots & R_{1m} & 0 & 0 & 0 \\ R_{21} & R_{22} & \cdots & R_{2m} & 0 & 0 & 0 \\ \cdots & & \cdots & & 0 & 0 & 0 \\ R_{m1} & R_{m2} & & R_{mm} & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & \cdots & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & R_{n-1n-1} & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & R_{nn} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \\ \cdots \\ \\ \\ I_{n-1} \\ I_n \end{bmatrix}$$

二阶矩阵的主对角线项可以估算出来，利用衬底区域中的一个共同的平面上器件的物理电阻。这可以通过器件模拟或分析得到。这个电阻可以由一系列的电阻元件组成，注入电流流过这些电阻。二阶电阻矩阵的非对角项可以通过模拟或分析得到。这些都与第 i 个元件下面的衬底电位有关，而第 i 个元件下面的衬底电位是第 j 个元件处注入电流引起的。

在 Li 等人[15]提出的解决方案中，转移电阻被描述成 $m \times n \times p$ 转移电阻矩阵的形式，其中有 m 个注入电流源，n 个衬底接触和 p 个感兴趣的位置。在这种形式中，它可以表示为

$$R_{ji}^{k} = V_{ji}^{k}/I_i$$

式中，i 是 m 个注入源的序数，j 是在 p 个感兴趣位置的序数，且 k 是的 n 个衬底接触的序数。在这种形式下，对于 m 个注入位置和 n 衬底接触，转移矩阵项可以被求解。这可以被应用到多个器件或者多指元件系统中。

4.9　衬底效应：热传输阻抗

对于一个共用给定衬底的多元系统，要了解其热力学温度，我们可以用以下关系去近似了解热耦合的热电气模型。当一个共用的衬底上包含多个元件时，给定元件的衬底

局部温度与其所在系统的周围元件的温度变化是有相关性的，该温度等于功率和热阻抗的乘积，即

$$T = P\theta_{TH}$$

因此，假设在一个共同的衬底上包含 n 个元件，我们可以定义一个通用的系统，其中与 n 的关系为

$$\begin{bmatrix} T_1 \\ T_2 \\ \cdots \\ \cdots \\ T_n \end{bmatrix} = \begin{bmatrix} \theta_{11} & \theta_{12} & \cdots & \cdots & \theta_{1n} \\ \theta_{21} & \theta_{22} & & & \theta_{2n} \\ \cdots & & \cdots & & \\ \cdots & & & \cdots & \\ \theta_{n1} & \theta_{n2} & \cdots & \cdots & \theta_{nn} \end{bmatrix} \begin{bmatrix} P_1 \\ P_2 \\ \cdots \\ \cdots \\ P_n \end{bmatrix}$$

其代表一个二阶张量的热阻表达式，其中温度和功率是一阶向量，即

$$T_i = \theta_{ij} P_j$$

或

$$T_i = \sum_{j=1}^{j=n} \theta_{ij} P_j = \theta_{i1} P_1 + \theta_{i2} P_2 + \theta_{i3} P_3 + \cdots + \theta_{in} P_n$$

在这个公式中，热电阻的主对角线是“自热阻”项，非对角线元件是“互热阻”项或者传输热阻项。在这种形式中，对第 i 个元件的影响是其他元件注入到衬底的功率的函数。

这种情况下，每个元件都有一个弱耦合的本地衬底热接触点，那么我们可以假设

$$\theta_{ij} = 0 \qquad \forall\, i \neq j$$

$$\begin{bmatrix} T_1 \\ T_2 \\ \cdots \\ \cdots \\ T_n \end{bmatrix} \simeq \begin{bmatrix} \theta_{11} & 0 & \cdots & \cdots & 0 \\ 0 & \theta_{22} & & & \\ \cdots & & \cdots & & \\ \cdots & & & \cdots & \\ 0 & \cdots & \cdots & \cdots & \theta_{nn} \end{bmatrix} \begin{bmatrix} P_1 \\ P_2 \\ \cdots \\ \cdots \\ P_n \end{bmatrix}$$

在这种情况下，各个元件可以被视为独立的，没有通过衬底相互作用。

在 n 个元件中，但只有 m 个元件被连接到共同的衬底热接触点的情况，所有的 $n-m$ 个元件有独立的衬底热接触点，那么该矩阵的形式可以表示为

$$\begin{bmatrix} T_1 \\ T_2 \\ \cdots \\ T_m \\ \cdots \\ T_{n-1} \\ T_n \end{bmatrix} = \begin{bmatrix} \theta_{11} & \theta_{12} & \cdots & \theta_{1m} & 0 & 0 & 0 \\ \theta_{21} & \theta_{22} & \cdots & \theta_{2m} & 0 & 0 & 0 \\ \cdots & & \cdots & & 0 & 0 & 0 \\ \theta_{m1} & \theta_{m2} & & \theta_{mm} & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & \cdots & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & \theta_{n-1n-1} & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & \theta_{nn} \end{bmatrix} \begin{bmatrix} P_1 \\ P_2 \\ \cdots \\ \\ \\ P_{n-1} \\ P_n \end{bmatrix}$$

从衬底区域中一个公共平面上的器件的物理热阻可以估算出二阶热阻张量的主对角

线项，可以通过器件模拟或分析来实现。这种热阻可能由一系列注入了功率流的热阻元件组成。可以通过仿真分析来获得二阶热阻张量的非对角线项，其结果受由第 j 个元件注入功率引起的第 i 个元件衬底热电势的影响。

应用与 Li[15] 相似的方法，热传输电阻可以表示为传输电阻的 $m\times n\times p$ 矩阵，其中有 m 个功率注入源、n 个热沉、p 个感兴趣的位置。在这种形式中，它可以表示为

$$\theta_{ji}^{k} = T_{ji}^{k}/P_{i}$$

式中，i 是热源 m 的指数，j 是感兴趣的位置 p 的指数，k 是 n 个衬底热接触点的指数。

4.10　衬底温度阻抗模型

4.10.1　可变横截面模型

衬底阻抗模型对于评估电阻以及评估电源故障和峰值温度的热阻都是很重要的[16-19]。当半导体器件的放电电流流入一个半无限区域，电流密度作为关于一个角度的函数，在衬底接触区域的 z 方向是不均匀的。电流密度呈旋转角的函数形式降低，导致电流密度的区域是可以忽略的。如此分析，简化边界条件可以使解相对简单。根据建模需要，可以定义一个圆锥体，假设一个绝热的虚拟边界，不允许界面以外的电流流动，A（z）在 z 方向上是可变的[18,19]。这种方式避免了格林函数以及热混合边界条件。

此外，半无限区域的表面附近存在隔离区，该隔离区可以防止横向电流传输，同时在 z 方向上其横截面是可变的。半导体结构被定义为 LOCOS 隔离、浅沟槽隔离（STI）、深沟槽（DT）和 V 形槽结构。电流流动的区域可以根据区域侧壁的斜率决定面积的增加或减少。而电流不流过物理边界。对于热效应，假如热通量在很短的时间下可以忽略不计，那么可以假定周边是绝热的，所有的热通量不流经绝缘区域。

在上述假设下，归纳热阻表达式，我们可以定义热阻为一系列或者带变横截面的热电阻的积分，即

$$R_{\mathrm{TH}} = \int \frac{\mathrm{d}z}{\kappa(z)A(z)}$$

假设一个长度为 l、宽度为 w 的矩形平行表面，一个三维梯形区域可以定义，其中所有方向中在 z 方向的面积的增加作为固定角度，同时两个方向上的长度和宽度的增加以同样方式定义角度。长度与宽度如下：

$$w(z) = w_0 + 2z\tan\theta$$

$$l(z) = l_0 + 2z\tan\theta$$

热电阻的形式为

$$R_{\mathrm{TH}} = \int_0^L \frac{\mathrm{d}z}{\kappa(z)(w_0 + 2z\tan\theta)(l_0 + 2z\tan\theta)}$$

热电阻在假设面积随深度增加时表示如上。这种处理可以用于区域面积随尺寸 z 减小等方面（例如，在一个 V 形槽绝缘体或倾斜侧壁的硅区域）。

上述结果可以用表达式表示为

$$R_{\mathrm{TH}} = \int_0^L \frac{\mathrm{d}z}{4\kappa(z)\tan^2\theta(z+\alpha)(z+\beta)}$$

式中

$$\alpha = \frac{w_0}{2\tan\theta}$$

$$\beta = \frac{l_0}{2\tan\theta}$$

依据部分分式的积分方法，可以获得待定系数，即

$$R_{\mathrm{TH}} = \int_0^L \frac{\mathrm{d}z}{4\kappa(z)\tan^2\theta}\left\{\frac{1}{\beta-\alpha}\right\}\left\{\frac{1}{z+\alpha}-\frac{1}{z+\beta}\right\}$$

式中，积分式被明确地表示为自然对数。为了简化形式，我们将假设热导率不随深度变化。求解积分式并应用如下等式计算自然对数的减法，有

$$R_{\mathrm{TH}} = \frac{1}{4\kappa\tan^2\theta}\left[\frac{1}{\beta-\alpha}\ln\left\{\frac{z+\alpha}{z+\beta}\right\}\right]_0^L = \frac{1}{4\kappa\tan^2\theta}\ \frac{1}{\beta-\alpha}\left\{\ln\left[\frac{L+\alpha}{L+\beta}\right]-\ln\left[\frac{\alpha}{\beta}\right]\right\}$$

应用等式计算自然对数的减法，带入变量，一般表达式可表示为

$$R_{\mathrm{TH}} = \frac{1}{2\kappa\tan\theta}\left(\frac{1}{l_0-w_0}\right)\ln\left[\frac{(2L+w_0/\tan\theta)}{(2L+l_0/\tan\theta)}\ \frac{(l_0/\tan\theta)}{(w_0/\tan\theta)}\right]$$

这个式子在少数情况下可以简化。对于第一种情况，假设长度明显大于宽度表达式。

情况Ⅰ：$2L >> w_0/\tan\theta$

$$R_{\mathrm{TH}} = \frac{1}{2\kappa\tan\theta}\left(\frac{1}{l_0-w_0}\right)\ln\left[\frac{l_0}{w_0}\xi_l\right]$$

式中

$$\xi_l = \frac{1}{1+\left(\dfrac{l_0}{2L\tan\theta}\right)}$$

情况Ⅱ：$2L >> w_0/\tan\theta$ 且 $2L >> l_0/\tan\theta$，表达式简化的形式为

$$R_{\mathrm{TH}} = \frac{1}{2\kappa\tan\theta}\left(\frac{1}{l_0-w_0}\right)\ln\left[\frac{l_0}{w_0}\right]$$

泰勒展开积分表达式可以近似表示为

$$\ln x \simeq \frac{x-1}{x}+\frac{1}{2}\left(\frac{x-1}{x}\right)^2+\cdots$$

该表达式可以简化为

$$R_{\mathrm{TH}} = \frac{1}{2\kappa\tan\theta}\left(\frac{1}{l_0-w_0}\right)\ln\left[\frac{l_0}{w_0}\right] \simeq \frac{1}{2\kappa\tan\theta}\left(\frac{1}{l_0-w_0}\right)\left[\frac{l_0-w_0}{l_0}+\frac{1}{2}\left(\frac{l_0-w_0}{l_0}\right)^2\right]$$

$$R_{\mathrm{TH}} = \frac{1}{2\kappa\tan\theta}\left(\frac{l}{l_0-w_0}\right)\ln\left[\frac{l_0}{w_0}\right] \simeq \frac{1}{2\kappa l_0\tan\theta}$$

上式表明，结果与器件的特征尺寸相关。在另一个应用格林函数方法的开发中，表达式可以简化成

$$R_{\mathrm{TH}} = \frac{1}{4\kappa\sqrt{l_0 w_0}}$$

根据 Joy 和 Schlig 的格林函数[1]方法，特征长度是宽度和长度的算术平均值。

4.10.2　可变椭圆横截面模型

对于具有可变横截面的椭圆区域，用绝缘侧壁深度的函数评估热电阻，可以得到与矩形结构相同的形式。椭圆在 x 和 y 方向上的等式如下，其中 z 是主轴和次轴的一个参数：

$$\frac{x^2}{a^2(z)} + \frac{y^2}{b^2(z)} = 1$$

椭圆面积的计算方法是关于 x 的积分：

$$A(z) = 2\int_{x=-a(z)}^{x=a(z)} |y(x, z)| \mathrm{d}x = 4\int_{x=0}^{x=a(z)} b(z) \sqrt{1 - \frac{x^2}{a(z)^2}}\mathrm{d}x$$

$$A(z) = 4\frac{b(z)}{a(z)}\int_{x=0}^{x=a(z)} \sqrt{a^2(z) - x^2}\mathrm{d}x = \frac{4b(z)}{a(z)}\left[\frac{x}{2}\sqrt{a^2 - x^2} + \frac{a^2(z)}{2}\sin^{-1}\left(\frac{x}{a}\right)\right]\Bigg|_0^a$$

$$= \pi a(z)b(z)$$

在上述假设条件下，归纳热阻表达式，可以定义热阻是带变横截面的热阻的串联或者积分：

$$R_{\mathrm{TH}} = \int\frac{\mathrm{d}z}{\kappa(z)A(z)} = \int_0^L\frac{\mathrm{d}z}{\pi\kappa(z)\{a(z)b(z)\}}$$

三维梯形区域可以定义为两个方向上的固定角度的 z 方向上面积的增加：

$$a(z) = a_0 + 2z\tan\theta$$

$$b(z) = b_0 + 2z\tan\theta$$

上面的表达式可表示为

$$R_{\mathrm{TH}} = \int_0^L\frac{\mathrm{d}z}{\pi\kappa(z)\tan^2\theta(z+\alpha)(z+\beta)}$$

式中

$$\alpha = \frac{a_0}{\tan\theta}$$

$$\beta = \frac{b_0}{\tan\theta}$$

依据部分分式的积分方法，获得待定系数，积分式可由下式表达：

$$R_{\mathrm{TH}} = \int_0^L\frac{\mathrm{d}z}{\pi\kappa(z)\tan^2\theta}\left\{\frac{1}{\beta-\alpha}\right\}\left\{\frac{1}{z+\alpha} - \frac{1}{z+\beta}\right\}$$

在上式中，积分式被明确的表示为自然对数。为简化式子，假设热导率不随深度变化。求解积分并应用等式进行自然对数的减法运算。

$$R_{\mathrm{TH}} = \frac{1}{\pi\kappa\tan^2\theta}\left[\frac{1}{\beta-\alpha}\ln\left\{\frac{z+\alpha}{z+\beta}\right\}\right]_{0}^{L} = \frac{1}{4\kappa\tan^2\theta}\frac{1}{\beta-\alpha}\left\{\ln\left[\frac{L+\alpha}{L+\beta}\right] - \ln\left[\frac{\alpha}{\beta}\right]\right\}$$

应用等式进行自然对数的减法运算，代入变量，得出一般表达式如下：

$$R_{\mathrm{TH}} = \frac{1}{\pi\kappa\tan\theta}\left(\frac{1}{b_0 - a_0}\right)\ln\left[\frac{(L\tan\theta + a_0)(b_0)}{(L\tan\theta + b_0)(a_0)}\right]$$

在少数情况下，这个表达式可以简化。对于第一种情况，假设长度明显大于宽度表达式。

情况Ⅰ：$2L >> a_0/\tan\theta$

$$R_{TH} = \frac{1}{\pi\kappa\tan\theta}\left(\frac{1}{b_0 - a_0}\right)\ln\left[\frac{b_0}{a_0}\xi_b\right]$$

式中，

$$\xi_b = \frac{1}{1 + \left(\frac{b_0}{L\tan\theta}\right)}$$

情况Ⅱ：$2L >> a_0/\tan\theta$ 且 $2L >> b_0/\tan\theta$，表达式简化为如下形式：

$$R_{TH} = \frac{1}{\pi\kappa\tan\theta}\left(\frac{1}{b_0 - a_0}\right)\ln\left[\frac{b_0}{a_0}\right]$$

泰勒展开该积分表达式可以近似表达为

$$\ln x \simeq \frac{x-1}{x} + \frac{1}{2}\left(\frac{x-1}{x}\right)^2 + \cdots$$

该表达式可以简化为：

$$R_{TH} = \frac{1}{\pi\kappa\tan\theta}\left(\frac{1}{b_0 - a_0}\right)\ln\left[\frac{b_0}{a_0}\right] \simeq \frac{1}{\pi\kappa\tan\theta}\left(\frac{1}{b_0 - a_0}\right)\left[\frac{b_0 - a_0}{b_0} + \frac{1}{2}\left(\frac{b_0 - a_0}{b_0}\right)^2\right]$$

$$R_{TH} = \frac{1}{\pi\kappa\tan\theta}\left(\frac{1}{b_0 - a_0}\right)\ln\left[\frac{b_0}{a_0}\right] \simeq \frac{1}{\pi\kappa b_0\tan\theta}$$

对于45°角情况，有

$$R_{TH} \simeq \frac{1}{\pi\kappa b}$$

对于带绝缘侧壁的圆锥区域（见图4-10），有

$$R_{TH} = \int \frac{dz}{\kappa(z)A(z)} = \int_0^L \frac{dz}{\kappa(z)\{\pi r^2(z)\}}$$

$$= \int_0^L \frac{dz}{\kappa(z)\{\pi(r_0 + z\tan\theta)^2\}}$$

$$R_{TH} = \frac{1}{\pi\kappa\tan^2\theta}\int_0^L \frac{dz}{(z + r/\tan\theta)^2}$$

$$= \frac{1}{\pi\kappa\tan^2\theta}\left\{\left(\frac{L}{L + r_0/\tan\theta}\right)\left(\frac{1}{r_0/\tan\theta}\right)\right\}$$

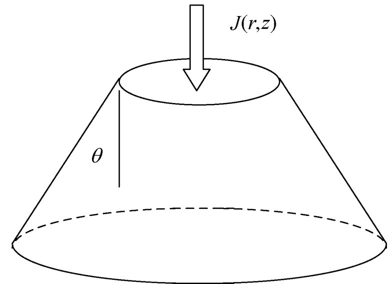


图4-10　带圆锥型绝缘边界条件的热电阻衬底模型

当衬底的长度 L 明显大于半径时，有

$$R_{TH} \simeq \frac{1}{\pi\kappa r_0\tan\theta}$$

此时对于45°角，有

$$R_{TH} \simeq \frac{1}{\pi\kappa r_0}$$

注意该解与圆锥的方式的解是一致的。依据圆锥以及自然对数的泰勒展开式的解，

在极限情况下，主轴和次轴都是平等的。当 a 接近 b 时，结果是

$$R_{TH} = \frac{1}{\pi\kappa}\left(\frac{1}{b_0 - a_0}\right)\ln\left[\frac{b_0}{a_0}\right] \simeq \frac{1}{\pi\kappa}\ \frac{1}{a_0}\left(\frac{1}{b/a^{-1}}\right)\left[\frac{b/a - 1}{b/a} + \cdots\right] = \frac{1}{\pi\kappa b}$$

依据这个推导，已经表明，一个圆锥区域或者椭圆形区域，它的电流扩展可以被视为一个最小电流的虚拟状态，或者是一个真实的没有电流流通的绝缘边界，该解中都存在电和热的问题。在所有情况下，当椭圆形或圆形区域的长度明显大于平面尺寸的大小时，其热阻或电阻与平面尺寸的特征长度相关联。

4.10.3　背面衬底集总分析模型

对于与衬底背面接触的电阻的集总分析模型，已经由 Schutz、Selberherr 和 Potzl 通过应用衬底电流扩散角 θ、晶片厚度 t、宽度参数 w 和硅的电阻率 ρ_S 给出[19]。衬底阻抗可表示为

$$R_{sub} = \frac{\rho_s}{2\tan\theta}\ln\left[\frac{w(t)}{w}\right]$$

其中宽度在半导体芯片的背面形成一个圆锥形区域。用这种方式，我们可以表示区域的宽度，作为电流扩散角的函数，即

$$w(t) = w + 2t\tan\theta$$

式中

$$R_{sub} = \frac{\rho_s}{2\tan\theta}\ln\left[\frac{w + 2t\tan\theta}{w}\right]$$

该模型用于评估与背面接触的衬底阻抗。该模型可适用于设备的表面，以评估当背面接触时，设备上的衬底阻抗效应。

4.11　重掺杂衬底

重掺杂衬底晶圆对于半导体元件和静失电网络的 ESD 鲁棒性有着显著的效果。重掺杂晶圆对于半导体芯片来说也有着显著优势。因为俄歇复合，所以具有极短的复合时间。因此，它们为 α 粒子、宇宙射线和重离子活动等电离活动提供良好的恢复性。重掺杂的衬底提供低错误率（SER），以及对于 CMOS 闩锁的低灵敏度。重掺杂的衬底也降低了对于衬底接触间距和设计上的要求和灵敏度。同时，重掺杂衬底晶圆也显著影响 ESD 的设计和结果。在重掺杂的衬底上提供一个低电阻通路分流到衬底，这对于一些 ESD 设计来说是优势，但对于其他设计来说是缺点[7-13]。

p^{++} 晶圆可以用余误差函数的形式表示为浓度的分布，即

$$N_{sub}(x) = N_{epi} + \frac{N_{sub}}{2}erfc\left[\frac{x - x_e}{x_0}\right]$$

对于金属氧化物半导体场效应晶体管（MOSFET）而言，重掺杂的衬底导致了 MOSFET 的转折电压的增加。为了使 MOSFET 转折发生，源极到衬底之间的电压必须建立，并且它必须是大于或等于衬底电流乘以衬底电阻。从电流方程闩锁条件，有

$$V_{be} \geqslant I_{sx} R_{sub}$$

当衬底的电阻降低，MOSFET 必须用更高的衬底电流实现 MOSFET 转折。因此，从 MOSFET 电流关系得到

$$V_{be} \geqslant [(M-1)(I_{DS}+I_C)-I_B]R_{sub}$$

因此，当衬底电阻减少时，括号中的第一项必须显著地增加。此外，在叉指式 MOSFET 结构中，因为只有部分的电气节点耦合，故不同的 MOSFET 多指不会呈现出相同的电压。在这种情况下，具有热不稳定性的电压 V_{t2} 超过具有电不稳定电压 V_{t1} 是一种优势。当 MOSFET 转折，V_{t1} 超过 V_{t2}，所有的 MOSFET 多指不能打开。因此，叉指式 MOSFET 的 ESD 鲁棒性将降低。作为这个影响的结果，p^+ 衬底 MOSFET 的 ESD 鲁棒性是显著低于其在 p 型衬底晶圆中的。

在二极管结构的情况下，二极管结构的 ESD 鲁棒性与 p^{++} 衬底晶圆显著提高。使用 n 阱到衬底的二极管元件，p^{++} 衬底区域提供了到衬底的区域的一个较低的二极管的串联电阻。n 阱到衬底的冶金结的设计，使得 n 阱区紧靠位于外延掺杂浓度区以及重掺杂衬底区之间的过渡掺杂浓度。在这些结构中，衬底触点对于 n 阱二极管并不重要。带浅沟隔离（STI，即 p^+ 衬底的 n^+ 接触）的 n 阱二极管的人体测量首先被 Voldman 和 Hargrove 所测量。ESD 人体模型结果超过 -10kV，用 100mm 长的二极管得以实现。Brown 和 Voldman 证明，HBM 的 n 阱二极管的 ESD 鲁棒性在 p 型衬底晶圆上减少到 -5kV。因此，相比于一个 p 型衬底晶圆来说，p^{++} 衬底在 n 阱二极管的 ESD 的鲁棒性至少提供了两方面的改善。p^{++} 重掺杂晶圆的第二个优势是垂直双极晶体管将对 Kirk 效应不那么敏感。在纵向 pnp 型晶体管中，当基极电流从注入的 p^{++} 衬底的 p^+ 源极或漏极流过时，为了防止单位增益截止频率的降低，n 阱到衬底的冶金结将对基极的溢出效应不那么敏感。另外，对于纵向 pnp 型晶体管而言，相对于发射极来说较高的衬底掺杂浓度导致了较高的反向电流输运项 α_r。当衬底是在一个接地，且一个负脉冲被施加到输入节点时，这就提供了良好的反向注入。这种效应是从 STI 界面的双二极管网络的失效机制中观察到的。这种微妙的效果可以在二极管结构的 10kV 的互连损伤模式中观察到。

有很多重掺杂衬底的微妙的优势，都是有利于 ESD 和闩锁。例如，p^{++} 重掺杂衬底的一个额外的优点是保护环效率的提高。保护环可提供收集少数载流子电子的能力；n 阱二极管或其他 STI 边界的扩散将会在外延区域中注入电子。通过在这些结构旁放置一个 n 阱环，少数载流子电子进入 p^{++} 的衬底区域或被 n 阱的环结构收集。由于在 p^+ 衬底中的高的复合率，进入 p^{++} 衬底的少数载流子电子有较低的概率逸出到 n 阱环结构以外。

4.12 轻掺杂衬底

低掺杂衬底晶圆对于半导体元件和 ESD 网络在 ESD 鲁棒性上有着显著地影响。低掺杂的 p 型晶圆对于半导体芯片有着显著的优点。低掺杂的 p 型晶圆可提供低的衬底电

容，良好的噪声隔离，并降低了成本。对于半导体元件，无论是双极型晶体管，还是 MOSFET 这都是一个优势。对于双极型晶体管而言，集电极到衬底电容的降低导致了单位功率增益截止频率的显著提高。在模拟和数字电路之中，噪声隔离改进了。此外，在 RF 应用中，高品质因数（Q）的无源电感可以在低掺杂的衬底上构成。

对于器件附近的 p 阱来说，利用 N_{sub}衬底掺杂，我们可以定义表面区域的浓度为

$$N_A(x) = N_{sub} + N_A \exp\left\{-\left[\frac{x - x_0}{\sqrt{2}\sigma}\right]^2\right\}$$

对于金属氧化物半导体场效应晶体管（MOSFET）器件来说，轻掺杂衬底导致了 MOSFET 转折电压的降低。为了使 MOSFET 转折发生，在源极到衬底施加偏置电压，且它必须大于或等于衬底电流乘以衬底电阻。从 MOSFET 电流方程条件可知

$$V_{be} \geqslant I_{sx} R_{sub}$$

由于衬底的电阻增加，MOSFET 可以有较低的衬底电流去触发 MOSFET 折返。因此，从 MOSFET 电流的关系可得

$$V_{be} \geqslant [(M-1)(I_{DS}+I_C) - I_B] R_{sub}$$

因此，当衬底电阻增加时，上式括号中的第一项可以显着降低。此外，在一个叉指状的 MOSFET 结构中，因为 MOSFET 的第一触发电压 V_{t1}变得低于 MOSFET 第二触发电压 V_{t2}，故 ESD 鲁棒性得到改善。这种效果的结果是，MOSFET 在 p 型衬底中的 ESD 的鲁棒性显著地更高。

随着工艺被缩放到较低的电压，衬底掺杂浓度同时被缩放将导致较低的 MOSFET 转折电压，这对于基于 MOSFET 的 ESD 策略来说是一种优势。在高端先进的工艺中，雪崩倍增一维和二维效应的建模对于 MOSFET 二次击穿的预测是很重要的[20]。Boselli、Reddy 和 Duvvury 证明，随着衬底晶圆从 2Ω · cm 增加到 50Ω · cm，对于 0.5μm 的 MOSFET 来说其二次击穿从约 4mA/μm 增加到 5mA/μm[21]。当衬底掺杂浓度减小时，二次击穿电流的二阶导数相比于设计宽度来说减小。对于更高的 p 衬底掺杂来说，在 2Ω · cm 处，二次击穿电流随设计宽度快速减少。由于衬底掺杂浓度增加，dI_{t2}/dW 减小。这表现在，当衬底掺杂增加时，MOSFET 的电流约束减小导致电流约束有着更宽的宽度和更高的 W_{eff}。

不幸的是，也有很多 p 型晶圆的 ESD 缺点。这些缺点包括保护环低效率，低闩锁的耐受性和更低的二极管的 ESD 鲁棒性。这些影响可以通过新的工艺和设计来补偿。闩锁可以得到提高，通过增加衬底接触、双保护环、沟槽隔离、以及别的设计策略[22~26]。二极管的低 ESD 鲁棒性，可以通过不使用衬底作为放电路径，用替代二极管实现。低掺杂的衬底也可以通过 p^+重掺杂的埋层来补偿其性能的降低[22~26]。

在第 5 章中，我们将讨论阱区。本章将用普通的方法讨论了扩散阱、倒阱、三阱以及衬底集电极的区别。这些区别将基于 ESD 实验的基础上进行阐述，实验结果显示垂直二极管，纵向寄生 pnp 型晶体管，横向 npn 型晶体管和其他 ESD 结构等在工作时有着显著地影响。这方面的知识可以用于了解 ESD、闩锁和少数载流子的注入。一些实验样品将展示一些最近的关于 ESD 与阱结构方面的发现。

习 题

4.1 给定一个 p 衬底上的方形沟道的 pn 二极管结构，其阳极宽度为 W_a，阴极宽度为 W_c，阴极为深沟道的，其沟道深度为 L_{DT}。假设 45°圆锥区域的电流从阳极流过。假设没有热量转移通过沟道区域。推导向下的热串联阻抗。

4.2 在上述结构上假设一个包围阳极的深度为 L_{STI} 的浅沟道隔离区域，阳极深度为 L_j。假设没有热量转移通过 STI 隔离区域。在习题 4.1 同样假设的基础上，推导通过 STI 的热阻抗。

4.3 在上述结构中，假设热流公国金属互连表面。假设接触宽为 W_{ca}，高为 L_{ca}。从硅表面，表示出总热阻抗，是互连线对高电平的阻抗和通向衬底的对地的阻抗并联。

4.4 推导 p^-/p^+ 外延晶圆的热阻抗。

4.5 为含有 p^+ 埋层的 p^- 单晶推导热阻抗，假设 p^+ 埋层是一个高斯分布。

4.6 推导 SOI 层的热电阻。

参 考 文 献

1. R. Joy and E. S. Schlig. Thermal properties of very fast transistors. *IEEE Transactions on Electron Devices* 1970; **ED-17** (8): 586–593.
2. J. Melcher. *Continuum Electromechanics*, M.I.T. Press, 1982.
3. J. A. Kong. *Theory of Electromagnetic Waves*. Wiley 1975.
4. R. R. Troutman and M. J. Hargrove. Transmission line Model for latchup in CMOS circuits. *Digest of Technical Papers for the 1983 Symposium on VLSI Technology*, 1983; 56–59.
5. R. R. Troutman and M. J. Hargrove. Transmission line modeling of substrate resistance and CMOS Latchup. *IEEE Transactions on Electron Devices* 1986; 945–954.
6. R. Troutman. *Latchup in CMOS Technology: The Problem and the Cure*. Kluwer, 1984.
7. D. B. Estreich, A. Ochoa and R. W. Dutton. Analysis of latchup prevention in CMOS IC's using epitaxial buried layer process. *International Electron Device Meeting (IEDM) Technical Digest*, 1978; 230–234.
8. D. B. Estreich. *The Physics and Modelling of Latchup and CMOS Integrated Circuits*. Integrated Circuits Laboratory, Stanford University, California, November 1980.
9. R. Troutman. Epitaxial layer enhancement of *n*-well guard rings for CMOS circuits. *IEEE Transactions on Electron Devices Letters* 1983; **ED-4:** 438–440.
10. P. Cottrell, S. Warley, S. Voldman, W. Leipold and C. Long. N-well design for trench DRAM arrays. *International Electron Device Meeting (IEDM) Technical Digest*, December 1988; 584–587.
11. S. Voldman and V. Gross. Scaling, optimization, and design considerations of electrostatic discharge protection circuits in CMOS technology. *Journal of Electrostatics* 1994; **33** (3): 327–357.
12. S. Voldman, M. Marceau, A. Baker, E. Adler, S. Geissler, J. Slinkman, J. Johnson and M. Paggi. Retrograde well and epitaxial thickness optimization for shallow- and deep-trench collar merged isolation and node Trench SPT cell and CMOS Logic Technology. *International Electron Device Meeting (IEDM) Technical Digest*, 1992; 811–815.
13. S. Voldman. Shallow trench isolation double-diode electrostatic discharge circuit and interaction with DRAM circuitry. *Journal of Electrostatics* 1993; **31**: 237–262.

14. N. K. Verghese and D. Allstot. Rapid simulation of substrate coupling effects in mixed mode integrated circuits. *Proceedings of the IEEE Custom Integrated Circuit Conference*, 1993.
15. T. Li, C. H. Tsai, E. Rosenbaum and S. M. Kang. Substrate resistance modeling and circuit level simulation of parasitic device coupling for CMOS I/O under ESD stress. *Proceedings of the EOS/ESD Symposium*, 1998; 281–289.
16. D. Walkey *et al.* Prediction of thermal resistance in trench isolated bipolar device structures. *Proceedings of the Bipolar Circuit Technology Meeting*, 1998; 207–210.
17. D. Walkey, T. Smy, C. Reimer, M. Schroter, H. Tran and D. Marchesan. 'Modeling thermal resistance in trench-isolated bipolar technologies including trench heat flow'. *Solid State Electronics* 2002; **46**: 7–17.
18. J. S. Rieh *et al.* Structural dependence of the thermal resistance of trench-isolated bipolar transistor model. *Proceedings of the Bipolar Circuit Technology Meeting (BCTM)*, September 2002; 100–103.
19. S. Voldman. The effect of deep trench isolation, trench isolation and sub-collector doping on the electrostatic discharge (ESD) robustness of radio frequency (RF) ESD diode structures in BiCMOS silicon germanium technology. *Proceedings of the EOS/ESD Symposium*, 2003; 214–223.
20. A. Schutz, S. Selberherr and H. Potzl. A two-dimensional model for the avalanche effect in a MOS transistor. *Solid State Electronics* 1982; **25** (3): 177–183.
21. G. Boselli, V. Reddy and C. Duvvury. Impact of scaling on the high current behavior of RF CMOS technology. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 2003; 229–235.
22. M. Hargrove, S. Voldman, J. Brown, K. Duncan and W. Craig. Latchup in CMOS. *Proceedings of the International Reliability Physics Symposium*, April 1998; 269–278.
23. W. Morris. CMOS latchup. *Proceedings of the International Reliability Physics Symposium (IRPS)*, May 2003; 76–84.
24. K. K Bourdelle, Y. Chen, R. A. Ashton, L. M. Rubin, A. Agarwal and W. Morris. Evaluation of high dose, high energy boron implantation into CZ substrates for epi-replacement in CMOS technology. *IEEE Transactions on Electron Devices* 2001; **ED-48**: 2043.
25. K. C. Leong, P. C. Liu, W. Morris and L. Rubin. Superior latchup resistance of high dose energy implanted p^+ buried layers. *Proceedings of the XIIth International Conference on Ion Implantation Technology*, Kyoto, Japan, 1998; 99.
26. A. Watson and S. Voldman. The influence of deep trench and substrate resistance on the latchup robustness in a BiCMOS silicon germanium technology. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 2004; 135–142.

第 5 章　阱、衬底集电极和 ESD

本章将从通用方法上讨论扩散阱、倒阱、三阱和衬底集电极以及它们对半导体元件的 ESD 鲁棒性的影响。基于 ESD 实验工作展示了它们的差异性，对垂直二极管的工作、纵向寄生 pnp 型晶体管、横向 npn 型晶体管和其他有用的 ESD 结构有显著影响。这方面的知识可以用于对 ESD、闩锁和少数载流子注入的理解。

半导体器件被放置在半导体晶片衬底上的集电极和阱区。这些区域对半导体器件的 ESD 鲁棒性具有很强的影响力。掺杂剂量、能量、用量和周边结构可以影响半导体器件的 ESD 鲁棒性。

由于半导体工艺代次的更新，半导体器件由单阱、双阱和三阱工艺构成。在本章中，我们将重点讨论的是掺杂极性相反的半导体衬底上的单阱技术。衬底区域也对阱的分布有影响，并可以调节的掺杂浓度和 ESD 的鲁棒性。此外，还会讨论到这些作为电阻元件、整流元件的元器件的作用。

扩散阱常见于 1994 年之前的早期 CMOS 工艺[1,2]。在 20 世纪 80 年代只有少数企业利用高能量 MeV 的离子注入形成倒阱[3-15]。在还没有高能量的离子注入时，大多数的 BiCMOS 在外延淀积之前形成衬底集电极。

5.1　扩散阱

在半导体工艺中，隔离阱的作用是使得不同半导体晶体管能制作在相同衬底上。这些隔离阱对隔离阱内的半导体器件的工作和可靠性都有很大的影响。这些隔离阱用于隔离半导体与衬底的区域。从 ESD 到 CMOS 闩锁来看，这些隔离阱也导致了一些寄生器件，而这些寄生的器件影响了阱中器件的 ESD 敏感性。这些寄生器件有时被用于 ESD 保护。当 n 阱区域内有 p^+ 掺杂的情况下会形成二极管，p^+ 扩散区是阳极。此外，该阱作为基极将形成纵向或横向的 pnp 型晶体管，而 p 型衬底作为集电极[1,2]。因此了解阱区对于理解半导体器件的 ESD 和闩锁效应是很重要的。

在半导体工艺中，隔离阱是从半导体晶片表面上的进行扩散而得的。掺杂或注入一定量的扩散源。使用热加工时，掺杂剂扩散到衬底中，其中扩展到衬底的深度是表面掺杂浓度、材料中的掺杂剂扩散系数以及扩散时间的函数。对于扩散阱，掺杂浓度作为一个位置函数可以被近似为高斯分布。

从扩散方程来看，掺杂分布可以表示为一个函数的余误差函数分布（其中，D 为扩散常数元素，t 是时间），即

$$C(x,\ t) = C_s erfc\left(\frac{x}{2\sqrt{Dt}}\right) = \frac{2C_s}{\sqrt{\pi}}\int_{\frac{x}{2\sqrt{Dt}}}^{\infty} e^{-\nu^2 d\nu}$$

要获得的总的掺杂量，全阱积分可以表示为

$$N' = \int_0^{\infty} C(x,\ t)\,\mathrm{d}x = 2\sqrt{\frac{Dt}{\pi}}C_{\mathrm{s}}$$

掺杂分布的掺杂剂量（见图5-1）可以表示为N'，根据热过程驱动周期，由高斯分布表示为

$$C(x,t) = \frac{N'}{\sqrt{\pi Dt}}\exp\left(-\frac{x^2}{4Dt}\right)$$

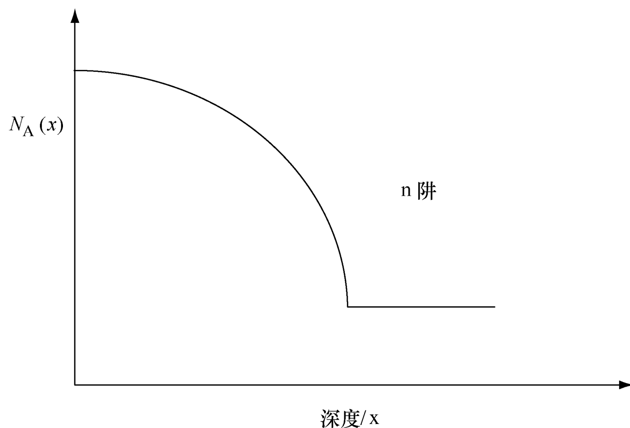


图 5-1　扩散阱垂直分布

对于扩散阱工艺，掺杂梯度的高斯分布在衬底区域建立了内建电场。掺杂分布的内建电场建立了一个对于电流传输中的电流密度的本征方程的漂移分量。这个内建电场漂移的部分是从发射极到集电极传输空穴。内建的漂移分量导致的寄生双极型晶体管元件的基极传输因子的增加。

由空穴电流和电子电流的本征关系得

$$J = \mu_{\mathrm{h}} p_0 E_{\mathrm{x}} - qD_{\mathrm{h}}\frac{\mathrm{d}p_0}{\mathrm{d}x}$$

$$J = \mu_{\mathrm{e}} n_0 E_{\mathrm{x}} + qD_{\mathrm{e}}\frac{\mathrm{d}n_0}{\mathrm{d}x}$$

在细致平衡定理中，这些规则必须各自平衡。让电子和空穴电流等于零，内建的区域可以等于

$$E_{\mathrm{x}} = \frac{kT}{q}\frac{1}{p_0}\frac{\mathrm{d}p_0}{\mathrm{d}x}$$

$$E_{\mathrm{x}} = -\frac{kT}{q}\frac{1}{n_0}\frac{\mathrm{d}n_0}{\mathrm{d}x}$$

此表达式关联内建电场和平衡电子和空穴载流子剂量的掺杂剂量的分布。在这个表达式中，空穴或电子的剂量是已知的掺杂分布，内建电场可以量化。

这两个表达式不是独立的，所以很好理解为电子和空穴的数量与均衡关系的相

关，即

$$n_0 p_0 = n_i^2$$

对平衡求导作为位置函数，有

$$\frac{d}{dx}(n_0 p_0) = \frac{d}{dx} n_i^2$$

通过联立内建场的等式，我们可以将空穴剂量的梯度和电子剂量的梯度联系起来，并得到

$$\frac{1}{p_0}\frac{dp_0}{dx} = -\frac{1}{n_0}\frac{dn_0}{dx}$$

由于扩散的 n 阱是位置的函数，其掺杂梯度会影响经过该区域的少数载流子（空穴）的扩散。对于纵向双极型晶体管，扩散 n 阱区作为基区。少数载流子从器件表面的 p^+扩散区扩散到基区。在扩散阱中，掺杂分布是从器件表面掺杂浓度逐渐减小。从上面的表达式中可得，n 型掺杂的梯度是负的，内建的电场是正的。阳极的内建电场而致空穴电流提供一个漂移分量给空穴电流密度。在内建电场为 E_{X0}情况下，本征关系可表示为

$$J_h = q\mu_h(p_0 + p')E_{x0} - qD_h\left(\frac{dp_0}{dx} + \frac{dp'}{dx}\right)$$

$$J_e = q\mu_e(n_0 + n')E_{x0} + qD_e\left(\frac{dn_0}{dx} + \frac{dn'}{dx}\right)$$

扩散阱纵向双极 pnp 型晶体管（见图 5-2）具有内建电场增强空穴输运而增加双极正向电流增益的属性。请注意，扩散阱内建电场还导致更低的反向双极电流增益。

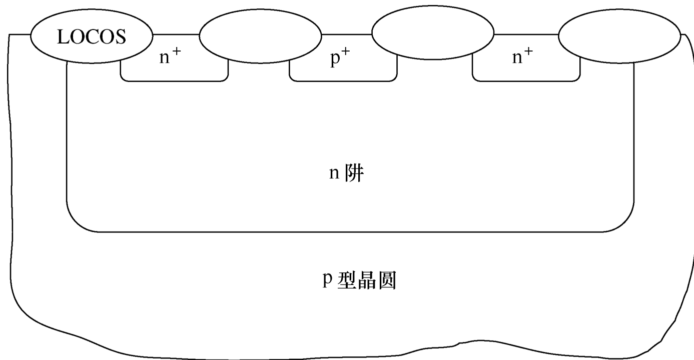


图 5-2　垂直 pnp 结构

使用扩散阱纵向双极型 pnp 型晶体管作为 ESD 元件，其优点是当 p^+扩散发射极在器件表面并且集电极在衬底时，可以增加电流运输[1,2]。

对于扩散阱双极型晶体管元件，低扩散阱掺杂浓度导致低的 pnp 型基极晶体管。当基极的掺杂浓度下降时，双极性增益增加。因此，通过测量并优化扩散 n 阱的方块电阻和超薄层电阻会改善双极性电流的增益。

对于 ESD 保护而言，在 pn 二极管结构、纵向 pnp 结构、混合电压 pn 二极管串联电路、晶闸管（SCR）、改进式横向 SCR（MLSCR）以及低触发电压 SCR（LVTSCR）可以被采用。Maloney 的研究通过出色的 ESD 结果展示了扩散阱的优点。

ESD 实验结果表明，由于 n 阱方块电阻从 1000Ω/sq 增长到 2000Ω/sq，纵向双极电流增益增加，导致 HBM 和 MM 结果显著增长[12,13]。

扩散阱虽然具有为 ESD 应用提供从发射极到集电极传输空穴的优点，同时也具有关于功能、容性负载以及半导体芯片的集成的明显缺点。首先，扩散工艺有在半导体器件表面最高的掺杂浓度。这导致在 p 扩散到阱的金属连接点之间的电容增加。第二，高纵向双极增益会导致大电流。这会导致噪声、闩锁效应。从 ESD 的观点来看，用一个扩散阱结构作为二极管器件的阳极会导致较高的二极管串联电阻，其理想工作情况不是双极型二极管的工作。

图 5-3 表明了 ESD 事件中带 LOCOS（局部氧化）和 STI 隔离的扩散阱 p^+/n 阱二极管自热效应。电热模拟结果表明，对于相同的 ESD，扩散阱工艺提供了在一个二极管结构中最低的峰值温度。这是扩散阱垂直分布的结果。

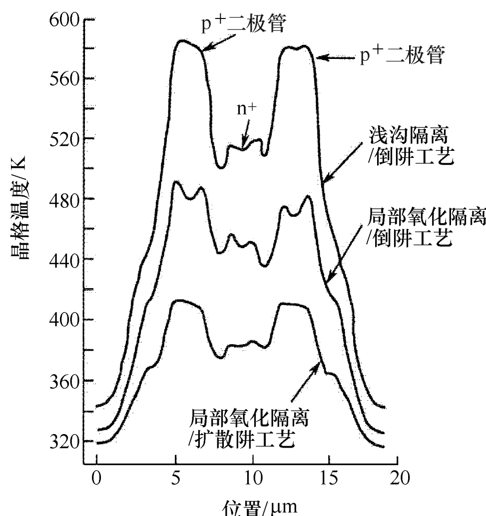


图 5-3 在扩散阱和倒阱中的 p^+/n 阱自加热对比图

在 HBM ESD（见图 5-4）和 MM 测试（见图 5-5）中，在较高的方块电阻条件下，二极管结构的 ESD 鲁棒性改善了。这个依赖于 n 阱方块电阻的 U 形升高区域是一个扩散阱分布区域。由于扩散阱方块电阻增加，纵向双极增益增加，导致在 ESD 事件里电流对衬底的放电。

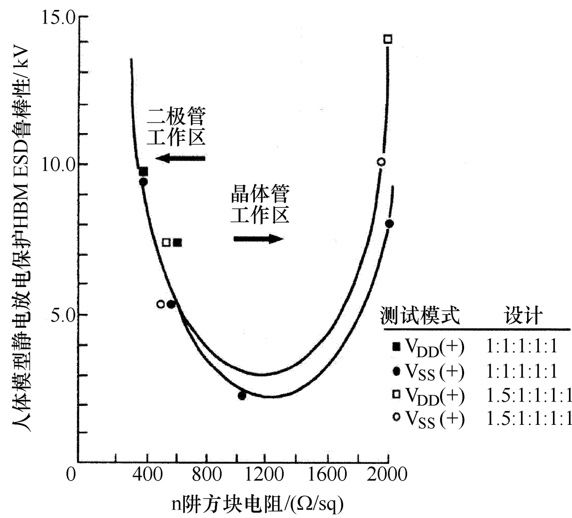


图 5-4 作为 n 阱方块电阻的函数的 HBM ESD 结果

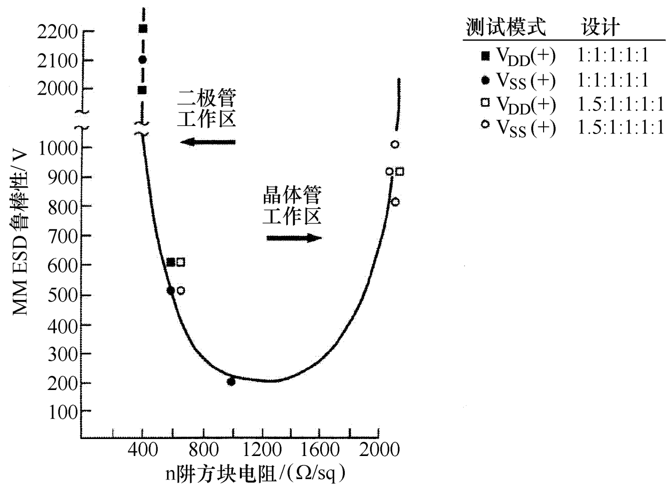


图 5-5 作为 n 阱方块电阻的函数的 MM ESD 结果

5.2 倒阱及纵向调制的阱

5.2.1 倒阱

在半导体技术中，倒阱作为隔离阱的作用以允许不同类型的半导体晶体管得以做在同一个衬底上并使热过程最小，提供低的方块电阻，减小 CMOS 闩锁的风险。倒阱对半导体器件的工作、性能、闩锁和 ESD 鲁棒性有显著的影响[3-15]。图 5-6 是一个倒阱的例子。

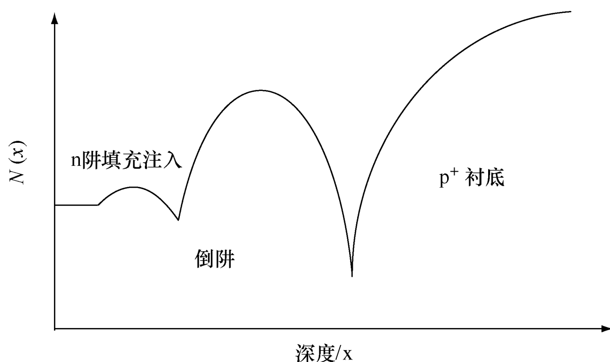


图5-6 倒阱的垂直分布

从ESD和CMOS闩锁角度来看，倒阱作为“寄生”器件的基区，它影响阱内器件的ESD敏感性。这个寄生器件也可以提供ESD保护。对于在倒n阱区域中的p^+掺杂，阱区形成两极，p^+扩散作为阳极，倒阱区作为阴极。另外，阱区提供的基区形成一个带p型衬底作集电极区域的纵向和横向pnp型晶体管。

在半导体工艺中，与扩散阱相比，倒阱不是从半导体晶片扩散。倒阱是以在半导体晶片表面高能注入方式完成注入的。倒阱可以单注入或者以不同能量和杂质完成多注入。通常情况下，低剂量和低能量被置于表面隔离区，p^+扩散注入减少p^+阱结电容，防止器件击穿，保证足够的隔离结构和足够的掺杂注入量下MOSFET的阈值体效应。纵向调制阱杂质分布的优势是可以建立阱工程，提供最佳的器件设计点以达到这些目标。这些低剂量注入同时指的是“倒填充注入”。另外，高剂量倒注入被置于远离半导体器件表面。在这种情况下，注入是一种双面高斯分布，其分布是一个关于类型、注入量、注入能量的函数。使用热过程时，掺杂物被激活，并扩散到向表面的延伸的衬底，直达基底，是一个关于衬底掺杂类型、掺杂扩散系数和扩散过程时间的函数。在倒阱中，掺杂浓度作为位置的函数能够被近似等价为双边高斯分布、低高度区域和低掺杂区域(低掺杂，低能量注入或者多次注入)。

在一个倒阱中，掺杂浓度的变化建立了一个内建电场，高斯分布的掺杂梯度通常有两个极性，其中内建电场与倒阱注入掺杂浓度峰值相反。内建电场与其漂移分量阻碍了少数载流子空穴从发射极传输到集电极。内建电场的漂移分量还会导致寄生双极型晶体管元件的基区传输因子降低，p^+注入的表面区域是纵向双极型晶体管的发射极。

从空穴电流和电子电流的本征关系有

$$J_h = \mu_h p_0 E_x - qD_h \frac{dp_0}{dx}$$

$$J_c = \mu_e n_0 E_x + qD_e \frac{dn_0}{dx}$$

由细致平衡原则，这些项必须独立平衡。以使电子和空穴电流等于零，内置电场等于

$$E_s = -\frac{kT}{q}\frac{1}{n_0}\frac{\mathrm{d}n_0}{\mathrm{d}x}$$

表达式中的空穴或电子的浓度是已知的掺杂分布，内建电场可以量化。假设本征浓度不是位置的函数（假定恒定的材料特性和温度），则

$$\frac{1}{p_0}\frac{\mathrm{d}p_0}{\mathrm{d}x} = -\frac{1}{n_0}\frac{\mathrm{d}n_0}{\mathrm{d}x}$$

由于倒 n 阱是位置的函数，其掺杂梯度影响通过这个区域的少数载流子空穴的扩散。在纵向双极型晶体管的情况下，扩散的 n 阱作为基区。少数载流子空穴从器件表面的 p^+ 扩散到基区。在倒阱中，掺杂分布规律是掺杂浓度在 n 阱填充注入到器件表面的梯度递增。表达式中，给定的 n 型掺杂的梯度为正时，内置的电场是负的。负的内建电场项导致负的空穴电流提供一个漂移分量给空穴电流密度。带有内建电场的 E_{x0} 本征关系是

$$J_h = q\mu_h(p_0 + p')E_{x0} - qD_h\left(\frac{\mathrm{d}p_0}{\mathrm{d}x} + \frac{\mathrm{d}p'}{\mathrm{d}x}\right)$$

$$J_e = q\mu_e(n_0 + n')E_{x0} + qD_e\left(\frac{\mathrm{d}n_0}{\mathrm{d}x} + \frac{\mathrm{d}n'}{\mathrm{d}x}\right)$$

在少数载流子空穴被运输后，在倒阱的峰值掺杂后面，内建电场极性处于相对应的量级，但是处于相反的极性。而后少数载流子空穴流入 n 阱衬底冶金结。

倒阱纵向双极型 pnp 型晶体管有一个特性，由于内建电场阻碍少数载流子空穴传输，双极性的正向电流增益会下降。根据在衬底上的掺杂浓度，双极电流增益增加，衬底作为发射极，表面 p 扩散区作为集电极。

倒 n 阱的能量和剂量是影响正向和反向的双极性电流增益的重要因素（见图 5-7）。

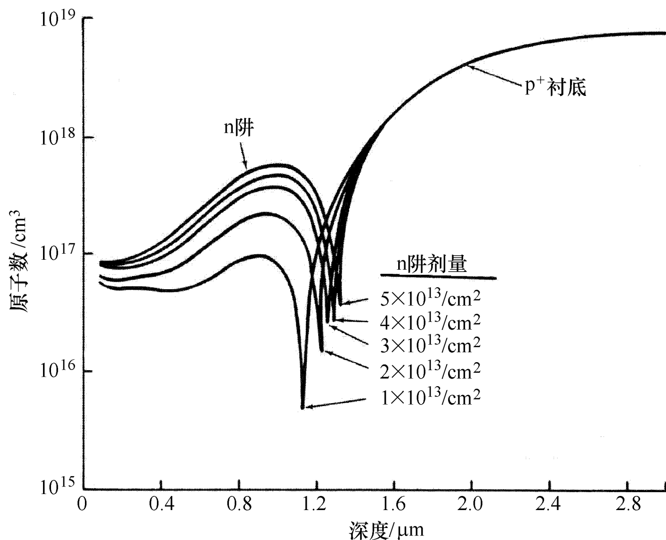


图 5-7　作为 MeV 注入剂量函数的倒阱垂直分布

因为在表面半导体器件优化中，注入量和能量不受限制，倒阱注入允许设计自由和行为自由。基区宽度可以通过以下方式扩大，使用更高的能量注入物，在器件表面移动注入物等。基极区域中的复合可以通过增加 n 型掺杂浓度来提高。随着倒阱剂量的增加，正向双极电流增益下降。这会减少少数载流子空穴输入到 p^- 或者 p^+ 衬底区域。当采用纵向双极型 pnp 型晶体管作为 ESD 元件时，会减少其有效性。

当倒阱剂量增加时，n 阱区的方块电阻会下降。当阱中剂量增加，p^+ 作为阳极的扩散，倒阱作为阴极，二极管形成，二极管串联电阻减小。由于二极管的串联电阻降低，在该区域的焦耳热在阱区降低。此外，随着掺杂浓度增加，本征温度在倒阱区域增加，提供了更好的热稳定性。

此外，随着倒阱掺杂浓度的增加，如果阱十分接近半导体隔离结构，器件隔离区的掺杂浓度也增加。在高电流和 ESD 情况下，随着倒阱剂量增加，在隔离区的局部峰值温度降低。

采用倒阱结构，晶闸管（SCR）、中等规模 SCR（MLSCR）和低电压触发 SCR（LVTSCR）的工作结果会受到显著影响，使得 pnp 双极电流增益减少。

5.2.2　倒阱衬底调制

倒阱在 p^{++} 重掺杂衬底的外延区域形成，或靠近重掺杂的埋层注入可以进行倒阱分布的调制（见图 5-8）。这种效应被称为倒阱衬底调制效应[3-5]。倒阱衬底调制对 p^+/n 阱的二极管网络 ESD 保护有相当大的影响力。

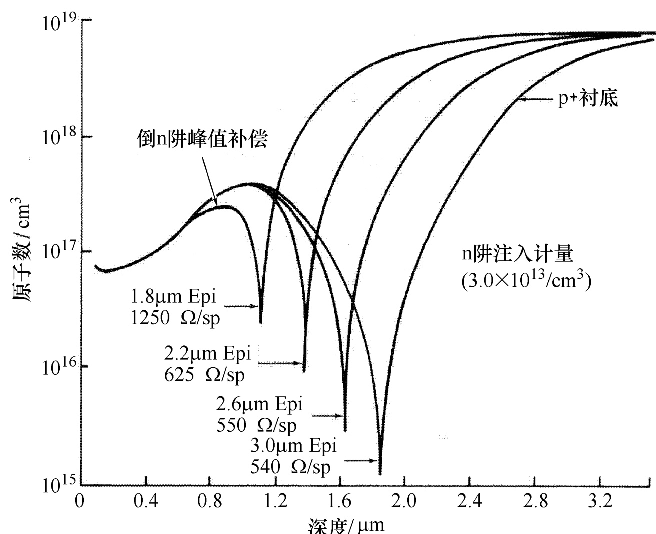


图 5-8　作为外延厚度函数的倒阱纵向分布于外延层厚度的函数

倒阱分布可以表示成在 x_{w0} 的高斯注入和 n 阱填充掺杂分布，即

$$N_D(x) = N_{fill} + N_D \exp\left\{-\left[\frac{x - x_{w0}}{\sqrt{2\sigma}}\right]^2\right\}$$

我们可以定义有效外延层厚度为

$$T_{eff} = T_{epi} + \lambda$$

因为有效厚度由在表面注入的末端（或 p 阱）和 p^+ 衬底（或 p^{++} 埋层）的外延层平坦区域决定。正如前面的章节中讨论的，在 p^{++} 衬底模型情况下，有效的深度因子 λ 是处在外延生长的平坦区和 p^{++} 晶片的重掺杂平坦区，以使外延有效宽度增加。

对于 p^{++} 晶片，浓度分布可以假定等效为

$$N_{sub}(x) = \frac{N_{sub}}{2} erfc\left[\frac{x - x_e}{x_0}\right]$$

我们可以从上述表达式确定外延层深度位置，使 $x_2 = x_e$，从而我们可以得出有效深度参数，即

$$\lambda = \frac{x_0}{2} erfc^{-1}\left\{\frac{2N_{epi}}{N_{sub}}\right\}$$

由于外延层厚度 T_{epi} 减小，p 区的平坦区域减少。外延的厚度的变化通常是由外来晶圆来控制的。由于这个变化，宽度项 λ 不会改变，但是会影响器件表面漂移。另外，MeV 注入量比 p^{++} 衬底晶片要低得多，导致对分布、电容和 n 阱方块电阻的有效调制。

假定元件放置在阱里，器件的 ESD 鲁棒性会随 n 阱方块电阻的变化剧烈变化。例如，一个 STI 界的 p^+/n^- 阱二极管结构是一个关于二极管串联电阻和纵向双极电流增益的函数。当衬底注入在 n 阱区域时，物理深度减小，然后方块电阻增加。对于二极管结构，这将导致更高的二极管的串联电阻。此外，由于基区宽度减小，Gummel 数减小，使得纵向双极型 pnp 型电流增加（例如，基极区域的掺杂积分）。实验结果所示的 n 阱的方块电阻可以在 700 ~ 1500Ω 每方块范围内变化。纵向双极型晶体管增益 β 可以由 2 提高到 8[4,5,7-10,14]。

由于外延层厚度是变化的，对于固定的阱的剂量和能量注入，实验结果表明 HBM ESD 结果随着阱区方块电阻从 300Ω/sq 增加到 1000Ω/sq 而从 8kV 到 3kV 减小。随着外延厚度减低，串联电阻的有效膜厚度和总杂质量会降低。在电阻器元件的自热过程中，膜厚度以及掺杂浓度发挥作用[8]。

当数据绘制成在膜上的阱区方块电阻的厚度的平方函数时，ESD 鲁棒性呈现线性化（见图 5-10），大致为

$$V \propto \frac{\sqrt{t_{film}}}{\sqrt{\rho_{well}}}$$

对于 n 阱中的掺杂分布，由于外延层很薄，n 阱峰值浓度被 p^{++} 衬底层耗尽，显著改变了 n 阱中的掺杂分布。虽然基区宽度减小且纵向双极电流增益增加接近 8 倍，由于大的串联电阻（作为二极管串联电阻和纵向二极管基极电阻），ESD 效果会减小。根据 Maloney 研究，当纵向双极电流增益小于 10，在 ESD 事件中，纵向双极型元件的有效性不强[1,2]。

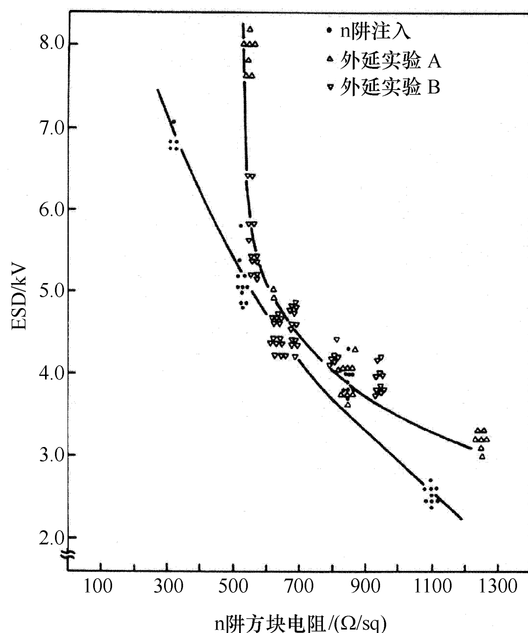


图 5-9　HBM ESD 和方块电阻与阱及外延变量的函数

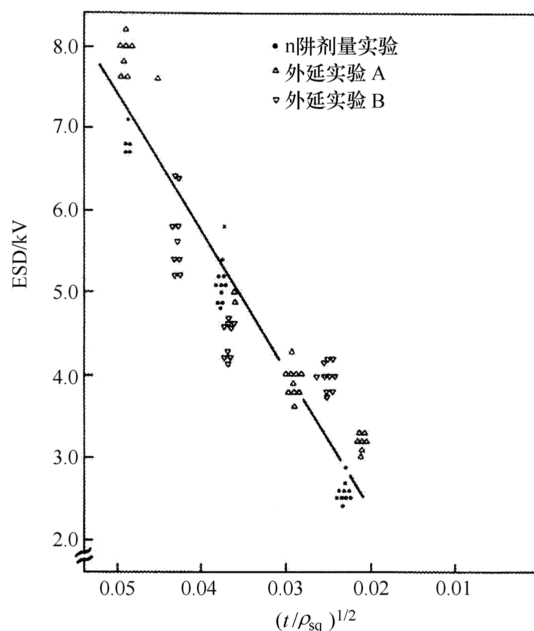


图 5-10　归一化坐标后的 HBM ESD 结果（例如薄膜厚度和方块电阻）

5.2.3　倒阱及 ESD 缩放

倒阱中二极管结构的 ESD 鲁棒性是倒阱方块电阻和分布的强关联函数[5-16]。由于 p^+ 扩散在 n 阱倒阱区域，阱区形成一个 p^+ 扩散作为阳极，倒阱区域作为阴极的二极管。

在这个二极管中，STI 界二极管在 n 阱低掺杂区域形成一个金属接触点。n 阱作为阴极电阻元件与金属连接点串联。

假设在倒阱中，二极管结构的误差与在金属连接点和 n + 阱接触区域之间的倒阱的体积有关[8]。由于焦耳热平衡的储存能量，即

$$dE = C_p(T)dT = I^2(t)R(T)dt$$

式中，$C_p(T)$是热容；$I(t)$是电流脉冲；$R(T)$是作为阱区温度函数的电阻。Maloney 表明这可以放在一个温度公式或者能量公式里。在能量表达式里，使电阻表示为 $R(T) = R_0 g(E)$，$g(E)$是一个能量函数。使热容 $C_p(T) = C_p h(E)$，$h(E)$是函数，有

$$dE = I^2(t)R_0 g(E)dt$$

分离变量，并在方程两侧积分，有

$$\int \frac{dE}{g_0(E)} = R_0\int_0^\tau I^2(t)dt$$

注意在这个等式中，左侧是一个能量函数，右侧是一个关于时间 t 的电流平方的函数。我们可以创建一个函数 F，其中 F 是一个常量。

$$F = \int \frac{dE}{g_0(E)} = R_0\int_0^\tau I^2(t)dt$$

函数 F 等效于能量在脉冲长度下的积分。假定电流的净增长超出了 ESD 时间常数 t，积分可以扩展到所有时间。为了使内部能量沉积和 ESD 脉冲、外部变量联系起来，我们可以将平均电阻（脉冲源的有效电阻）和内部电阻（脉冲流过的电阻）联系起来。

$$R_{AVG}\int_0^\infty I^2(t)dt = \frac{CV^2}{2}$$

然后

$$F = \int \frac{dE}{g_0(E)} = R_0\frac{CV^2}{2}\left(\frac{1}{R_{AVG}}\right)$$

将阱区作为单独的方块电阻，我们可以模拟横向的倒阱，其体电阻率为 ρ，宽度为 W，横截面的厚度 t 和质量密度 ρ_d。

$$R_0 = \frac{\rho}{W^2t^2\rho_d}$$

将 R_0的值带入内部电阻，有

$$F = \int \frac{dE}{g_0(E)} = \left(\frac{\rho}{W^2t^2\rho_d}\right)\frac{CV^2}{2}\left(\frac{1}{R_{AVG}}\right)$$

在这种形式中，我们可以将源极电压 V 和内部电阻元件的内部尺寸联系起来。如果我们假设函数 F 是固定的，并且和 ESD 失效关联，如果失效机理是相同的，右侧的方程必须等于一个常数。在这种形式中，我们可以将系统表达为一个在两个不同的电压条件或组合下的函数，我们可以将其表示为

$$\frac{V'^2}{V^2} = \frac{(W'^2t'^2\rho'_d/\rho')(2R'_{AVG}/C')}{(W^2t^2\rho_d/\rho)(2R_{AVG}/C)}$$

因此，假设相同的平均电阻率，相同的电容源，我们可以简化表达式为一个关于设

计和材料参数的函数。在这个形式中，我们可以将 HBM 电压源与该工艺里的特性联系起来。

假定相同的电压源，相同的质量密度，我们可以将此表示为

$$\frac{V'^2}{V^2}=\frac{(W'^2t'^2/\rho')}{(W^2t^2/\rho)}$$

在上式里，我们可以将方块电阻、厚度、设计宽度与 HBM ESD 鲁棒性关联起来。如果我们假定在 MOSFET 常量电场中按照已保存的比例进行规划，则

$$W'=W/\alpha$$

$$t'=t/\alpha$$

$$\rho'=\rho/\alpha$$

同时随着阱的等比例缩小而 ESD 也等比例缩小，并满足如下关系式：

$$V'=\frac{V}{\alpha^{3/2}}$$

因此，如果在宽度、薄膜厚度、电阻、二极管结构的 ESD 鲁棒性上进行结构缩放，会随着缩放参数 α 减小。

假定设计宽度固定，因此缩放关系只与深度和薄层电阻有关。然后，我们可以根据这些约束条件建立倒阱缩放，即

$$\frac{V'^2}{V^2}=\frac{(t'^2/\rho')}{(t^2/\rho)}$$

式中，t 是横向倒阱区的横截面的厚度；r 是方块电阻。定义隔离区阱深为深度 t，有

$$\frac{V'}{V}=\left(\frac{L'_{\text{well}}}{L_{\text{well}}}\right)\left(\frac{\rho}{\rho'}\right)$$

假定尺寸缩放为

$$L'_{\text{well}}=L_{\text{well}}/\alpha$$

MOSFET 恒定的电场尺寸缩放后

$$N'=N\alpha$$

式中，N 是掺杂浓度，则缩放关系为

$$\frac{V'}{V}=\frac{1}{\alpha^{1/2}}$$

这种 n 阱的缩放关系表明，当尺寸缩放时，ESD 结果将按照上述缩放参数减少。为了补偿这种效果，对于倒阱的 ESD 缩放理论可以发展为用缩放来维持 ESD 保护水平。因此，缩放参数可以随着标准 MOSFET 电场缩放关系而建立

$$N'=N\gamma\alpha$$

$$L_{\text{well}'}=L_{\text{well}}/\alpha$$

因此，为了避免 ESD 鲁棒性随着倒阱尺寸的缩小而降低，必须满足下式：

$$\frac{V'}{V}=\left(\frac{L_{\text{well}'}}{L_{\text{well}}}\right)\left(\frac{\rho}{\rho'}\right)=1$$

$$\frac{V'}{V}=\left(\frac{\gamma}{\alpha}\right)^{1/2}=1$$

通过设置两个缩放变量相等，根据 MOSFET 恒定的电场缩放理论，ESD 鲁棒性不降低。这种“恒定 ESD 缩放”在定义额外的阱缩放参数情况下，在 MOSFET 恒定的电场缩放理论的框架下实现[8]。

阱深随着工艺的缩放，对于给定的倒阱，ESD 鲁棒性会减小（见图 5-11）。

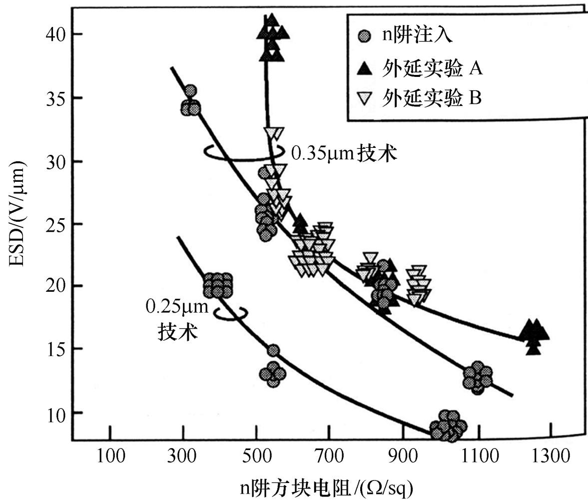


图 5-11　不同工艺下的 HBM ESD 和方块电阻

5.3　三阱及隔离的 MOSFET

如果将 n 沟道和 p 沟道 MOSFET 与衬底隔离有优势的话，可以使用三阱技术。首先，三阱技术允许电路是独立的衬底偏压。其优势在于噪声隔离、混合信号和动态阈值 MOSFET 的应用。在 BiCMOS 工艺的应用中，许多衬底是负向偏压的，并且三阱或隔离 MOSFET 用于允许沟道区独立的偏压。在先进的 CMOS 中，三阱是用来隔离噪声和 n 沟道 MOSFET 的。此外，独立的衬底偏置使得隔离区域中的沟道区域偏压独立，并且提供了一个不同的反馈偏压环境，或者动态阈值 MOSFET（DTMOS）器件。

三阱结构（见图 5-12）影响 α 粒子的敏感性、闩锁和静电放电保护。从静电放电保护来看，有很多问题的发生在另外一个三层区域。

首先，掺杂层包含物的极性与衬底区域相反会引入两个额外的金属连接点，一个在外延区域和掩埋层之间形成，第二个在掩埋层和衬底区域之间形成。此外，该层形成一个纵向 npn 型寄生双极型晶体管。

其次，掺杂层的包含物形成一个隔离的“外延层”，它具有比衬底更高的串联电阻。高的外延电阻会影响 MOSFET 的转折效应和二次击穿物理现象的导通条件。由于隔

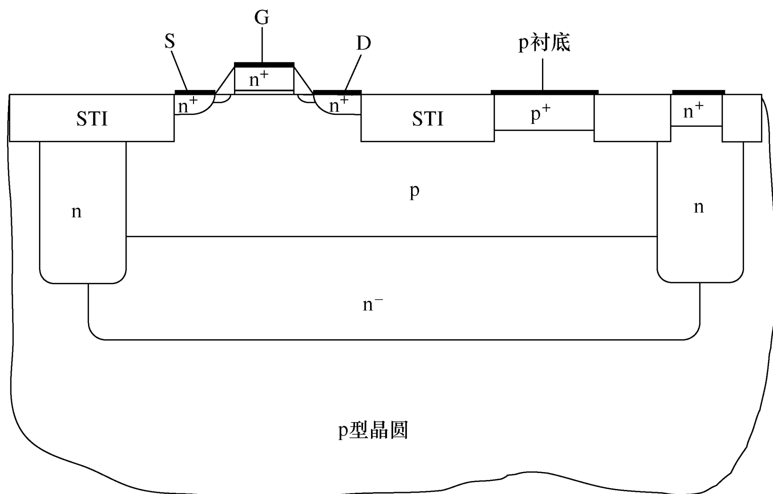


图 5-12　三阱结构

离的外延区域具有较高的电阻，MOSFET 转折电压会更低。从 MOSFET 流过的电流会放电到隔离外延区域接触处或三阱的掩埋层。从电流模型来看，雪崩的生成可以被表示为一个乘法因子的函数和流过高电场区域的总电流。

产生的电流可以表示为

$$I_G = (M-1)(I_{DS}+I_C)$$

当电场很低时，M 是统一的，导致没有复合产生。当电场在晶体管中增加，雪崩倍增增加，导致了复合项。在这个表达式中，有些空穴复合电流将会作为横向晶体管的基极电流，而有些空穴将会进入隔离外延区域，充当外延区域电流。外延电流可以被表达为

$$I_{epi} = (M-1)(I_{DS}+I_C) - I_B$$

MOSFET 中的外延电流是热电荷产生和总功率消耗的经典问题。对于 ESD 分析，这个外延电流时很重要的，因为它与高电流下 MOSFET 区域里产生的电压降有关。

$$V_{iso} = I_{epi}R_{iso}$$

因此，我们可以将隔离区的电压降表示成

$$V_{iso} = [(M-1)(I_{DS}+I_C) - I_B]R_{iso}$$

当电压降等于源极和隔离区之间形成的 pn 结的正向偏置电压，MOSFET 产生转折效应。我们可以将此表述为条件

$$V_{BE} = V_{iso} = [(M-1)(I_{DS}+I_C) - I_B]R_{iso}$$

或者 MOSFET 快速恢复的条件在下列情况会出现

$$V_{BE} \geqslant [(M-1)(I_{DS}+I_C) - I_B]R_{iso}$$

这种情况的优点是可以独立于起始衬底晶片而改变 MOSFET 转折效应。隔离电阻可以从方块电阻、隔离区接触、隔离三阱区的放置位置来获取。此隔离区受三阱隔离区的

深度和其偏置的影响。考虑到阱偏置电压和其调制效应必须由在三阱结构中的 MOSFET 的积分来处理。

对于 ESD 二极管的实现，有明显不同的问题。由于与芯片衬底隔离，用于给 p 型衬底放电的 ESD 二极管必须进行修改。例如，n 阱到衬底的二极管必须进行修改以应对埋层的存在。因此，新颖的 ESD 设计方案必须构建，以用这些二极管结构来提供 ESD 保护。

5.4 整流电阻

使用 ESD 网络和外围电路的电阻镇流器是半导体芯片中的一种常见做法。也许是通过结构直接积分或作为独立结构单元而采用 n 阱来提供这些整流电阻。由于 n 阱的几何结构和掺杂浓度的原因，采用 n 阱来作为整流电阻具有显著优势。优势一是不需要特别的掩膜或硅化物的去除。在 STI 隔离工艺中，远离半导体表面的 STI 隔离形成电阻，STI 隔离工艺下的 n^+ 扩散为埋层电阻提供接触单元，电阻上的 STI 区阻止电阻元件的硅化。优势二是电阻元件的宽度可以避免高电流密度。在表面扩散电阻中，较薄的掺杂薄膜导致高电流密度和自加热。优势三是其速度饱和电流密度较低，能够接受厄利电流饱和。从热扩散方程来评价一个阱电阻，可以得知阱形成的浓度可被表示为

$$C(x,t) = C_s erfc\left(\frac{x}{2\sqrt{Dt}}\right) = \frac{2C_s}{\sqrt{\pi}}\int_{\frac{x}{2\sqrt{Dt}}}^{\infty} e^{-\nu^2} d\nu$$

总掺杂可以通过分布的积分得到

$$N' = \int_0^{\infty} C(x,t)\,dx = 2\sqrt{\frac{Dt}{\pi}}C_s$$

经过时间 t 的热过程，阱可以用掺杂浓度来表示

$$C(x,t) = \frac{N'}{\sqrt{\pi Dt}}\exp\left(-\frac{x^2}{4Dt}\right)$$

在不均匀分布中，可以通过阱电阻的电导从顶层表面（$x=0$）到金属接触点的积分得到，$x=X_w$，有

$$G = \frac{W}{L}\int_0^{X_w} q\mu_n(x)\,dx$$

与阱注入量相比，背板掺杂浓度是可以忽略的，可以从高斯表达式中解出阱的电导。

$$G = \frac{N'q}{\sqrt{\pi Dt}}\frac{W}{L}\int_0^{X_w}\mu_n\left[\exp\left(-\frac{x^2}{4Dt}\right)\right]dx$$

在半导体器件中，隔离的深度是和先进工艺中的阱深具有相同的幅度顺序的。在浅沟槽隔离里，隔离的深度可以被表示为

$$G \simeq \frac{W}{L}\int_{X_{sti}}^{X_w} qN_0\mu_0 + \frac{N'q}{\sqrt{\pi Dt}}\mu_n\left[\exp\left(-\frac{(x-x_0)^2}{4Dt}\right)\right]dx$$

n 阱电阻的饱和电流可以表示为

$$J_{sat} = qN_{well}\nu_{sat}$$

式中的饱和电流等于电子电荷、n 阱的掺杂浓度、阱区的电子饱和速度的乘积。

由于 n 阱掺杂浓度比起典型的扩散掺杂浓度低得多，饱和电流很少使用 n 阱电阻。由于饱和现象，n 阱电阻会有一个 $I-V$ 特性（见图 5-13）表现了在低电压时呈现的一个线性区域。由于电阻器两端的电压增加，$I-V$ 特性将达到平稳状态，在一个电压范围内与电压无关。这为应用提供了一个电阻线性区域和一个限制结构电流的平稳区域。在高电压下，如果 n 阱和衬底之间的电压超过了雪崩倍增电压，可能发生雪崩击穿。在这种情况下，转折效应发生在电阻元件上。此外，如果自热效应优先于雪崩击穿，负阻机制会在雪崩击穿之前发生。与 n 阱和 n 阱到衬底的连接点之间的掺杂分布相比，这依赖于 n 阱电阻结构的几何特性和热特性。

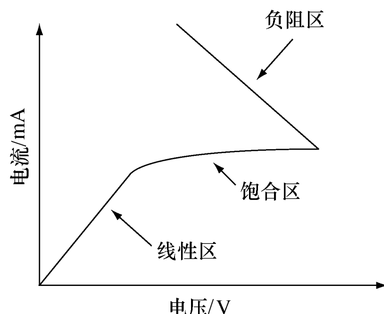


图 5-13　n 阱电阻的 $I-V$ 特性

在倒阱情况下，特性曲线的性质是一个关于掺杂分布和“n 阱注入物”的使用的函数。n 阱注入物可以调节 n + 接触到重掺杂倒阱注入的电阻，含有低掺杂注入物的 n 阱电阻在 $I-V$ 特性中将有更多的电阻线性区域，并且能更平滑地过渡到饱和区域。

在电阻结构中，电场的速度可以近似于一个电子的饱和电平。速度－电场关系可以表示为

$$v_d(E) = v_{sat}\frac{(E/E_c)}{[1+(E/E_c)^{\beta}]^{1/\beta}}$$

式中，E 是电场；E_c 是临界电场；β 是一个参数。代入漂移方程，得

$$J(E) = qnv_{sat}\frac{(E/E_c)}{[1+(E/E_c)^{\beta}]^{1/\beta}}$$

在高电场中，内电场接近临界电场。在临界电场时，电流密度开始下降，饱和电流密度可以表示为

$$J_{sat}(E > E_c) \simeq qnv_{sat}$$

式中，掺杂浓度是阱区电阻元件的浓度。

电阻元件将经过三个区的变化。在线性区里，器件具有线性电阻特性。当器件接近临界电场时，电阻进入饱和区域。表达了一个包含饱和速度和雪崩模型的方程[17]，将电流电压区域表示为

线性区

$$I = \frac{V}{R_{lin}}$$

饱和区

$$I = \frac{V}{R_{\text{lin}}\sqrt{1+\left(\frac{V}{V_c}\right)^2}}$$

雪崩区

$$I = \frac{V}{R_{\text{lin}}\sqrt{1+\left(\frac{V}{V_c}\right)^2}}M$$

$$M = \frac{1}{1 - A\exp\left(-\frac{\beta}{V_d}\right)}$$

式中，A 和 B 是物理常量。

$$V_d = \theta V$$

$$\theta = 1 - \frac{E_x L}{V}$$

并且

$$1/R_{\text{lin}} \simeq G \simeq \frac{N'q}{\sqrt{\pi Dt}}\frac{W}{L}\int_{X_{\text{STI}}}^{X_W}\mu_n\left[\exp\left(-\frac{x^2}{4Dt}\right)\right]\mathrm{d}x$$

式中，E_x 是该空间电荷密度转换到雪崩倍增的位置；L 是电阻元件的长度；V 是电阻两端的电压。在这个趋势下，线性电阻和倒阱注入有关。总电导是通过从浅沟隔离到阱－衬底接触区域的倒阱注入分布的积分得到。

在倒阱工艺中，线性区是 n 阱填充注入物的强相关函数（见图 5-14）。低剂量、低能量的填充 n 阱注入对整流电阻模型的线性部分有很大的影响。它也对饱和区的斜率影响很大。实验结果表明，当 n 阱填充量增大，饱和区的非填充注入物与没有填充注入的情况相比，有更突变过渡。饱和区与 dI/dV 之间具有弱相关性。

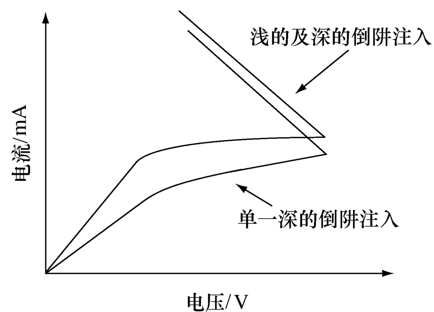


图 5-14 不同阱分布的 n 阱电阻的 $I-V$ 特性（有或没有 n 阱注入）

5.5 衬底集电极

衬底集电极在半导体器件的工作、性能、闩锁效应、半导体器件的 ESD 鲁棒性中有相当大的影响力[18-21]。在半导体工艺中，传统的衬底集电极由一个双极型晶体管元件的集电极来形成。衬底集电极也可以作为一个阱区的重掺杂注入，或作为隔离注入。衬底集电极可以用扩散工艺或注入来形成。在扩散/外延衬底集电极工艺情况下，衬底集电极是用扩散源和驱动扩散到低掺杂的衬底区域来形成的。衬底集电极特性是一个关于掺杂剂量、类型和热循环过程的一个函数。典型的衬底集电极是使用砷、磷、锑作为掺杂类型。掺杂剂注入表面区域，然后通过外延生长在衬底集电极，随后经过热工艺步

骤。在该方法中，掺杂浓度与标准的 CMOS 扩散或倒阱工艺相比非常高。在注入的衬底集电极里，其剂量显著降低到 CMOS 倒阱注入的水平（见图 5-15）。

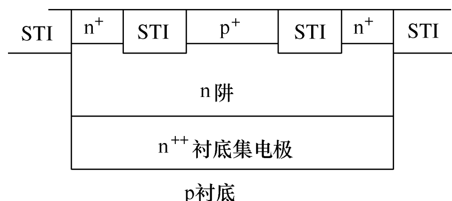


图 5-15 STI 边界的带有衬底集电极的 p⁺/n 阱二极管

与外延生长的衬底集电极的区别是，与倒阱相比，电子空穴对的复合时间很少，方块电阻很小。复合时间由俄歇复合时间占主导，与 Shockley – Hall – Read 相违背。CMOS 扩散阱和倒阱的剂量所对应的复合时间是 Shockley – Hall – Read 占主导。在这种情况下，少数载流子空穴的扩散长度与衬底集电极宽度处于同一量级。从而，由 p 型基区、衬底集电极、衬底产生的 pnp 纵向双极电流增益是复合为主。另外，衬底集电极结构有一个远低于 CMOS 倒阱的方块电阻。

衬底集电极的掺杂浓度和分布对双极晶体管器件有影响。双极型晶体管器件的两个关键优点是单位电流增益截止频率 f_T 和单位功率增益截止频率 f_{MAX}。由于 Kirk 效应，集电极的结构会影响单元的电流增益截止频率 f_T。在高频时，集电区的掺杂浓度和衬底注入影响了峰值 f_T 达到的点。单位电流增益截止频率 f_T 与发射极到集电极的传输时间 τ_{EC} 倒数相关。

$$\frac{1}{2\pi f_T} = \tau_{EC} = \tau_E\tau_B + \tau_{CSL} + \tau_C$$

式中

$$\tau_E = \frac{C_{eb} + C_{bc}}{g_m}$$

$$\tau_B = \frac{W_B^2}{KD_B}$$

$$\tau_{CSL} = r_C(C_{c-sx} + C_{bc})$$

$$\tau_C = \frac{x_C}{v_{sal}L}$$

发射极传输时间是发射极与基极间电容、基极与集电极间电容的函数。基极传输时间是关于基区宽度、掺杂系数、基极梯度因子 K 的函数。集电极项包含集电极电容、集电极电阻、饱和速度项。

单位功率增益截止频率 f_{MAX} 是关于单位电流增益截止频率、基极电阻、集电极 – 基极电容、集电极 – 衬底电容的函数。衬底侧面是用硅，也是用深沟定义的。减小集电极 – 基极电容 C_{cb}、集电极 – 衬底电容 C_{csx}、基极电阻 R_b，可以提高 f_{MAX}。

$$f_{MAX} = \sqrt{\frac{f_T}{8\pi R_b C_{bc}}}$$

由 Johson 约束调制得

$$V_m f_T = E_m \nu_s / 2\pi$$

最大电压 V_m 可以是双极器件的 BV_{CEO}，表现了击穿电压和晶体管频率响应之间的反比例关系。衬底集电极掺杂浓度对频率响应和晶体管击穿电压有显著影响。

从倒 n 阱和扩散阱结构的实验结果得到，ESD 结果表明了当 n 阱方块电阻从 300Ω/sq 增加到 1000Ω/sq，双基极结构的 ESD 鲁棒性降低[5-15]。这是通过改变 n 阱掺杂、能量和外延厚度实现的。这也显示了在扩散阱中，当 n 阱扩散电阻从 1000Ω/sq 增加到 2000Ω/sq，ESD 鲁棒性提高[12,13]。由 HBM 和 MM 测试得到的鲁棒性表明了一个在 300～2000Ω/sq 范围内的方块电阻函数的 U 形依赖关系。解释这个现象的物理模型是双圈，在第一个区域里，低双极串联电阻和低焦耳热形成了一个改善的双极；另一个区域里，纵向寄生 pnp 双极电流增益提高到 10 倍以上，导致良好的纵向 pnp 增益特性和改善的 ESD 结果。衬底集电极方块电阻对于外延衬底集电极可以在 5～100Ω/sq 范围内变化，依赖于热工艺和掺杂类型（见图 5-16）。在多数晶体管元件里，衬底集电极电阻在很小范围内变化。在双极型晶体管中采用砷衬底集电极电阻，其阻值在 10Ω/sq 范围内，结构表现出 ESD 滚降效应。锑衬底集电极具有不同的扩散工艺，并具有明显较高的衬底集电极方块电阻。

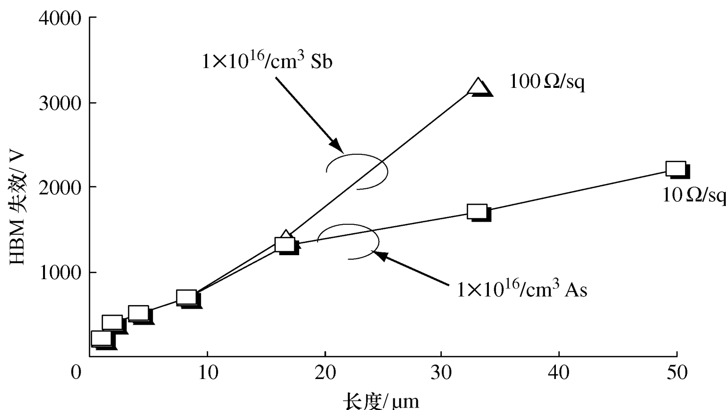


图 5-16　作为不同衬底掺杂剂的函数的 HBM ESD 结果

具有不同扩散特性的砷及锑衬底集电极掺杂实验已经完成，但是在衬底集电极形成的外延工艺之前，p 型衬底上具有相同的掺杂浓度。在热处理后，锑扩散掺杂注入衬底集电极方块电阻将高达 10 倍。实验结果表明随着“二极管”（p 扩散区为阳极，衬底集电极结构为阴极）物理尺寸的增加，较低的方块电阻衬底集电极不能维持结构尺寸与单位长度 ESD 鲁棒性的线性度。然而，更高的方块电阻的衬底集电极用掺杂注入展现出如低阻阴极结构中观察到的，没有 ESD/μm 滚降表征的反而具有更高的 ESD/μm

特性[21]。

在第二阶段学习中（见图 5-17），衬底集电极以 10 倍每区的因子来完成不同浓度掺杂。双基极变容二极管结构表明 ESD/μm 非线性衰减，HBM ESD 结果在 0～15μm 之间保持线性。当长度从 15μm 增加到 50μm，HBM 结果增加到 2200V。对于高方块电阻衬底集电极的情况（如 100Ω/sq），ESD/μm 线性增加并高达 3500V HBM。当注入量降低 10 倍，ESD 结果增加到 4200V（双倍改善）。基于前面的工作，假定如前所述在 200～2000Ω/sq 的 ESD/μm 关系，这是很反常的。因此，这意味着，在超低温的方块电阻，在阴极结构没有横向整流发生。当方块电阻超过了这个区域，在衬底集电极结构中的固有的横向整流会改善均匀性。

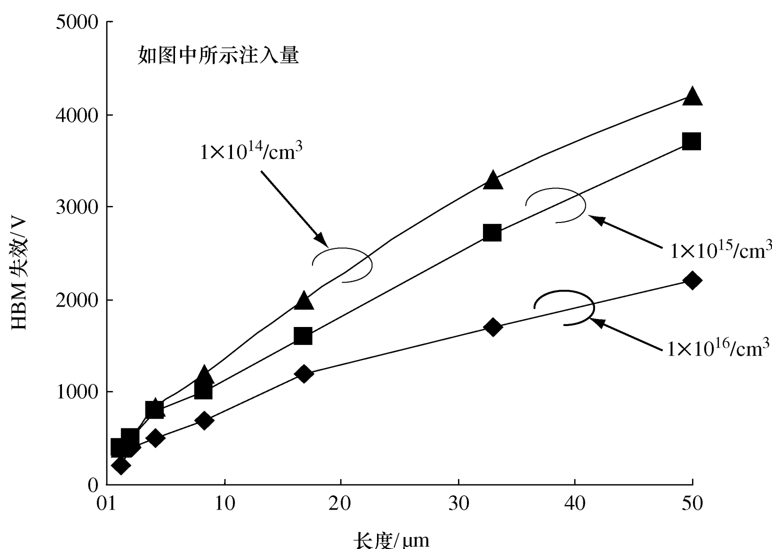


图 5-17　作为不同衬底掺杂剂量的函数的 HBM ESD 结果

这项工作可以理解为，鉴于倒扩散 n 阱之前的测量表现出方块电阻的 U 形相关函数，这个结果对于衬底集电极来说表明了宽 ESD 结构具有较低的方块电阻，更低 ESD 鲁棒性。这个影响可以最好解释成一个二极管结构中的不均匀的电流分布。当电阻从 10Ω/sq 增加到 100Ω/sq，衬底集电极的横向电阻引起了整流效果。当横向电阻增加时，会有一个较小的横向电流流过衬底集电极。这表现为线性化的结构宽度[21]。

解释横向电阻整流效应的物理增量模型可以被表示为一个二极管和电阻网络（见图 5-18）。假定一个阳极电学连接分裂成 n 个器件，金属连接点可以被表示为一个平行理想二极管元件，其中，每个第 j 个元件都在温度 T_j 和理想特性 $I_j(T_j)=I_0\exp\{V_{bej}/kT_j\}$ 情况下。集电极结构可以被表示为一个在第 j 个和第（$j-1$）个二极管区域间以及在第 j 个和第（$j+1$）个二极管区域间的横向电阻元件。由集电极串联电阻连接，n+ 通过区域或者 n+ 接触区域可以表示为一个横向网络或者一个电学短路。当局部温度沿

着二极管增加时，通过这一部分的电流减小。温度的不统一性导致横向电流流过。横向电阻元件 $R_{LAT\ j-1}$（T_j）和元件 $R_{LAT\ j+1}$（T_j）重新分配了第 j 个二极管的电流[21]。

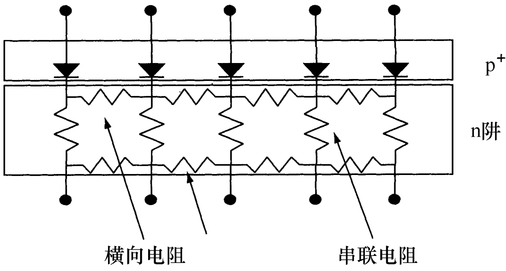


图 5-18　衬底集电极电阻网络

在另一项研究中，用注入的衬底二极管，可以得到与在高衬底集电极掺杂结构中观察到的 ESD 衰减的消除有相似的结果（见图 5-19）。从这些实验结果得出，衬底集电极掺杂方块电阻及其分布可以对双极晶体管的 ESD 鲁棒性、二极管结构的双极型晶体管，甚至放置在衬底集电极中 STI 界的二极管元件起到重要影响。

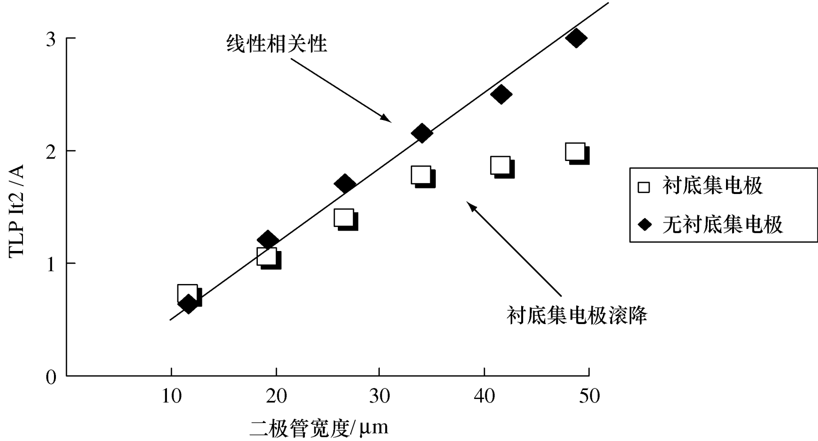


图 5-19　带有/不带有衬底集电极的 STI 隔离的 p+/n 阱二极管

在第 6 章中，对于 ESD 保护，隔离结构的影响会有讨论。隔离结构包含 LOCOS 隔离、浅沟槽隔离、深沟槽隔离。这些结构对 ESD 网络和闩锁有着重要影响。区别在于 ESD 器件如何响应 LOCOS 和 STI。LOCOS 和 STI 的仿真和实验结果会进行讨论。

习　　题

5.1　运用 Wunsch – Bell 方程，根据恒定电场缩放参数 α，推导出 ESD 鲁棒性缩放，假设二维图像被保存在物理三维中。

5.2　使用阱的缩放关系，假设一个元件的缩放只限定在阱深方向。如何进行 ESD 鲁棒性缩放？

5.3　使用阱的缩放关系，确定方块电阻和薄膜厚度必须为多少才能保持连续 ESD 鲁棒性？

5.4　使用阱的缩放关系和 MOSFET 恒定电场缩放参数 α，并且定义一个新的阱缩放参数 γ，这些参数需要满足什么关系才能在一维几何参数缩放的情况下保持 ESD 鲁棒性？二维呢？三维呢？

5.5　给定一个宽度为 W 的 n 阱整流电阻，掺杂浓度应该如何保持才能在宽度被缩放为 $W' = W/\alpha$ 时保持相同的 n 阱整流饱和电流？

5.6　给定一个重掺杂的衬底集电极，其有如下的非线性宽度滚降效应：

$$V_{HBM} = AW - BW^2$$

为线性元件推导一个相对于 W 的宽度 W' 的关系来获得系统相同的 HBM ESD。

参 考 文 献

1. S. Dabral, R. Aslett and T. Maloney. Designing on-chip power supply coupling diodes for ESD protection and noise Immunity. *Proceedings of the EOS/ESD Symposium*, 1993; 239–249.
2. S. Dabral, R. Aslett and T. Maloney. Core clamps for low voltage technologies. Proceedings of the EOS/ESD Symposium, 1994; 141–149.
3. P. Cottrell, S. Warley, S. Voldman, W. Leipold and C. Long. N-well Design for Trench DRAM Arrays. *International Electron Device Meeting (IEDM) Technical Digest*, December 1988; 584–587.
4. S. Voldman *et al.* Retrograde well and epitaxial thickness optimization for shallow- and deep-trench collar merged isolation and node trench (MINT) SPT cell and CMOS logic technology. *International Electron Device Meeting (IEDM) Technical Digest*, 1992; 811–815.
5. S. Voldman *et al.* Shallow trench isolation (STI) double-diode electrostatic discharge (ESD) circuit and interaction with DRAM circuitry. *Proceedings of the EOS/ESD Symposium*, 1992; 277–288; and *Journal of Electrostatics* 1993; **31**, (2–3): 237–265.
6. S. Voldman. ESD protection in a mixed voltage interface and multi-rail disconnected power grid environment in 0.5 and 0.25 μm channel length CMOS technologies. *Proceedings of the EOS/ESD Symposium*, 1994; 125–134.
7. S. Voldman. Retrograde well implants and ESD. *SEMATECH Vertical Modulated Well PTAB, SEMATECH, Austin, Texas*, November 1994.
8. S. Voldman and V. Gross. Scaling, optimization, and design considerations of electrostatic discharge protection circuits in CMOS technology. *Proceedings of the EOS/ESD Symposium*, 1993; and *Journal of Electrostatics* 1994; **33** (3) 327–357.
9. S. Voldman. Optimization of MeV retrograde wells for advanced logic and microprocessor/powerPC and electrostatic discharge (ESD). *Smart and Economic Device and Process Designs for ULSI Using MeV Implant Technology Seminar: SEMICON West, SEMICON West GENUS Seminar*, San Francisco, 1994.
10. S. Voldman. Electrostatic discharge protection, scaling, and ion implantation in advanced semiconductor technologies. *Process Integration Issues/Technical Trends Session; Proceedings of the Ion Implantation Conference (I^2CON)*, Napa, California, 1999.
11. S. Voldman, S. Furkay and J. Slinkman. Three dimensional transient electrothermal simulation of electrostatic discharge protection networks. *Proceedings of the EOS/ESD Symposium*, 1994; 246–257.
12. S. Voldman and G. Gerosa. Mixed voltage interface ESD protection circuits for advanced microprocessors in shallow trench and LOCOS isolation CMOS technology. *International Electron Device Meeting (IEDM) Technical Digest*, December 1994; 811–815.
13. S. Voldman, G. Gerosa, V. Gross, N. Dickson, S. Furkay and J. Slinkman. Analysis of snubber clamped diode string mixed voltage interface ESD protection networks for advanced

microprocessors. *Proceedings of the EOS/ESD Symposium*, 1995; and *Journal of Electrostatics* 1996; **38** (1–2): 3–32.

14. S. Voldman. MeV implants boost device design. *IEEE Circuits and Devices* 1995; **11** (6): 8–16.
15. S. Voldman. The impact of MOSFET technology evolution and scaling on electrostatic discharge protection. *Microelectronics Reliability* 1998; **38**: 1649–1668.
16. S. Voldman. The state of the art of electrostatic discharge protection: physics, technology, circuits, designs, simulation and scaling. *Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting (BCTM) Symposium*, 27–29 September 1998; 19–31.
17. V. Puvvuda, V. Srinivasan and V. Gupta. A scalable analytical model for ESD *n*-well resistors. *Proceedings of the EOS/ESD Symposium*, 2000; 437–446.
18. S. Voldman *et al.* Electrostatic discharge and high current pulse characterization of epitaxial base silicon germanium heterojunction bipolar transistors. *Proceedings of the international Reliability Physics Symposium*, March 2000; 310–316.
19. S. Voldman, N. Schmidt, R. Johnson., L. Lanzerotti, A. Joseph, C. Brennan, J. Dunn, D. Harame, P. Juliano, E. Rosenbaum and B. Meyerson. Electrostatic discharge characterization of epitaxial base silicon germanium heterojunction bipolar transistors. *Proceedings of the EOS/ESD Symposium*, 2000; 239–251.
20. S. Voldman *et al.* ESD robustness of a silicon germanium BiCMOS technology. *Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting (BCTM) Symposium*, 2000; 214–217.
21. S. Voldman, L. Lanzerotti, B. Ronan, S. St Onge and J. Dunn, The influence of process and design of sub-collectors on the ESD robustness of ESD structures and silicon germanium heterojuncion bipolar transistors in a BiCMOS SiGe technology. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 2003; 347–356.

第 6 章　隔离结构和 ESD

隔离结构从电学和物理热学两方面影响半导体器件的 ESD 鲁棒性。在本章中，我们将讨论隔离结构对 ESD 器件工作的影响，主要内容是局部氧化隔离、浅沟隔离和深沟隔离的影响，并将讨论局部氧化和浅沟隔离的区别，以及它们如何影响器件的 ESD 鲁棒性。

6.1　隔离结构

隔离结构对高电流环境下的半导体器件的电学和热学性质都有很显著的影响，其几何尺寸和材料性质是影响半导体器件电学和热学性质的因素。隔离结构对寄生器件的工作以及半导体器件、结构和电路都有非常重要的影响，如果电路出现无意识的或者意料之外的机制，那么隔离机构可能是失效机制的源头。在 ESD 网络中，这些元件可以被用作 ESD 保护器件，理解这些结构和隔离所起的作用，对于理解如何在半导体芯片中获得好的 ESD 保护水平具有决定性作用。这些寄生结构由保护环结构构成，可以用于 ESD 保护。隔离结构可以影响闩锁抑制。

隔离结构由厚氧化物（ROX）、局部氧化（LOCOS）和浅沟隔离（STI）几个工艺方法组成，这些隔离方法用于半导体表面是非常有代表性的。其他的方法在表面附近，包括双深度浅沟隔离（dual depth STI）、槽隔离（TI）和凹槽隔离结构。这些额外的结构用于双极型存储器，并且利用深沟结构极大的注入半导体衬底来开发 DRAM。现在深槽结构都用于 DRAM，并且改进了双极型晶体管的研发。本章将讨论应用到 ESD 和闩锁的隔离结构。

6.1.1　局部氧化（LOCOS）隔离

局部氧化（LOCOS）隔离（见图 6-1）就是利用晶体管结构的 MOSFET 工艺中的扩散来开发的，局部氧化隔离是非平面的，与隔离部分的上方形成在半导体衬底表面和其以下部分构成，隔离将要形成的区域是由氧化物和氮化物的掩膜形成的。使用氧化过程，硅将被氧化，在硅的上下表面增长。隔离结构在侧面扩展，抬高边缘的掩膜结构，形成一个局部氧化的鸟嘴区域。局部氧化的鸟嘴随着氧化过程的进行而变化，它的极限由 MOSFET 的沟道宽度控制，而沟道宽度的变化是由印刷版图形引起的，产生了沟道变化 ΔW 和器件到器件的匹配变化 Δ（ΔW）。

通过在结边缘和自对准多晶硅化物边缘的发生变化，局部氧化的鸟嘴结构影响 ESD 保护。由于自对准多晶硅化物（Self - Aligned Silicide）和合金结之间的相对距离，LOCOS隔离结构导致 ESD 失效。在 STI 结构中，隔离的侧壁是垂直的，这会导致自对准多晶硅化物形成和接触结边缘的微小差异。浅沟隔离结通过很好的控制自对准多晶硅化

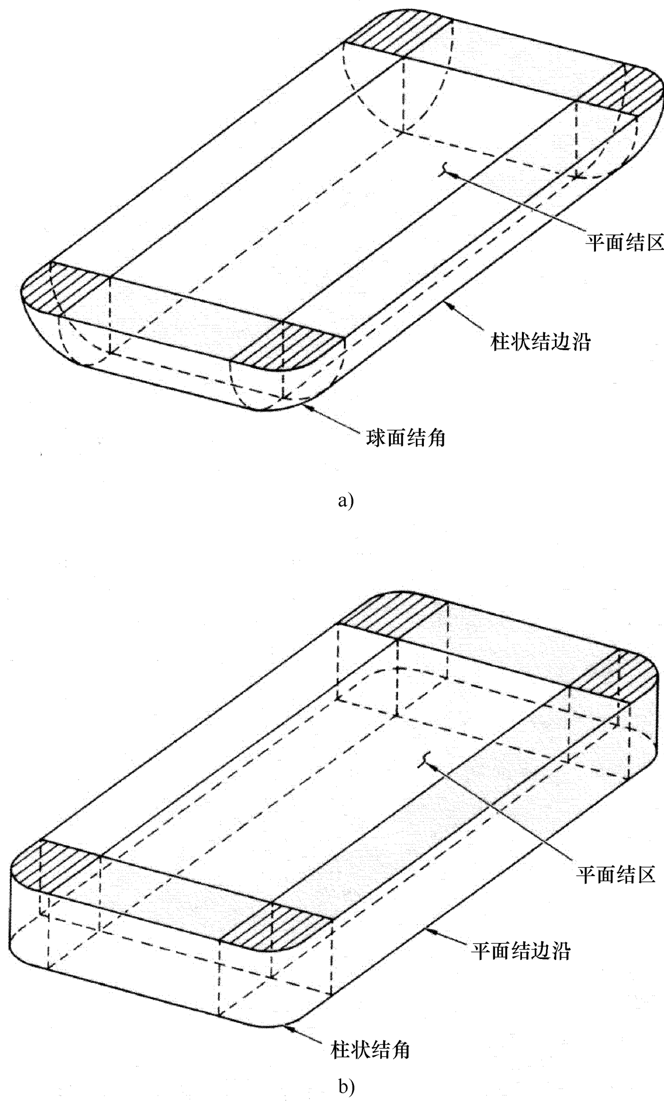


图 6-1 局部氧化隔离和浅沟隔离对比

物和金属结边缘的侧面位置变化消除了这一问题。

由于接触结是在局部氧化过程中按比例缩放的，金属结边缘的曲度随着缩放导致更高的电场[1,2]，弯曲区域的电场增强会导致电击穿、热电子效应和电流不均匀分布。在二维结构中，边缘的接触结会提高，在拐角处，电场会有更大的提高。由高斯定理得

$$\nabla \cdot E = \frac{\rho}{\varepsilon}$$

考虑边缘接触结曲度，散度可以用柱面坐标来描述，假设只有一个径向分量：

$$\frac{1}{r}\frac{\partial}{\partial r}[rE(r)] = \frac{\rho(r)}{\varepsilon}$$

求解电场得

$$\frac{\partial}{\partial r}[rE(r)] = r\frac{\rho(r)}{\varepsilon}$$

两边同时积分有

$$\int_{r_j}^{r}\mathrm{d}r\frac{\partial}{\partial r}[rE(r)] = \int_{r_j}^{r} r\frac{\rho(r)}{\varepsilon}\mathrm{d}r$$

可以根据接触结曲度半径 r_j 和积分常数 K 的函数表示其解如下：

$$E(r) = \frac{1}{r}\int_{r_j}^{r} r\frac{\rho(r)}{\varepsilon}\mathrm{d}r + \frac{K}{r}$$

S. K. Ghandi[3] 指出这个公式可以用于表示单边结，圆柱形的归一化击穿电压可以表示如下：

$$\frac{V_{cyl}}{V_B} = \frac{1}{2}(\eta^2 + 2\eta^{6/7})\ln\left(1 + \frac{2}{\eta^{8/7}}\right) - \eta^{6/7}$$

其中单边结的击穿电压可以表示为

$$V_B = \frac{E_m W}{2} = \frac{\varepsilon E_m^2}{2qN_a}$$

结的曲率系数为

$$\eta = \frac{r_j}{W_m}$$

在结的拐角处，根据球面几何学，高斯定理可以在球面坐标系下表示为

$$\frac{1}{r^2}\frac{\partial}{\partial r}[r^2E(r)] = \frac{\rho(r)}{\varepsilon}$$

通过积分求解电场，解的形式如下（其中 r_j 表示结的曲率半径）：

$$E(r) = \frac{1}{r^2}\int_{r_j}^{r} r^2\frac{\rho(r)}{\varepsilon}\mathrm{d}r + \frac{K}{r^2}$$

归一化击穿电压的球面表示为

$$\frac{V_{sph}}{V_B} = \eta^2 + 2.14\eta^{6/7} - (\eta^3 + 3\eta^{13/7})^{2/3}$$

由于工艺技术的等比例缩小，曲率半径降低，同时降低了圆柱形边缘和球形拐角的击穿电压。对于一个反偏结构，这会导致在低压环境下的 ESD 失效。在二极管结构中，反向击穿电压的降低会导致低压下的 ESD 失效。在 MOSFET 中，源漏极的结深随着 MOSFET 的栅极绝缘层厚度和沟道长度按比例变化，结果 MOSFET 的转折电压降低，导致 MOSFET 的雪崩击穿电压更低。通过延长金属结下面的隔离，可以避免圆柱形和球形电场的增强，这样就可以消除二极管结构中的尺寸效应。

6.1.2 局部氧化（LOCOS）界 ESD 结构

大量的结构适合 ESD 保护，同时对它的失效机制都有认知。局部氧化的 ESD 结构

包括横向 pnp 和 npn 型双极型晶体管的厚氧化层、p^+/n 阱二极管、n^+ 衬底二极管和局部氧化的 MOSFET 结构。局部氧化结构包括局部氧化和结深下面的扩展阱，同时 n 阱到 n 阱和 n 阱到局部氧化的 n^+ 结横向双极型晶体管也对局部氧化工艺的 ESD 保护有影响。

6.1.2.1 p^+/n 阱结型二极管

使用局部氧化隔离形成二极管的阳极和阴极，可以形成局部氧化的 p^+/n 阱二极管[4]。在正偏工作模式下，多子穿过金属结从阳极注入到阴极（见图 6-2），少子在 n 阱阴极区域纵向和横向地扩散。到达浅沟隔离的 n^+ 接触区的空穴发生复合，纵向扩散的空穴在 n 阱复合，或者扩散到 n 阱衬底。横向和纵向空穴电流密度比是 n 阱外形、表面电阻和 p^+ 与 n^+ 接触扩散的相对距离的函数。

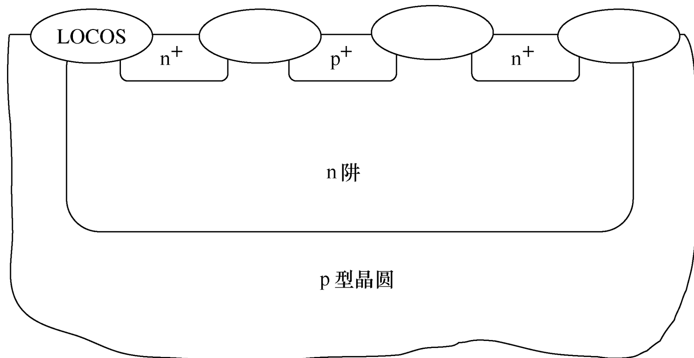


图 6-2　p^+/n 阱二极管结构

局部氧化的 p^+/n 阱二极管的 ESD 鲁棒性是 p^+ 二极管长度、宽度、叉指数量、p^+ 到 n 阱的触点间距、单侧或者环绕式结构和 n 阱的表面电阻的函数。当 n^+ 阱环绕着 p^+ 扩散区时，使电流分布均匀，这时 p^+/n 阱二极管的状态最理想。p^+/n 阱二极管的 ESD 鲁棒性是 p^+ 到 n 阱接触距离（如局部氧化宽度）的弱函数。ESD 失效等级与二极管面积呈线性关系，这个面积约等于周长，实验结果也显示当 p^+/n 阱二极管的周长增加时，ESD 鲁棒性也急剧增加。另外，如果面积固定，随着周长面积比增加，HBM 和 MM 实验结果都显示出极大的提升。

在局部氧化的 p^+/n 阱二极管中，为了最小化硅化物渗透到局部氧化鸟嘴边缘附近的合金结造成的影响，可以在扩散边界使用掩膜来阻止失效机制。因为局部氧化扩散边界的电场最高，在鸟嘴边缘附近使用硅化物掩膜可以消除二极管边界附近的硅化物，掩膜宽度可以增加硅化物与金属结边缘的物理横向距离。

图 6-3 比较了在不同外形尺寸下局部氧化的二极管结构和浅沟隔离的 ESD 鲁棒性，局部氧化二极管的 ESD 表现优于相同结构尺寸下的浅沟隔离的表现。

6.1.2.2 n^+ 结二极管

局部氧化的 n^+ 结/衬底二极管对于电流注入到 p^- 或者 p^-/p^+ 衬底有很好的特性，在局部氧化技术中，因为自对准多晶硅化物相对于合金结边缘的差异，所以在 ESD 保护中使用 n 结是很重要的。随着自对准多晶硅化物的引入，n^+ 扩散为负电荷放电提供

了很好的鲁棒性。由于通过 n^+ 二极管的反偏电压增加，金属结的耗尽区宽度扩展到 n^+ 掺杂区。伴随着局部氧化鸟嘴的变化和横向扩散注入的 n^+ 的变化，硅化物和金属结之间的横向距离可能变化，这增加了 ESD 失效机制的风险。在局部氧化的 p^+/n 阱二极管结构中，靠近二极管边缘阻止多晶硅形成的掩膜可以最小化 ESD 故障。

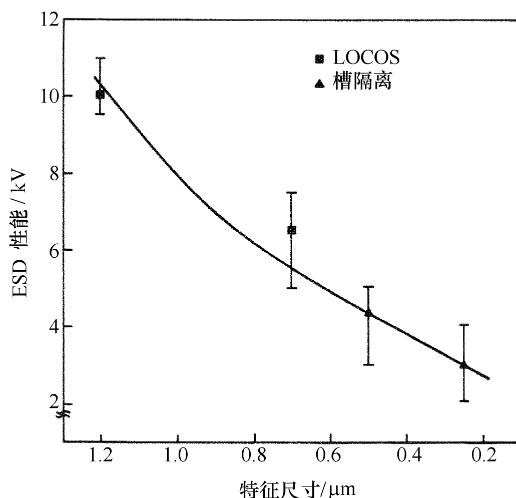


图 6-3 ESD 性能与特征尺寸（局部氧化 – 浅沟隔离对比）

6.1.2.3 n 阱/衬底二极管

在局部氧化工艺中，在 p^+ 衬底中的 n 阱二极管用来避免金属铝和多晶硅渗入到 n^+ 扩散的金属结中。在金属结中形成的锥形通孔的局部氧化二极管结构中，当通孔温度超过了熔化温度时，来自铝尖峰形成的垂直渗入可能是反偏电压，这在反偏 HBM 模型或者 CDM 模型中的 n^+ 结是一个更大的问题。为了避免这个问题，早期的半导体工艺利用 n 阱二极管代替 n^+ 结二极管。

n 阱到衬底金属结与局部氧化边缘是不相连的，更深的结构避免了这一问题[4]。在局部氧化工艺中，在局部氧化隔离和 n^+ 扩散层下面扩展 n 阱，局部氧化的 n^+ 扩散区用来与 n 阱二极管接触，因为 n 阱结构比 n^+ 扩散区宽很多，而且多晶硅边缘和 n 阱到衬底金属结之间的横向 n 阱外扩散距离被分开，以避免多晶硅诱发 ESD 失效机制。因为 n 阱掺杂扩散到局部氧化隔离区域的下方，所以 n 阱二极管结构在底部注入的二极管边界出现结弯曲。n 阱结构的优点是局部氧化结构下方的散热很好，而且为衬底注入提供了一个好的结面积。局部氧化的阱结构相比于 n^+ 扩散到衬底二极管结构具有更好的注入特性。其缺点就是 n 阱结构有一个最小的可伸缩的沟长，这限制了 n 阱二极管长度的缩放，并且相比于局部氧化的二极管结构有更高的边界电容，这个缺点可以通过使用更短的宽度来补偿。

6.1.2.4 横向 n 阱到 n 阱双极型 ESD 原理

对于负电荷放电事件的 ESD 保护，局部氧化的横向 n 阱到 n 阱双极型 ESD 是一个有效的解决方案[4]。n 阱扩散到局部氧化区域的下方，使电子流在相邻的 n 阱结构流动，不受局部氧化结构的阻碍。一个横向 npn 结构包括第一个 n 阱作为发射极，一个 p 衬底作为基极和第二个 n 阱作为集电极。电子从 n 阱发射极到 n 阱集电极横向流动。n 阱发射极可以作为一个局部氧化的 n 阱与输入引脚相连，n 阱集电极与相邻的 n 阱连接到供电电源或者电源轨，或者连接到 n 阱保护环结构。在这种情况下，电子必须从局部氧化的 n 扩散二极管到衬底金属结到相邻的 n 阱区域流动。在这种结构中，发射极面积就是局部氧化的 n^+ 结面积。

6.1.2.5 横向 pnp 双极型 ESD 元件

使用 p 沟道的 MOSFET 源漏注入到 n 阱区，形成局部氧化的横向 pnp 型晶体管，p^+ 扩散区作为发射极，另一个 p^+ 扩散区作为集电极，n 阱作为基极。横向 pnp 型晶体管有一个横向分量，它的发射极面积与扩散深度和宽度有关。

6.1.2.6 厚氧化层 MOSFET ESD 元件

局部氧化的 MOSFET（见图 6-4）包括由局部氧化隔离分隔开的两层 n 扩散区。一层金属或者一层多晶硅栅放在局部氧化隔离的上面，形成厚的氧化层结构，由于局部氧化的栅极绝缘层，局部氧化的厚氧化层晶体管有很高的 MOSFET 阈值电压，这样的器件适合于 NMOS ESD 网络的初级阶段[5-12]。厚的氧化层 MOSFET 用于 3 - 1μm 工艺时代的 ESD 网络，器件作为一个横向双极型晶体管工作。这样的器件对局部氧化鸟嘴、硅化物形成和漏极接触区到扩散边沿的距离非常敏感。漏极接触区、自对准多晶硅化物、隔离区边沿和金属结物理效应都会影响实验室结果，并且导致相互矛盾的结果。这些结构的三个主要设计差异是沟道长度、宽度和漏极接触区到扩散边沿的距离。Weston 等人指出当横向器件（厚氧化层 MOSFET）的基极宽度降低时，触发电压也线性降低。在非常小的尺寸下，泄露很明显[12]；在非常长的尺寸下，会发生栅氧化层击穿。实验结果显示，局部氧化的厚氧化层 MOSFET 器件，它的工作状况非常依赖于自对准多晶硅化物边沿和金属结之间的距离的控制，这可以通过局部氧化的鸟嘴来调整。在这种结构中使用硅化物掩膜、移除硅化物和突变结可以提高性能。

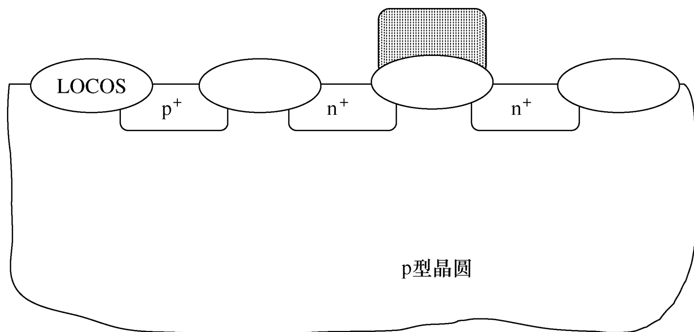


图 6-4 厚氧化层 MOSFET 结构

6.2 浅沟隔离

为了 MOSFET 常电场和结等比例缩小，以及处理如局部氧化隔离的隔离工艺的问题，所以在半导体中使用浅沟隔离[13]（STI）。这一工艺（见图 6-5）在 20 世纪 80 年代后期开始发起，在 20 世纪 90 年代早期使用到 CMOS DRAM 和逻辑工艺中[13,14]，第一个浅沟隔离的 ESD 网络结构是 Hargrove 和 Voldman 开创的[15,16]。

相比于局部氧化隔离，浅沟隔离有许多不同的显著特性。假设 ESD 网络可以从局

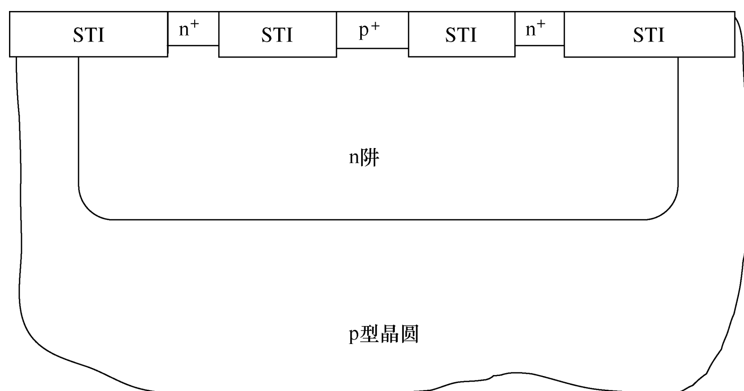


图 6-5　浅沟隔离的 p⁺/n 阱二极管

部氧化的工艺简单地映射到浅沟隔离工艺，在浅沟隔离工艺中，为了优化 ESD 网络，需要对 ESD 有很好地理解[15-24]。局部氧化隔离是非平面的，部分在半导体衬底表面上方，部分在下方。LOCOS 的形状阻碍了它在未来工艺时代尺寸缩放的能力，STI 结构和半导体器件表面是成平面的。被称为 LOCOS 鸟嘴的第二特性是对 MOSFET 沟道宽度的限制，这从印刷版图形中引入了沟道宽度的变化，导致沟道宽度的变化（ΔW）和器件到器件的匹配变化 Δ（ΔW）。STI 结构可以在相邻结构的不同宽度间保持平面性。

通过在结边缘和自对准多晶硅化物边缘的发生变化，局部氧化的鸟嘴结构影响 ESD 保护[5-12]。由于自对准多晶硅化物和冶金结之间的相对距离，LOCOS 隔离将导致 ESD 失效。在 STI 中，隔离结构的侧壁是垂直的，这导致自对准多晶硅化物形成和结边缘的定位的微小差异。STI 结消除了自对准多晶硅化物和冶金结边缘横向定位的问题，对横向差异有一个很好的控制。

STI 结构和 STI 结的另一个特性是在器件表面形成注入，例如 p^+ 和 n^+ 注入，在 STI 结构下方没有扩展的冶金结，STI 深度是宽度与制造环境可接受的深度的比例。

在冶金结下面的 STI 深度，在结边缘没有电场增强的情况下，MOSFET 和其他表面注入是可缩放的。当 LOCOS 过程中结深缩放，冶金结边缘的曲率导致随着缩放比例产生更高的电场，弯曲部分电场增强会导致电击穿、热电效应和不均匀的电流分布。在二维情况下，结边缘电场增强，在拐角处，电场更大。另外，当隔离结构下扩展结，边界电容超过了单位面积电容。在 STI 结中，在冶金结－STI 接触面没有形成曲率半径，这会导致电击穿（除了拐角处的圆柱曲率）。另外，与单位面积电容相比，周界电容明显降低（或者可以忽略）。

6.2.1　浅沟隔离下拉

浅沟隔离避免了局部氧化隔离结构的横向鸟嘴效应，但是引入了一个新的问题[24]。在浅沟隔离的形成过程中，目标是在绝缘区域和硅区域之间得到一个平面，然而刻蚀和掩膜工艺，还有自对准多晶硅化物形成引起的体积变化，会导致隔离和硅区域之间的非平面交点。在早期的浅沟隔离工艺中，在硅区域上形成一个衬垫的氮化物掩膜，以避免

硅刻蚀；在填充了氧化物隔离层后，这层掩膜被移除。在刻蚀过程中，浅沟隔离区域是暴露在外面的，这导致在隔离边沿上方扩展的硅区域形成了非平面的浅沟隔离边缘。

在浅沟隔离－硅扩散区域，在氧化物区域和浅沟隔离扩散接触面上方沉积保形难熔金属以形成硅化物，在硅化物形成的过程中，由于难熔金属，硅的横向扩散导致界面凹陷，这些影响会导致浅沟隔离周界二极管泄漏（见图6-6）。

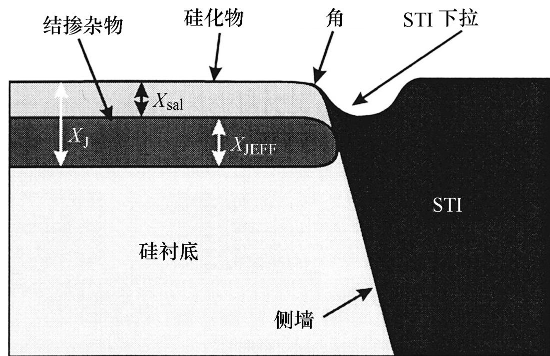


图6-6　浅沟隔离和浅沟隔离下拉

在 MOSFET 栅极中，栅极氧化物沉积导致 MOSFET 边沿栅极环绕。在封闭的边沿，作为扩散区域，在氧化物区域和浅沟隔离扩散接触面上方沉积保形难熔金属以形成硅化物。在栅极区域，环绕在沟道侧壁的隔离边缘的 MOSFET 栅极将导致 MOSFET 边沿的电场增强，这会使 MOSFET 边沿的电流密度更高，同时三维 MOSFET 栅致漏电（GIDL）[25]。

通过选择合适的刻蚀和平面化工艺可以使浅沟隔离下拉最小化，通过拉开金属结和硅化物形成深度之间的距离，可以最小化泄漏电流影响和非理想的电学特性。

6.2.2　浅沟隔离界 ESD 结构

适合于 ESD 保护的结构有许多，而且对失效机制都有认知。浅沟隔离的结构包括横向 pnp 型和 npn 型双极型晶体管的厚氧化层，p^+/n 阱二极管，n^+/衬底二极管和浅沟隔离的 MOSFET。浅沟隔离结构包括浅沟隔离下方扩展的结构，n 阱到 n 阱和 n 阱到浅沟隔离的 n^+结横向双极型晶体管也在浅沟隔离工艺中应用于 ESD 保护。

在浅沟隔离的 ESD 结构中，浅沟隔离下拉效应会导致 ESD 结构鲁棒性降低[24]，从非理想的二极管 $I-V$ 特性和增加的二极管漏电流来看，浅沟隔离下拉影响 ESD 结构的证据是明显的。如果浅沟隔离下拉影响最小化和局部氧化的 ESD 二极管中观察到的一样，浅沟隔离二极管不会表现出周界的失效机制。

6.2.2.1　p^+/n 阱结

在结区域上方扩展浅沟隔离结构会影响横向的热传输，浅沟隔离区域填充的绝缘物会影响隔离区域下方载流子的横向电流和热通量[18,20,21]（见图6-7a）。

在图6-7b 中，对比了 p^+/n 阱二极管正向偏置下的浅沟隔离热学仿真和等效的局部氧化隔离。从结果可以观察到，浅沟隔离区域的温度要高于局部氧化的结区域。

在图6-8 中，STI 和 LOCOS 隔离的峰值温度作为时间的函数，从图6-7b 观察到，在 ESD 过程中，STI 隔离的峰值温度要高于 LOCOS 隔离。

在图6-9a～c 中，显示了浅沟隔离二极管的场发射显微镜光子发射和 Kelvin 原子力探针显微镜图，KPFM 图移除了氧化物区域，留下了在浅沟隔离的 p^+/n 阱二极管中发生电热失效的硅区域，电热失效是从阳极的 p^+接触区到阴极的 n^+接触区，失效路径在

STI 到 n⁺阱接触区的下面，穿过了 p⁺二极管结。

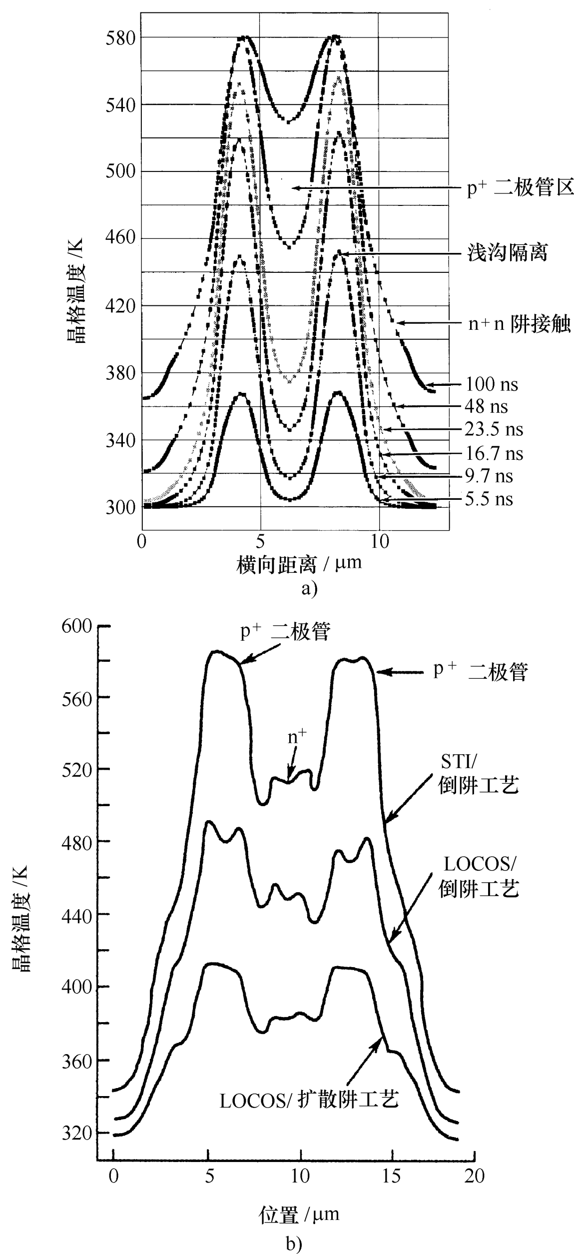


图　6-7

a）浅沟隔离的 p⁺/n 阱二极管的电热仿真；

b）倒阱中的 p⁺/n 阱二极管的 LOCOS 和 STI 的自热仿真对比

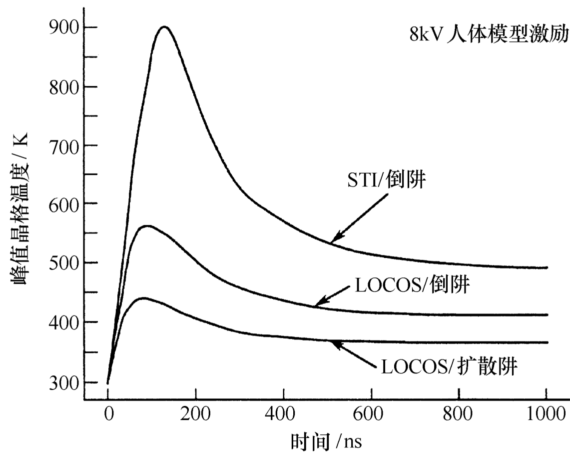


图 6-8 LOCOS 和 STI 结构的 p⁺/n 阱二极管电热仿真对比

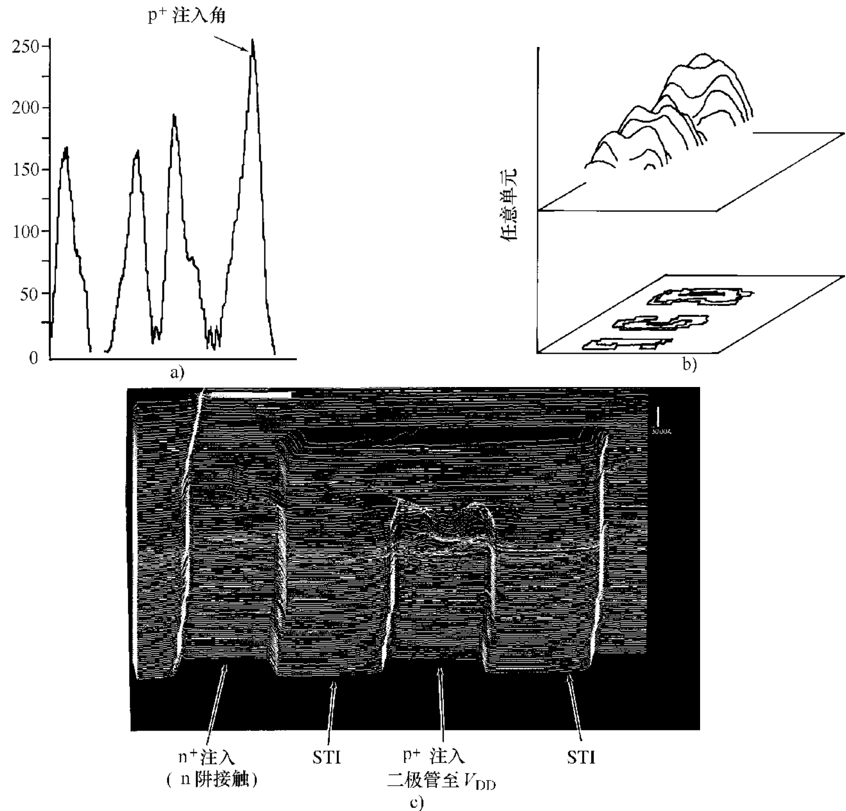


图 6-9

a) p⁺/n 阱二极管场发射显微镜光子发射；b) 场发射显微镜光子镜像；
c) Kelvin 原子力显微镜图

使用 STI 的阳极区和阴极区作为二极管结构形成 STI 环绕的 p⁺/n 阱二极管[15-22]。在正

向偏置工作模式下，多子空穴穿过金属结从阳极注入到阴极，少子空穴在 n 阱阴极区域垂直和水平地扩散。到达 STI 环绕的 n^+ 接触区的空穴复合，垂直扩散到 n 阱区域或者 n 阱到衬底结的空穴复合。水平和垂直的空穴电流密度比例是 n 阱分布、方块电阻和 p^+ 与 n^+ 接触扩散相对距离的函数。

STI 的 p^+/n 阱二极管的 ESD 鲁棒性是 p^+ 二极管的长度、宽度、指数、p^+ 到 n 阱接触距离、单边或者环绕式结构和 n 阱的方块电阻的函数[15-24]。当 n^+ 阱与 p^+ 扩散区环绕接触时，p^+/n 阱二极管的工作状态最佳，允许均匀的电流分布。p^+/n 阱二极管（见图 6-10）的 ESD 鲁棒性是 p^+ 到 n 阱接触距离（如 STI 宽度）的弱函数。ESD 失效等级与近似等于周长的二极管面积呈线性关系。实验结果也显示，当 p^+/n 阱二极管的周长增加时，ESD 鲁棒性也极大地增加。另外，对于固定的面积，当周长与面积比增大时，HBM 和 MM 实验结果都表现出极大的改善。此外，当 n 阱方块电阻在 300 ~ 1000Ω/sq 时，器件的 ESD 鲁棒性增加[15-21]。

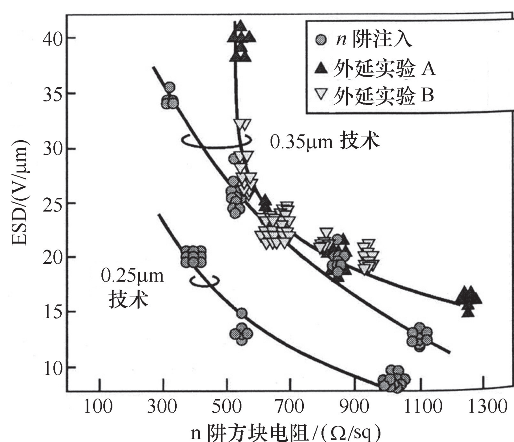


图 6-10 ESD 和 n 阱方块电阻

6.2.2.2 n^+ 结型二极管

STI 的 n^+ 结/衬底二极管为电流注入到 p^- 或者 p^-/p^+ 衬底提供了很好的特性[15-18]。在 STI 结中，在结构的边缘没有自对准多晶硅化物渗入的问题。在 LOCOS 工艺中，为了 ESD 保护使用的 n 结是关键，因为自对准多晶硅化物的变化与冶金结边缘相关。随着钨接触的引入，自对准多晶硅化物和 STI 隔离，STI 的 n^+ 扩散区为负电荷放电提供了很好的 ESD 鲁棒性。在没有接触尖峰效应的情况下，钨（W）钉接触有很高的熔融温度（如 3400℃），钨（W）钉接触联合使用了 STI 隔离和自对准多晶硅化物，有效的结深（如硅化物原子与冶金结的距离）提供了低 ESD 级别下非失效机制。实验结果显示在没有失效的 STI DRAM 工艺中，测试 n^+ 扩散达到了 10kV HBM 级[17]。STI 的二极管结构是长度和宽度的函数。当在 STI 的 p^+ 二极管中，这种结构对尖端效应不敏感。

6.2.2.3 n 阱/衬底二极管

在 LOCOS 工艺中，在 p 衬底中的 n 阱二极管用来避免铝冶金和硅化物浸入 n^+ 扩散的金属结中。为了避免这一问题，N 阱到衬底的冶金结与 LOCOS 不相连，而且显著加深。在 STI 工艺中，在 STI 下方扩展 n 阱，STI 的 n^+ 扩散区作为与 n 阱二极管的接触区。在 STI 工艺中，n 阱到 STI 接触面在表面下方。由于掺杂物在 STI 区域下方扩展，n 阱二极管（见图 6-11）在二极管周界注入底部有结点弯曲，但是在 STI 到 n 阱接触面没有弯曲。n 阱结构的好处是热量在 STI 结构下方散去，并且为衬底注入提供了很好的结面

积；其缺点是存在一个最小的可缩放长度，阻止了 n 阱二极管长度的缩放，并且相比于 STI 的二极管结构有明显增大的周边电容。在 p^-/p^+ 衬底中的 n 阱到衬底二极管的 ESD 鲁棒性超过了 10kV HBM，达到了 HBM 级[17]。

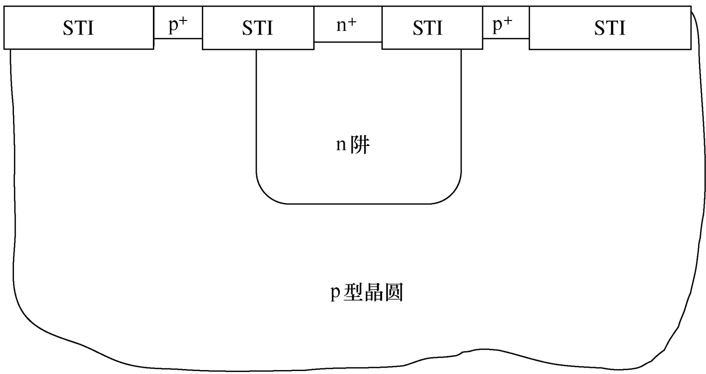


图 6-11　n 阱二极管结构

6.2.2.4　横向 n 阱到 n 阱的双极型 ESD 单元

对于为负电荷放电提供 ESD 保护，STI 的横向 n 阱到 n 阱双极型 ESD 单元（见图 6-12）是一种有效的方案，在 STI 下方区域扩展的 n 阱，允许电子电流在相邻的 n 阱中流动，而没有 STI 结构的阻碍。一个横向 npn 包括第一个 STI 的 n 阱作为发射极，一个 p 衬底作为基极，和第二个 n 阱作为集电极。电子从 n 阱发射极横向流动到 n 阱集电极，n 阱发射极可以做成 STI 的 n 阱与输入引脚相连，n 阱集电极可以与任意相邻的 n 阱相连作为供电电源或者电源轨，或者作为 n 阱保护环[17]。

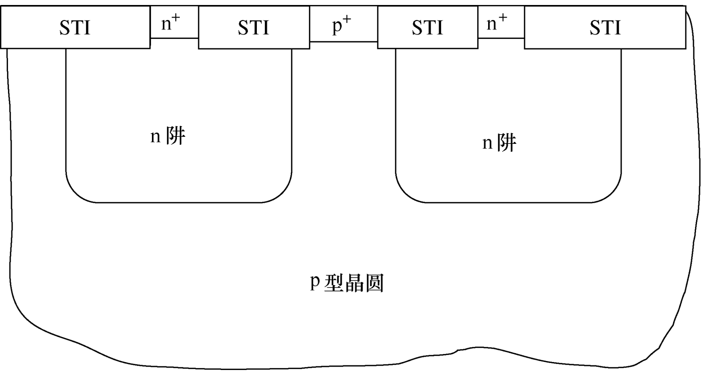


图 6-12　n 阱到 n 阱的二极管结构

这个结构的 ESD 鲁棒性是相邻阱间距离的函数（见图 6-13）。在 p^-/p^{++} 衬底晶圆上的实验结果表明，ESD 鲁棒性在 6μm 下超过了 10kV，达到了 HBM 级。随着基极有效宽度从 6μm 减小到 3μm，ESD 鲁棒性降低了[17]。同时它也是阱深的函数，当阱深缩小，间距不变，ESD 等级下降[17]。

在横向 n 阱到 n 阱中，失效分析指出了在 ESD 工艺中两个阱之间的硅熔融区域，

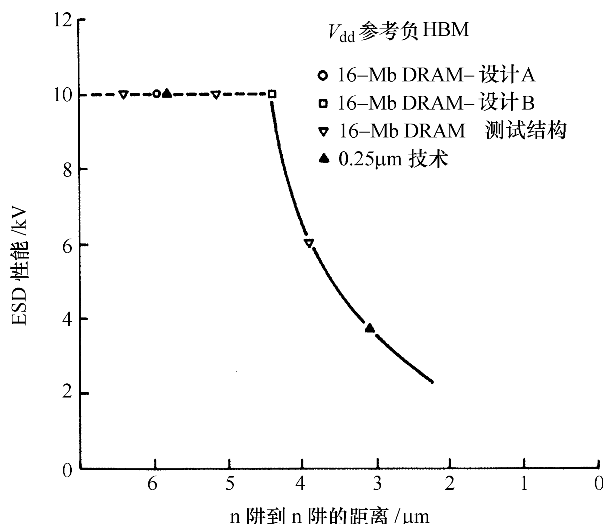


图 6-13　n 阱到 n 阱 ESD 结构的 HBM 负电荷与阱间距离

从图 6-14 中可以明显看出。

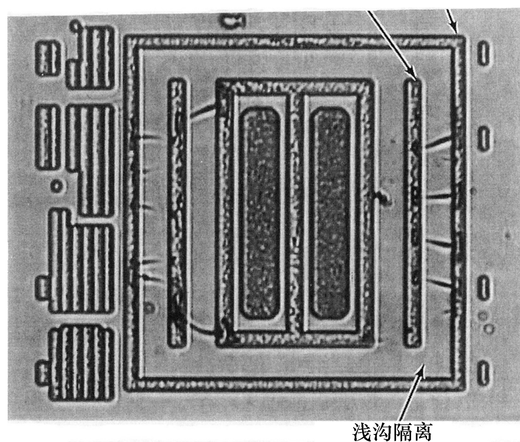


图 6-14　n 阱到 n 阱结构的 ESD 失效分析

6.2.2.5　横向 n^+ 到 n 阱双极型 ESD 单元

对于为负电荷放电提供 ESD 保护，STI 结合横向 n 扩散到 n 阱的双极型晶体管的 ESD 单元是有效的方案。使用 STI 的 n 扩散，电子电流流向相邻的 n 阱中。一个横向 npn 包括第一层 STI 的 n 扩散区作为发射极，一个 p 型衬底作为基极和一个 n 阱作为集电极。n 扩散的发射极可以连接到输入引脚，n 阱集电极可以与任意相邻的 n 阱相连作为供电电源或者电源轨，或者作为 n 阱保护环。在这种情况下，电子必须在 STI n 扩散二极管衬底的垂直流动。在这种结构中，发射极区域是 STI n^+ 结区。

6.2.2.6　横向 pnp 双极型 ESD 单元

STI 工艺是在半导体器件的 p^+ 扩散深度下方扩展隔离深度，横向 pnp 的形成（见图 6-15）是通过在 n 阱中两个紧挨着的 STI p^+ 注入得到的。当发射极 – 基极正向偏置，

空穴将扩散到阱中，在倒阱中，纵向的内建电场会产生一个与向下扩散的电流方向相反的漂移电流，空穴会在从 STI 区到 p⁺集电极横向流动[22]。

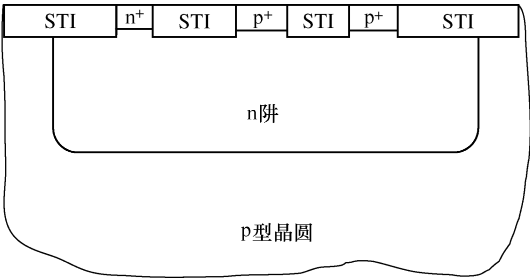


图 6-15　横向 STI pnp 结构

在 0.35μm 的沟长工艺下，使用 STI 的横向 pnp 器件的 ESD 网络的 ESD 鲁棒性超过了 7kV HBM，原子力显微镜演示了 STI 下的 ESD 失效的发生（见图 6-16）。

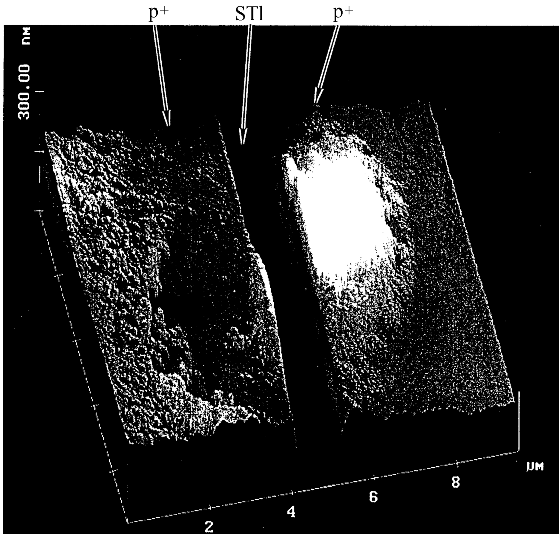


图 6-16　STI 的横向 pnp ESD 结构的原子力显微镜（AFM）图

6.3　深沟隔离

在 20 世纪 80 年代早期，为了减小双极型晶体管工艺中的电容，在半导体中实现了深沟隔离。双极存储器静态存储单元最先采用"扩散隔离"，扩散隔离结构包括衬底集电极区域、穿透注入和在衬底集电极与穿透注入入之间的连接注入，扩散隔离显著增大了集电极到衬底的寄生电容，影响了双极存储器的性能。随着槽隔离的引入，在衬底集电极下方扩展槽隔离，可以减小衬底集电极到衬底电容。深沟隔离结构的发展演变是从氧化物填充槽，到聚酰亚胺深槽，再到多晶硅填充深沟工艺，这项工艺同时也在 DRAM 工艺中发展[14]。今天，深沟隔离广泛应用于 BiCMOS 和 BiCMOS 硅－锗工艺中[26]。深

沟隔离的主要关注点减小了集电极电容和晶体管发热的影响[26-29]，深沟工艺同时影响着闩锁效应和 ESD 鲁棒性[30-34]。

6.3.1　深沟保护环结构

深沟隔离可以用于改善阱的隔离，或者隔离外延区，或者作为独立的保护环结构[31]。深沟结构可以用于最小化横向寄生器件，衬底的注入，并且提高工艺的闩锁鲁棒性。

保护环结构（见图 6-17）可以使少子注入到衬底最小化，避免杂质注入或者闩锁效应。深沟保护环环绕着 ESD 和 I/O 元件可以减小闩锁敏感性，同时改善电路间的隔离。测量隔离电路保护环能力大小的方法是评估保护环的效率。

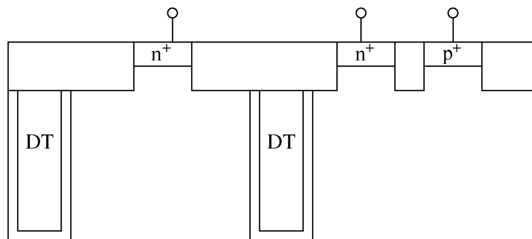


图 6-17　深沟结构保护环

无论是留在深沟保护环结构中，还是从保护环中逸出的载流子，会在衬底中形成少数载流子，因此捕获和逸出的概率之和是 1。

$$P(\text{捕获}) + P(\text{逸出}) = 1$$

在 p 型衬底中，少数载流子电子可以通过在深沟保护环中复合被捕获，也可以在金属结上被收集到。

$$P(\text{捕获}) = P(\text{收集}) + P(\text{复合})$$

电子逸出深沟保护环的概率是电子在深沟保护环外面复合的概率和保护环外面收集到的电子的概率之和。

$$P(\text{逸出}) = P(\text{收集}) + P(\text{复合})$$

因此深沟结构的保护环效率和电子在保护环中被捕获的概率有关。

假设在深沟保护环内有一个注入源，保护环外有一个集电极结构，把效率定义为 F，它是注入电流和集电极电流的比值，即

$$F = \frac{I(\text{注入})}{I(\text{集电极})}$$

在这种情况下，倒数 $1/F$ 是外部结构的保护环外面的集电极电流与保护环内注入电流的比。

$$1/F = \frac{I(\text{集电极})}{I(\text{注入})}$$

深沟保护环外部的逸出电流是外部集电极电流与深沟保护环外部复合电流和的函数，因此如果保护环外部电子复合的概率为 1，那么测量电流就是深沟保护环外部逃逸

的概率。

实验结果显示逸出概率随着槽深变化而变化。假设一个幂级数函数，逸出概率可以表示为

$$\frac{1}{F}=\frac{A}{(L_{\mathrm{DT}})^{B}}$$

Waston 和 Voldman 的分析结果显示，在 p 型衬底中，$A=0.3575$ 和 $B=0.9568$。这表明保护环的度量值与深度的倒数成正比。将公式求倒数，可以得到 F 的线性关系为

$$F=C(L_{\mathrm{DT}})+D$$

式中，$C=2.7$，$D=-0.19$ 与实验结果最匹配。这些实验结果显示保护环的效率度量值随着深沟深度每增加 1μm 增加了将近三倍（见图 6-18）。

6.3.2 深沟及闩锁

通过把深沟结构置于横向寄生 pnpn 结构中，深沟工艺可以降低闩锁敏感性[31]。在半导体中，分别在阱和衬底中的 p^+ 和 n^+ 扩散形成了横向 pnpn 结构，闩锁敏感性依赖于横向 pnp 的电流增益及横向寄生 npn。另外，若沿着 n 阱周界放置深沟结构，可以降低横向 npn 的电流增益，深沟结构的放置可以导致 npn 雪崩击穿的增加。增加了槽结构会导致闩锁触发电压、保持电压和保持电流升高，闩锁的度量值是 n 阱掺杂浓度和阱接触孔距离，衬底掺杂浓度和衬底接触孔距离，以及深沟深度的函数（见图 6-19）。

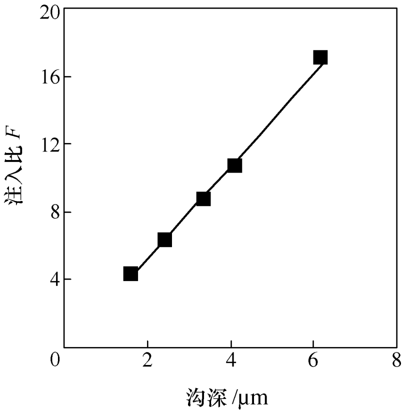


图 6-18 深沟保护环注入效率与槽深度关系

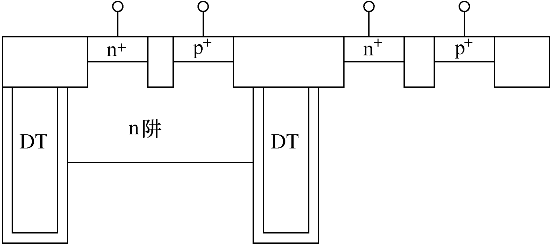


图 6-19 深沟闩锁结构

6.3.3 深沟及 ESD 结构

深沟隔离可以用于 ESD 保护结构和网络。在深沟隔离用于隔离阴极的 p^+/n 阱二极管 ESD 结构中，可以使用深沟结构，深沟隔离置于 n 阱区域的侧壁。浅沟隔离划定了 p^+ 扩散阳极和 n^+ 阴极接触区，浅沟隔离在深沟结构上方形成。考虑到密度和最小化横向接触作用，ESD p^+/n 阱单元要和相邻的结构隔离。这样，n 阱到衬底的电容减小了。对于正脉冲事件，该结构也可以作为一个正向的二极管，其中 p^+ 扩散区作为阳极，n 阱作为阴极。这种情况下，p^+/n 阱单元受到深沟结构的影响，使热电阻增加。在槽隔离结

构中，衬底的热阻抗增加，导致在相同输入电压下，器件表面的温度更高。由热电阻模型可知，峰值温度会升高。这样的结构的好处是衬底注入减小了，相邻结构的横向接触作用通过隔离得到了改善，增加了闩锁免疫力，同时减少了进入半导体衬底的少子。

另外，对于负脉冲事件，这个结构可以作为负脉冲的 n 阱到衬底的二极管单元，其中衬底作为阳极，n 阱作为阴极。在槽隔离结构中，衬底的热阻抗增加，导致在相同的输入电压下，器件表面产生更高的温度。由热电阻模型可知，峰值温度会升高。这样结构的好处是衬底注入减小了，相邻结构的横向接触作用通过隔离得到了改善，增加了闩锁免疫力。实验结果（见图 6-20）表明，深沟结构的 ESD 失效比没有深沟边界的结构减少了两倍（当深沟结构将近于集电极 – 衬底金属结深度的两倍时）。

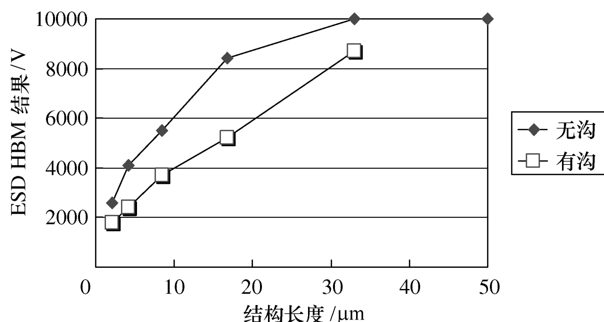


图 6-20　有无深沟的 ESD 衬底集电极到衬底二极管的 HBM 模型

深沟隔离可以用于形成二极管结构，替代阴极区域作为隔离阳极区域的结构。照这样，浅沟隔离的 p^+ 注入和 n^+ 注入的下方区域在低掺杂的 p 区里。使用一个衬底集电极和深沟区域把低掺杂 p 区和 p 衬底隔离开。在这样的器件中，深沟用来隔离阴极和半导体芯片衬底的阳极[34]。

在第 7 章中，将讨论 MOSFET 漏极和自对准多晶硅化物，它们对 ESD 保护有显著的影响。由于很多文献都对 MOSFET 漏极进行了关注，就不深入强调了。第 7 章还将讨论 MOSFET 漏极工艺演变和钛到钴自对准多晶硅化物的转变，钛元素的特性，也会简要讨论低电阻的转变和使用钼来协助这一转变。同时也会继续讨论与 ESD 的自加热效应相关的自对准多晶硅化物的热学模型。

习　　题

6.1　假设在一个 ESD 事件中有 10V 的结电压，基于 S. K. Ghandi 曲率关系，计算局部氧化结与浅沟隔离结之间的电场差异。

6.2　推导深沟结构的传输概率关系。

6.3　推导双极型晶体管模型，其中有第一个 n 阱，槽深 L，和第二个阱。讨论增益与槽深和逃逸概率的关系。

6.4 假设在第一层和第二层接触面之间有三种类型的区域：p 接触区、阱区或者槽区，解释什么是反射、吸收和传输系数。

参 考 文 献

1. S. M. Sze. *Physics of Semiconductors. Section 2.5 Junction Breakdown*. Wiley, 1981.
2. S. M. Sze and G. Gibbons. Effect of curvature on breakdown voltages in semiconductors. *Solid State Electronics*, 1966; **9**: 831.
3. S. K. Ghandi. *Semiconductor Power Devices*. New York: Wiley, 1977.
4. M. Jaffe and P. Cottrell. Electrostatic discharge protection in a 4-Mb DRAM. *Proceedings of the EOS/ESD Symposium*, 1990; 51–58.
5. A. Amerasekera and C. Duvvury. *ESD in Silicon Integrated Circuits* U. Chichesten: Wiley, 1995.
6. C. Duvvury, R. N . Rountree and, L. S. White. A summary of most effective electrostatic protection circuits for MOS memories and their observed failure modes. *Proceedings of the EOS/ESD Symposium*, 1983; 181–184.
7. Duvvury, R. Rountree, D. Baglee, A. Hyslop and L. White. ESD design considerations for ULSI. *Proceedings of the EOS/ESD Symposium*, 1985; 45–48.
8. Duvvury, R. McPhee, D. Baglee and R. Rountree. ESD protection reliability in 1 μm CMOS circuit performance. *Proceedings of the International Reliability Physics Symposium*, 1986; 199–208.
9. R. McPhee, C. Duvvury, R. Rountree and H. Domingos. Thick oxide performance under process variations. *Proceedings of the EOS/ESD Symposium*, 1986; 173–179.
10. R. Rountree and C. L. Hutchins. NMOS protection circuity. *IEEE Transactions on Electron Devices*, 1985; **ED-32**: 910–917.
11. D. Wilson, H. Domingos and M. M. Hassan. Electrical overstress in nMOS silicided devices. *Proceedings of the EOS/ESD Symposium*, 1987; 265–273.
12. H, Weston, V. Lee and T. Stanik. A newly observed high frequency effect on ESD protection utilized in a Gigahertz NMOS technology. *Proceedings of the EOS/ESD Symposium* 1992; 95–98.
13. B. Davari *et al*. A variable-size shallow trench isolation (STI) technology with diffused sidewall doping for sub-micron CMOS. *International Electron Device Meeting (IEDM) Technical Digest*, 1988; 92–95.
14. E. Adler, J. DeBrosse, S. Geissler, S. Holmes, M. Jaffe, J. Johnson, C. Koburger, J. Lasky, B. Lloyd, G. Miles, J. Nakos, W. Noble and S. Voldman. The evolution of IBM CMOS DRAM technology. *IBM Journal of Research and Development* 1995; **39** (1/2): 167–188.
15. S. Voldman, V. Gross, M. Hargrove, J. Never, J. Slinkman, M. O'Boyle, T. Scott and J. Delecki. Shallow trench isolation double-diode electrostatic discharge circuit and interaction with DRAM circuitry. *Proceedings of the EOS/ESD Symposium* 1992; 277–288.
16. S. Voldman. Shallow trench isolation double-diode electrostatic discharge circuit and interaction with DRAM circuitry. *Journal of Electrostatics*, 1993; **31**: 237–262.
17. S. Voldman and V. Gross. Scaling, optimization and design considerations of electrostatic discharge protection networks in CMOS technology. *Proceedings of the EOS/ESD Symposium*, 1993; 251–260.
18. S. Voldman, S. Furkay and J. Slinkman. Three-dimensional electrothermal simulation of electrostatic discharge protection circuits. *Proceedings of the EOS/ESD Symposium* 1994; 246–256.

19. S. Voldman *et al.* Retrograde well and epitaxial thickness optimization for shallow and deep collar MINT substrate plate trench (SPT) cell and CMOS logic technology. *Proceedings of the International Electron Device Meeting (IEDM)*, 1992; 811–814.
20. S. Voldman and G. Gerosa. Mixed voltage interface ESD protection circuits for advanced microprocessors in shallow trench and LOCOS isolation CMOS technology. *International Electron Device Meeting (IEDM) Technical Digest*, 1994; 277–281.
21. S. Voldman, V. Gross, S. Furkay, J. Slinkman and G. Gerosa. Analysis of snubber-clamped diode string mixed voltage interface ESD protection networks for advanced microprocessors. *Proceedings of the EOS/ESD Symposium*, 1995; 43–61.
22. J. Never and S. Voldman. Failure analysis of shallow trench isolation ESD structures. *Proceedings of the EOS/ESD Symposium* 1995; 273–288.
23. S. Voldman, J. Never, S. Holmes and J. Adkisson. Line-width control effects on MOSFET ESD robustness. *Proceedings of the EOS/ESD Symposium*, 1996; 106–116.
24. S. Voldman, S. Geissler, J. Nakos and J. Pekarik. Semiconductor process and structural optimization of shallow trench isolation-defined and polysilicon-bound source/drain diodes for ESD networks. *Proceedings of the EOS/ESD Symposium*, 1997; 151–160.
25. S. Geissler, B. Porth, J. Lasky, J. Johnson and S. Voldman. A new three dimensional MOSFET gate induced drain leakage effect. *International Electron Device Meeting (IEDM) Technical Digest*, December 1991; 839–842.
26. R. Singh, D. Harame and M. Oprysko. *Silicon Germanium: Technology, Modeling and Design*, Wiley, 2004.
27. D. Walkey *et al.* Prediction of thermal resistance in trench isolated bipolar device structures. *Proceedings of the Bipolar Circuit Technology Meeting (BCTM)*, 1998; 207–210.
28. D. Walkey, T. Smy, C. Reimer, M. Schroter, H. Tran and D. Marchesan. Modeling thermal resistance in trench-isolated bipolar technologies including trench heat flow. *Solid State Electronics* 2002; **46**: 7–17.
29. J. S. Rieh *et al.* Structural dependence of the thermal resistance of trench-isolated bipolar transistor model. *Proceedings of the Bipolar Circuit Technology Meeting (BCTM)*, September 2002; 100–103.
30. S. Voldman *et al.* The influence of process and design on the ESD robustness of ESD structures and silicon germanium heterojunction bipolar transistors in a BiCMOS SiGe technology. *Proceedings of the International Reliability Physics Symposium (IRPS)*, April 2003; 347–356.
31. A. Watson, S. Voldman and T. Larsen. Deep trench guard ring structures and evaluation of the probability of minority carrier escape for ESD and latchup in advanced BiCMOS SiGe technology. *Proceedings of the Taiwan Electrostatic Discharge Conference*, 12–13 November 2003; 97–103.
32. S. Voldman. The effect of deep trench isolation, trench isolation, and sub-collector on the electrostatic discharge (ESD) robustness of radio frequency (RF) ESD STI-bound p^+/n-well diodes in a BiCMOS silicon germanium technology. *Proceedings of the 25th EOS/ESD Symposium*, 2003; 214–223.
33. S. Voldman and A. Watson. The influence of deep trench and substrate resistance on the latchup robustness in a BICMOS silicon germanium technology. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 2004; 135–142.
34. S. S. Chen, T. Y. Chen, T. H. Tang, T. L. Hsu, H. C. Tseng, J. K. Chen and C. H. Chou. Investigation of ESD devices in 0.18 μm SiGe BiCMOS process. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 2003; 357–361.

第 7 章　漏工程、自对准硅化物与 ESD

漏工程与自对准硅化物对于改善 MOS 电路的 ESD 鲁棒性具有重要意义。本章重点关注漏工程、自对准硅化物薄膜方面的最新进展。近年来，制造工艺经历了从突变结到低掺杂漏极再到漏极扩展注入的演变，从而对 ESD 的鲁棒性和 MOSFET 的栅控二极管结构产生了很大的影响。由于已有的文献中对于不同漏极结构对 ESD 的影响有了大量详细的描述，因此本章将关注的重点放在硅化物的演变趋势对器件 ESD 的影响上。与 ESD 器件及 ESD 工程相关的钛钴硅化物的发展也会在本章中有所讨论。

7.1　结

在 ESD 事件中，漏极结构是晶体管中最容易发生自加热情况的区域[1-10]。ESD 电流从 MOSFET 的漏极–源极沟道流过。在该物理区域中，焦耳热产生于漏极结构。结区中的电流密度可以简单地等效为流过的总电流除以 MOSFET 漏极结的横截面积。

$$J \simeq \frac{I}{W_{\mathrm{eff}}(X_{\mathrm{J}})}$$

式中，W_{eff}是 MOSFET 的有效宽度；X_{J} 是 MOSFET 源/漏结深。从而可以推出焦耳热等于电流密度乘以漏结构中的电场。可以表示为电流密度的二次方与电导率之商。

$$\frac{1}{\sigma}\left[\frac{I}{W_{\mathrm{eff}}X_{\mathrm{J}}}\right]^2$$

根据 MOSFET 恒定电场缩放理论，可以对 MOSFET 器件的源/漏结进行等比例缩放优化。在 MOSFET 的恒定电场缩放理论中，使器件的尺寸和掺杂浓度同时减小可使栅介质上的电场保持恒定。MOSFET 的恒定电场缩放可以用一个缩放参数 α 来表示。

$$L' = \frac{L}{\alpha}$$

$$W' = \frac{W}{\alpha}$$

$$t'_{\mathrm{ox}} = \frac{t_{\mathrm{ox}}}{\alpha}$$

同时，为了保持尺寸不变，结深必须等比例缩小为

$$X'_{\mathrm{J}} = \frac{X_{\mathrm{J}}}{\alpha}$$

假设 ESD 电流和漏极区域的电导率为定值，缩放后的结区的焦耳热可以表示为

$$\frac{\frac{1}{\sigma}\left[\frac{I}{W'_{\mathrm{eff}}X'_{\mathrm{J}}}\right]^2}{\frac{1}{\sigma}\left[\frac{I}{W_{\mathrm{eff}}X_{\mathrm{J}}}\right]^2} \simeq \alpha^4$$

从上述关系式可以看出，在 ESD 电流和漏极区电导率为定值的情况下，根据 MOSFET 恒定电场缩放理论，MOSFET 冶金结的缩小会导致漏极结构处焦耳热的增加。因此，MOSFET 的漏极工程对于 MOSFET 晶体管的 ESD 鲁棒性具有重大的影响。随着 MOSFET 结的缩小，漏极电导率及物理薄膜厚度都会对晶体管 ESD 的灵敏度产生极大的影响。为了使 ESD 结构具有恒定的鲁棒性，需要一种缩小的比例关系来防止 MOSFET 恒定电场缩小带来的影响。

除了 MOSFET 结深的缩小，通过在 MOSFET 中引入硅化物薄膜来减小 MOSFET 串联电阻也有着重要意义。由于 MOSFET 的结深减小，使得 MOSFET 串联电阻增加，而随着硅化物膜的形成，串联电阻会随之降低。引入硅化物对于 ESD 存在两方面的影响。首先，由于电流流过低电阻的硅化物膜，使电流密度将大大增加（甚至超过上面提到的由于结的缩小导致的焦耳热的增加）。其次，横向电阻的电压降降低了 MOSFET 结构的有效宽度。

7.1.1　突变结

MOSFET 的漏极结构都是采用的单一掺杂来进行源漏掺杂的结构。在突变结中（见图 7-1），ESD 电流从接触区流过 MOSFET 漏极结构完整的结深。由于 ESD 事件产生的高电场和高电流，使 MOSFET 漏极结构产生了较大的焦耳热。结区中的电流密度可以被简化的假定为流过的总电流除以 MOSFET 漏极结的横截面积。

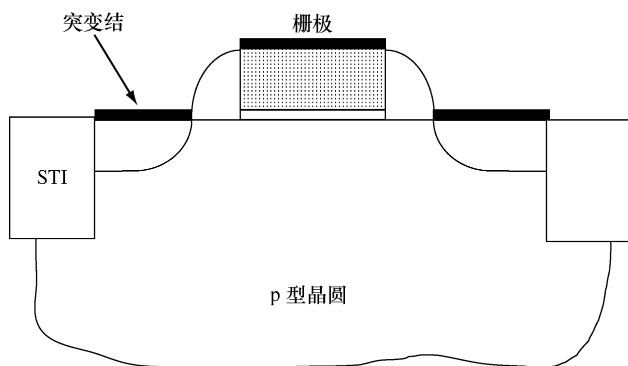


图 7-1　突变结 MOSFET

$$J \simeq \frac{I}{W_{\mathrm{eff}}(X_{\mathrm{J}})}$$

式中，W_{eff}是 MOSFET 的有效宽度；X_{J} 是 MOSFET 源/漏结深。考虑 MOSFET 的缩放效应，结深可以表示为

$$X'_J = \frac{X_J}{\alpha}$$

由于 MOSFET 突变结的缩小，使得其重叠区域中的电场增加，导致了热电子灵敏度的增加。因此，MOSFET 突变结工艺无法满足 MOSFET 的发展，并逐渐被低掺杂漏工艺的 MOSFET 结构所取代。

7.1.2　低掺杂漏

为了在允许 MOSFET 结构结深缩小的情况下保持热电子和低交叠电容的目标，MOSFET 的漏极结构需要进行 MOSFET 分级掺杂[1-4]。突变结 MOSFET 需要一个最小的重叠电容，从而导致了相当大的 MOSFET 栅 – 漏电容。MOSFET 晶体管中的高电场也同样会增加热电子的灵敏度。使用低掺杂漏工艺的 MOSFET 漏结构具有分级掺杂的特点，低掺杂漏工艺的 MOSFET 晶体管分为单低掺杂漏和双低掺杂漏工艺。在低掺杂漏的 MOSFET 结构中（见图 7-2）使用了两种不同的杂质类型（例如磷和砷），可以得到进一步分级后的 MOSFET 漏极结构。在一个突变结中，ESD 电流从接触区，流过漏极结构的完整的结深。

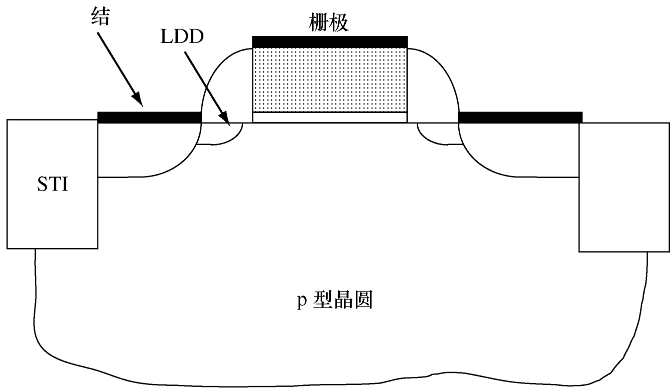


图 7-2　低掺杂漏 MOSFET

在采用低掺杂漏工艺的 MOSFET 结构中，电流流过标准的漏极结构，然后流过 LDD 注入区。由于 LDD 区的结深小于漏接触区的结深，使得 LDD 区的电流密度得到了显著的提高。

此外，由于采用较低的掺杂浓度，LDD 区域的电阻高于其他标准掺杂区域。较浅的 MOSFET LDD 冶金结深和低掺杂浓度相结合，使得 ESD 事件中的焦耳热增加。在 ESD 事件中，电流流过 MOSFET 的源漏区，而焦耳热产生于 MOSFET 的漏区。结区的电流密度可以用如下公式表示：

$$J \simeq \frac{I}{W_{\text{eff}}(X_J)_{\text{LDD}}}$$

式中，W_{eff}是 MOSFET 的导通的有效宽度；X_J 是 MOSFET LDD 冶金结的深度。在经过优化的 MOSFET LDD 区域，由于使用了不同杂质进行掺杂，使此区域的电阻有所减小。

随着 MOSFET LDD 区域电阻的减小，MOSFET 指状区域中产生的焦耳热也会随之减小。MOSFET LDD 结构的引入，降低了 MOSFET 器件的 ESD 鲁棒性。从本质上说，ESD 鲁棒性随 MOSFET LDD 区域的引进而减小，是由于 MOSFET 器件的按比例缩小。为了使 ESD 的鲁棒性保持恒定，我们需要引入一个新的 ESD 缩放参数来使 MOSFET 结构的 ESD 鲁棒性保持恒定。这可以通过维持 MOSFET 的深度，使电流可以流过 MOSFET 完整的源/漏区域而实现。实际上，这种方法是利用在 MOSFET LDD 区域中增加一个额外的掺杂区实现的。比较 LDD 方法和突变结，我们可以将参数定义如下：

$$\frac{(P'_{\text{diss}})_{\text{LDD}}}{P_{\text{diss}}} \simeq \frac{\frac{1}{(\sigma')_{\text{LDD}}}\left[\frac{I}{W_{\text{eff}}(X_{\text{J}})_{\text{LDD}}}\right]^2}{\frac{1}{\sigma}\left[\frac{I}{W_{\text{eff}}X_{\text{J}}}\right]^2}$$

在上述表达式中，我们可以防止 MOSFET LDD 器件的鲁棒性的退化。由上式可知，即使结区被缩放，上述表达式仍可保持定值。为了保持 ESD 鲁棒性，对于相同的 MOSFET 有效宽度，器件的电导率和结深的二次方值也必须保持恒定。

7.1.3　扩展注入

由于 MOSFET LDD 区域串联电阻的减小会影响 MOSFET 器件的工作性能，因此向 MOSFET 漏极结构引入了扩展注入工艺。MOSFET 扩展注入（见图 7-3）相比 MOSFET LDD 具有更高的掺杂浓度。MOSFET 扩展注入工艺的使用是由于 LDD 和双 LDD 工艺已不能适应低于 0.25μm 的器件制造技术。从 ESD 的角度出发，MOSFET 扩展注入区域相比于 LDD 和双 LDD 区域减小了 MOSFET 器件的 I^2R 焦耳热。

在这种结构中，相比于 LDD MOSFET，扩展注入允许 MOSFET 的源/漏掺杂区相隔更远，深度更深。从 ESD 的角度来看，考虑 MOSFET 的二次击穿，更深的源/漏掺杂区域可以允许横向 MOSFET 双极型晶体管具有更大的发射面积，但这会减小掺杂区的电阻。此外，更深的 MOSFET 源/漏区域，MOSFET 二次击穿的结果并不会因为 MOSFET 扩展注入区域的引入而显著减小。图 7-4 显示了 MOSFET 漏极结构的工艺的变化和 MOSFET 沟道长度缩小的趋势。

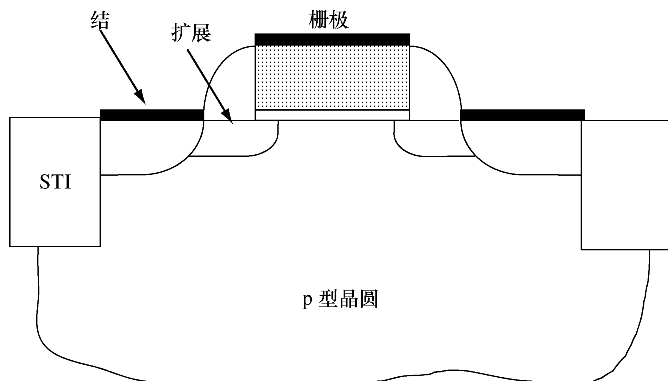


图 7-3　扩展注入 MOSFET

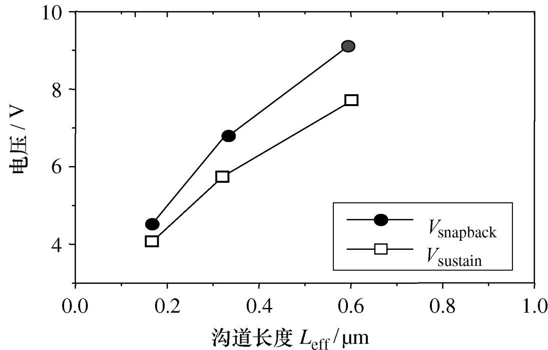


图 7-4　不同工艺下 MOSFET 转折电压和保持电压比较

7.2　自对准硅化物及 ESD

半导体中使用难熔金属薄膜和硅相结合来形成硅化物膜[11-24]。当电阻是设计或者芯片性能的主要障碍时，可以在半导体中加入硅化物，以形成低阻区域。硅化物对于 ESD 的保护具有相当重要的影响[1-10, 25-31]。难熔金属在硅表面上的沉积会引起肖特基势垒，其电流可以表示为

$$J = A^* T^2 \text{epx}\left\{-\frac{q\phi_B}{KT}\right\}\left[\exp\left(\frac{qV}{nkT}\right)-1\right]$$

式中，A^* 是 Richardson 常数。肖特基势垒的高度是硅化合物的函数，已有文献证明，势垒高度是结合能（生成热）ΔH 的函数，即

$$\phi_B = 0.83 - 0.18(\Delta H)$$

如果硅表面的掺杂浓度很高，载流子可以通过隧道越过势垒，形成一个低电阻的接触结构。在 MOSFET 结构中，因为存在隧道效应，硅化物被广泛地使用。硅化物多用于形成 MOSFET 的栅结构、互连、接触和源/漏极的扩散。低电阻的栅结构，可以在不产生 RC 延迟影响器件性能的情况下允许 MOSFET 沟道的长度缩小。在 MOSFET 源结和漏结上形成的自对准硅化物可以减小扩散区的串联电阻。源漏之间的电阻对 MOSFET 结构中流过源极和漏极的驱动电流会产生较大影响。在射频 CMOS 电路中，较低的源漏电阻对于射频电路在高频工作时的表现具有重要作用。

硅化物形成于同质结双极型晶体管和硅－锗的异质结双极型晶体管的发射极和基极结构上。在双极型晶体管中，发射极和集电极的电阻影响着双极型的集电极－发射极工作性能。电流增益和截止频率受到器件发射极、基极和集电极串联电阻和电子的延迟时间的影响。对于 BJT 和 SiGe HBT 器件，最大单位功率增益截止频率受到基极电阻的影响。可以使用硅化物来减小高性能晶体管中的发射区和基区中的电阻。

在 MOSFET 和双极型晶体管中，低电阻区域也具有相应的性能优势。在适当的位置形成硅化物可以影响 ESD 的鲁棒性。低电阻的硅化物膜可能导致流过的高电流不均匀

分布。电流的这种不正常的分布，将影响这个结构或者多个结构的电阻负载。同时，由于适当放置及形成的硅化物，电流分布情况可以得到提高与改进[26, 28-31]。理解硅化物膜在高电流下的应用对于研究 MOSFET 器件、双极型晶体管、硅化物多晶硅薄膜、电子熔断器和其他半导体元器件至关重要。

正如前面所讨论的，形成浅沟槽隔离的目的是在绝缘区域和硅区域之间形成平整的界面。刻蚀、掩膜和自对准硅化物的形成会引起体积变化，从而导致硅区和绝缘区之间产生不平整的界面。在形成浅槽隔离区的过程中，它们在刻蚀过程中暴露在外部，因此硅区域会向上延伸至隔离区域的边缘，导致形成非平面 STI 边缘。在浅沟槽隔离 - 硅区域，可以在氧化区和 STI 扩散边界上保形淀积难熔金属以形成一层硅化物。在硅化物形成的过程中，硅会横向扩散与难熔金属发生反应，导致界面退化，这些影响可能会导致二极管周围的泄露。

自对准硅化物的深度可以定义为 X_{SAL}，冶金结的深度定义为 X_J，我们可以定义有效结深为 X_{JEFF}[31]，即

$$X_{JEFF} = X_J - X_{SAL}$$

通过在硅化物的适当深度形成冶金结可以减小泄露和非理想电特性（例如 X_{JEFF} 足够大，可以避免自对准硅化物渗透到冶金结，见图 7-5）。

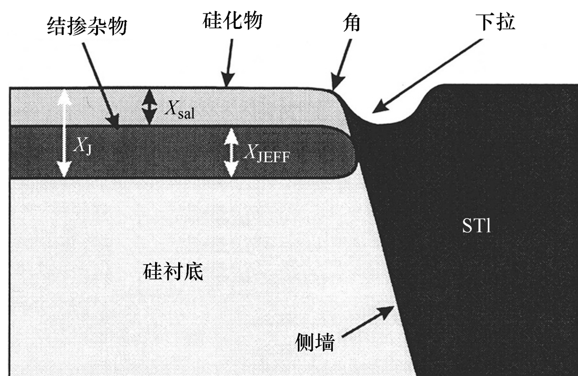


图 7-5　STI 和自对准硅化物突出 STI 下拉效应

7.2.1　自对准硅化物电阻模型

假设一个电阻阻值随温度变化的一阶电阻模型为

$$R = R_0(1 + \alpha T)$$

我们定义膜中的温度是热阻抗和输入功率的函数为

$$T = \Theta_{TH} P$$

将上式代入电阻表达式可以得到

$$R = R_0(1 + \alpha\Theta_{TH} P)$$

使用包含电阻 - 电流关系的公式替换上式中的功率可以得到[25]：

$$R = R_0(1 + \alpha\Theta_{TH} I^2 R)$$

可以解得电阻 R 的表达式为

$$R=\frac{R_0}{1-\alpha\Theta_{TH}I^2}$$

考虑电阻阻值随电流幅值的函数变化关系，可以将上式表示为

$$\frac{1}{R}\frac{dR}{dI}=\frac{2R_0\alpha\Theta_{TH}I}{1-\alpha\Theta_{TH}I^2}$$

此分析假设电流是恒定的，并且材料的状态不会在自加热过程中发生改变。在硅化物膜中，材料的状态改变会对电阻阻值产生影响。因此，我们可以假设一个电阻阻值在自加热过程中发生变化的模型：

$$R=R_0(S)+R(I,V,S)$$

式中，$R(I, V)$ 代表一个与电压、电流、温度、自加热过程以及膜中材料状态相关的阻值，因此有效的方程应与特定状态的功率或电流水平有关。

对于脉冲事件，我们可以将温度的变化转换成器件的输入功率，对于脉冲激励，Tasca 假设器件中所吸收的能量可以表示为

$$<P>=<I^2R>=I^2<R>=I^2\left(\frac{R_0+R}{2}\right)$$

式中，电阻可以等效为初始电阻与最终电阻的平均值。将该式代入能量表达式，吸收能量等于吸收的输入功率乘以脉冲宽度。此外，我们也可以将其表示为比热容与温度的乘积。

$$E=C_{th}T=P\tau=I^2\left(\frac{R_0+R}{2}\right)\tau$$

从上式中可以求出温度为

$$T=\frac{I^2}{C_{th}}\left(\frac{R_0+R}{2}\right)\tau$$

将上式代入电阻表达式可得[25]

$$R=R_0\left(1+\alpha\tau\frac{I^2}{C_{th}}\left[\frac{R_0+R}{2}\right]\right)$$

可以解得电阻 R 为

$$R=R_0\frac{\left\{1+\left(\frac{\alpha\tau R_0}{2C_{th}}\right)I^2\right\}}{\left\{1-\left(\frac{\alpha\tau R_0}{2C_{th}}\right)I^2\right\}}$$

在上式中，电阻作为电流的函数，可以通过直流仿真和脉冲条件来估测。

7.2.2 硅化钛

硅化钛由于在半导体技术中的广阔应用前景而具有重要的研究意义。硅化钛由于其较低的电阻率、良好的热稳定性和自对准硅的特性而具有非常广泛的应用[11-17]。由于它在 MOSFET、二极管、电阻器和双极晶体管中的广泛应用，所以研究其静电放电特性（ESD）也尤为重要[26, 28-31]。硅化钛可以形成在单晶硅或多晶硅上，硅化物在 ESD 应用

中发挥着重要作用的关键原因在于它的低电阻率、膜厚以及硅化物形成区域的属性。首先，低电阻率可以消除半导体器件中的本征镇流电阻导致的电流约束和不均匀电流分布，但低电阻率会降低器件的电气特性和热稳定性。例如，在发射极使用硅化物的双极型晶体管中，相比普通的发射极结构，其电气特性和热稳定性会有所降低。其次，较低的薄膜厚度会导致较高的电流密度，而高电流密度又会导致硅化物膜中焦耳热的显著增加。由于硅化物中温度的增加，硅化物将穿透冶金结，从而导致器件故障，或热稳定性下降和相变。第三个问题是，硅化物一般应用于器件中希望具有低电阻率的区域，而这些区域在大多数情况下，也是器件的 ESD 敏感区域。例如，在 MOSFET 的源极和漏极使用 $TiSi_2$ 来减小 MOSFET 的源/漏区域。在双极型晶体管中，硅化物被应用于发射区和基区。在双极型晶体管中，发射极 - 基极结区是对 ESD 最敏感的区域。此外，硅化物的形成方法与位置，可能会导致电流的不均匀分布和部分区域产生自加热峰值。硅化物膜的性质会随着自加热效应的产生而有所改变。因此硅化物膜的性质及其热稳定性对于器件的 ESD 鲁棒性具有重要作用。

当硅化钛与硅自对准时，它被称为钛自对准硅化物。每一个 $TiSi_2$ 分子的形成需要一个钛原子和两个硅原子。钛是一种多态材料，并且存在两种可能的状态，$TiSi_2$ 可能形成体心斜方晶系结构（C49），这种结构每个晶胞中包含 12 个原子，也有可能形成热力学特性较好的面心斜方晶系结构（C54），这种结构的每个晶胞中包含 24 个原子。由相变动力学可知，$TiSi_2$ 的存在方式与其表面能量、膜厚和微观结构有关。随着工艺尺寸的不断减小，结深也在不断缩小，这就要求更薄的硅化物膜，以避免难熔金属靠近冶金结。

相比于热力学特性较好的 C54 相（12 ~ 20μΩ · cm），处于亚稳态的 C49 相具有更高的电阻（60 ~ 90μΩ · cm）。已知，$TiSi_2$ 最初形成 C49 相的形式，而其向 C54 相的转变需要一个转换过程。从 C49 到 C54 的相变过程是表面能、膜厚和微观结构的函数[15-18]。通过向 $TiSi_2$ 中添加杂质或改变衬底材料，可以改变表面能。随着膜厚的减小，由于更小的工艺窗口，从 C49 到 C54 的相变会变得更加困难，如果形成时间过程，$TiSi_2$ 会发生结块，这是我们不希望看到的。在硅化物的形成过程中，它经历了从初始的高电阻逐渐过渡到低电阻的过程，在某一时间，只有一小部分膜发生转换。

$$\zeta = \frac{\rho_0 - \rho(t)}{\rho_0 - \rho_f}$$

转换的过程与成核和生长的机制相似，这个机制包含培养、诱导、快速生长以及缓慢完成等四个方面。对于薄膜可以用 Johnson - Mehl - Avrami 公式表示：

$$\ln(1 - \zeta)\pi\delta\int_0^t T^2 N(t - \tau)^2 \mathrm{d}\tau$$

式中，N 是成核率；T 是生长速率；t 是工艺时间；τ 是诱导间隔时间[15-18]。从这个关系可以看出，通过工艺时间，就可以计算膜转换的百分比。因此，$TiSi_2$ 的电阻率是可以被估计的。

在 $TiSi_2$ 膜中，为了启动成核过程，形成 C54 相的诱因必须存在。随着线宽的下降，C54 相晶体结构形成的可能性也会下降。实验数据显示，C54 的颗粒大小受到扩散宽度的影响，在扩散区上会形成自对准多晶硅化物。随着半导体器件的尺寸不断缩小，要获得低电阻状态变得越来越困难，并且伴随着 C49 相和结块之间的工艺窗口的下降。另外也发现，相对于 p^+ 型扩散，在 n^+ 型扩散中，从 C49 相向 C54 相的转换变得更加困难。在 20 世纪 90 年代初期，普遍认为是 n^+ 扩散区中的砷原子影响了转换过程。在 20 世纪 90 年代中期，发现来自离子注入机的钼离子可以帮助 C49 相向 C54 相的转换。因此，Mo 离子的引入，帮助了 $TiSi_2$ 向更小线宽的发展[19, 22, 23]。

对于 ESD 应用，为了阻止 $TiSi_2$ 膜在一些电路设计区域出现，在扩散过程中会使用硅化物掩膜版。需要注意的是 $TiSi_2$ 膜面积的减少，可以影响一个区域向低电阻率 C54 相状态的转变。

在薄膜的形成过程中，如果热处理不断持续，在转型与凝聚过程中间会发生快速的转换。热处理一段时间以后，在晶界边界处的 $TiSi_2$ 微结构会变薄甚至会发生结构分解。随着热处理的持续，$TiSi_2$ 膜 C54 相中的原子会分离成相互独立的区域，导致串联电阻的增加。

在 ESD 事件中，自对准多晶硅化物表面的自加热会导致结块的发生。C54 相微结构的分离会导致电流分布的不均匀以及不稳定性。随着 ESD 事件温度的增加，结块的可能性也会增加。这种情况引起的电阻的变化就是潜在的失效机制。

当自对准多晶硅化物渗透太严重或者 STI 下拉发生时，结中的漏电流会增加。图 7-6是在没有 $TiSi_2$ 以及两个不同工艺厚度下的边界为 p^+/n 阱二极管漏电流的一个例子。在这种 STI 下拉和一个小的结深的 ESD 中，随着多晶硅化合物厚度的增加，ESD 的坚固程度会下降（见图 7-7）。

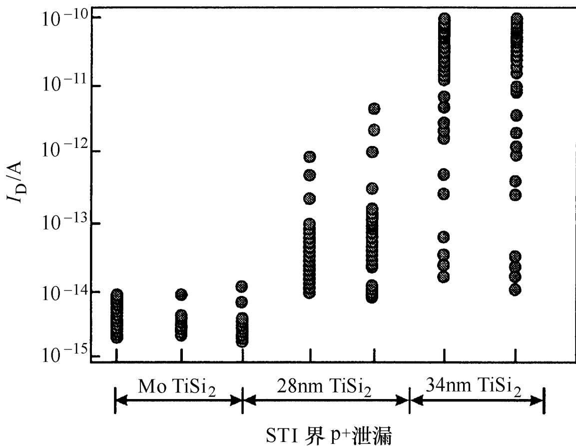


图 7-6　不使用 $TiSi_2$ 和使用 28nm 和 34nm 的 $TiSi_2$ 工艺的 STI 界 p^+/n 阱二极管漏电流比较

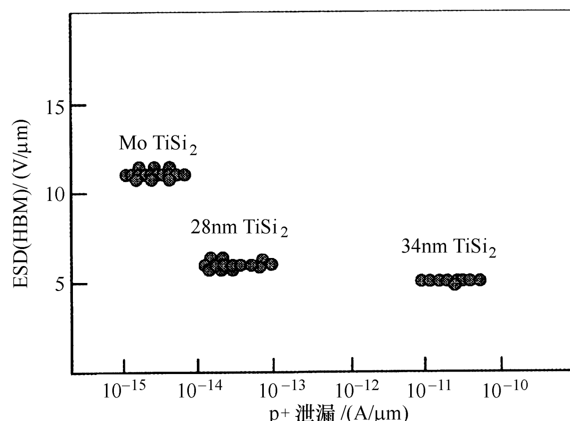


图 7-7　不使用 $TiSi_2$ 和使用 28nm 和 34nm 的 $TiSi_2$ 工艺的 STI 界定 p^+/n 阱二极管 HBM ESD 结果对比

图 7-8 演示了在 STI 界 p^+/n 阱二极管下的多晶硅化合物的损伤以及晶体的转变。在损坏状态下，这两个区域是很明显的。

为了消除 STI 下拉的影响，已经做了许多不同的实验来增加结深的有效性。图 7-9 就是使用 B11 掺杂以及锗预非晶化退火的例子。可自由处理的间隔区也用来增加下拉区域以及多晶硅化物形成区域的距离。

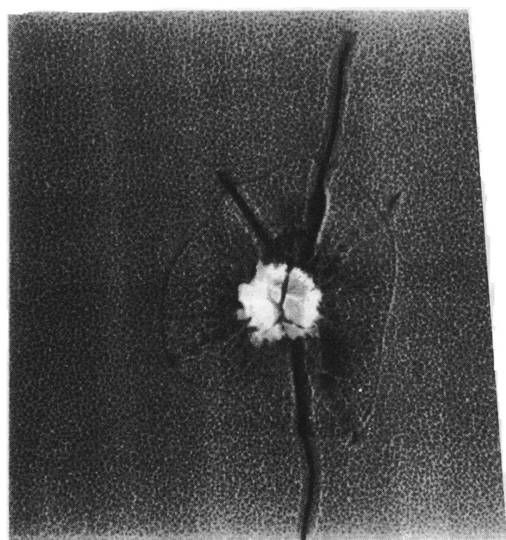


图 7-8　ESD 事件后的 STI 界 p^+/n 阱二极管自对准硅化物损伤和晶型转变

对于额外掺杂的区域，二极管结构的 ESD 鲁棒性可以被验证。图 7-10 显示了 B11 和附加 20keV 掺杂的 STI 界 p^+/n 阱二极管结构。

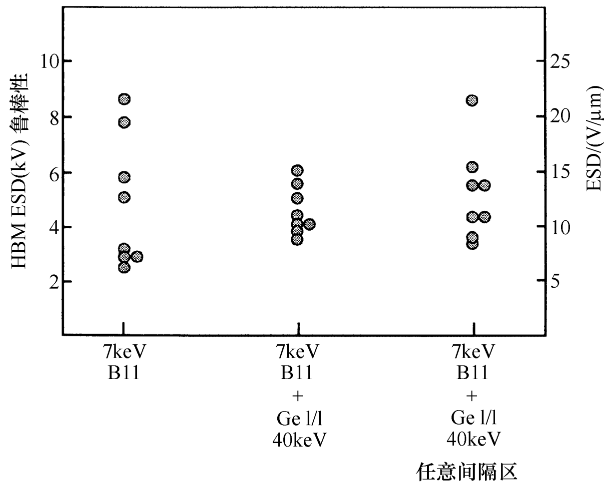


图 7-9 40keV Ge – PAI 掺杂的 STI 界二极管 ESD HBM 测试结果

随着多晶硅界二极管的引入，可以避免 STI 的下拉效应。图 7-11 是一个多晶硅界 p^+ 阳极结构的例子，图 7-12 是 p^+ 和 n^+ 掺杂区之间不存在隔离区的第二结构的例子。

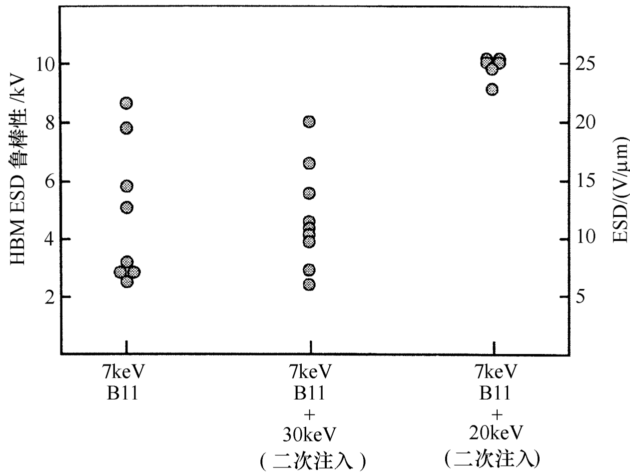


图 7-10 标准 B11 和附加 20 和 30keV 掺杂的 STI 界 p^+ 二极管结构的 HBM ESD 测试结果

图 7-13 和图 7-14 为 STI 界二极管结构和多晶硅界二极管结构的比较。实验结果表明，添加了多晶硅结构的 HBM ESD 鲁棒性比原有结构有所提高。

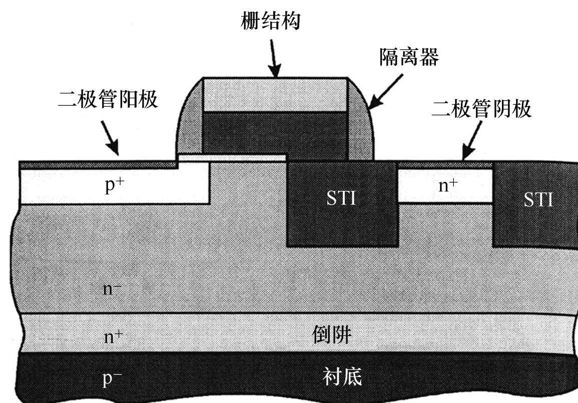


图 7-11　多晶硅栅界 p⁺ 阳极和 STI 界 n⁺ 阴极

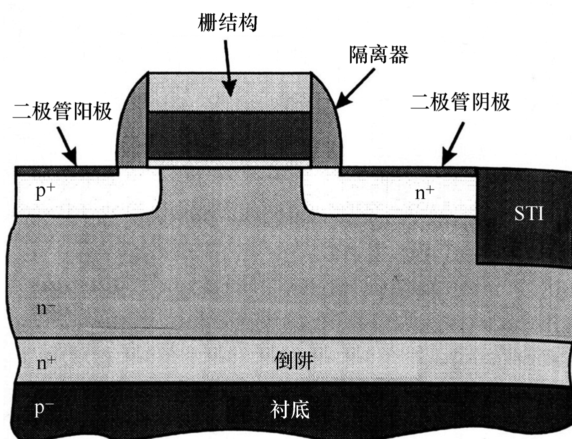


图 7-12　多晶硅栅界 pn 二极管结构

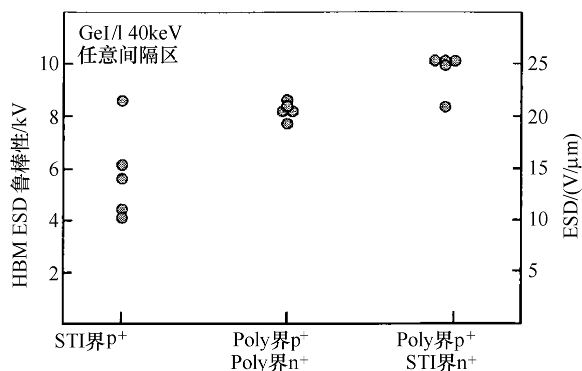


图 7-13　STI 和多晶硅界二极管结构 HBM ESD 测试结果（使用 Ge – PAI 过程）

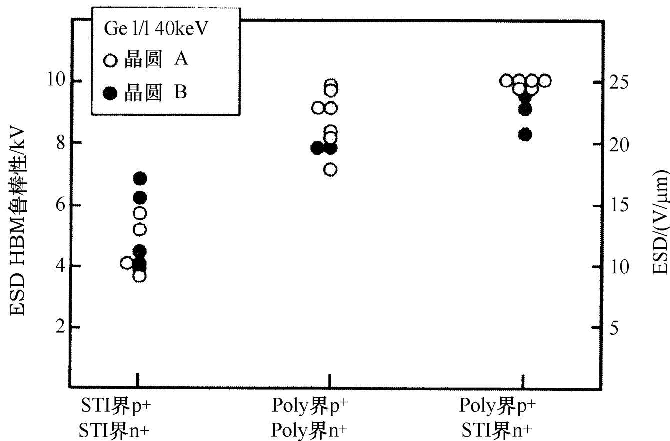


图 7-14　STI 和多晶硅界二极管结构 HBM ESD 测试结果（使用 Ge – PAI 过程）

对 MOSFET 结构的 ESD 测量表明，$TiSi_2$ 结的引入，从两方面导致了 MOSFET 结构中 ESD 鲁棒性的降低[32]。这种减小会导致硅化物掩膜板的形成，并且可以防止由于自对准硅化物造成的器件 ESD 退化。这项工作主要是为了消除 LOCOS 界 MOSFET 源/漏结的硅化物。

在浅沟槽隔离中，当没有明显的 STI 下拉效应时，二极管结构表现出相反的特性[26,31]。STI 界二极管结构可以含硅化钛的材料也可以不含硅化钛的材料。ESD 的测试结果表明，HBM ESD 等级随着 STI 界定 p^+ 源/漏掺杂区方块电阻的增加而降低。对于不含硅化物的 STI 界 p^+ 二极管，p^+ 区的方块电阻从 20Ω/sq 变化至 28Ω/sq，HBM ESD 从 3.1kV 变化至 3.5kV，ESD 的鲁棒性随着方块电阻的降低而增加。对于含有硅化钛的 STI 界 p^+ 二极管结构，p^+ 区的薄层电阻从 2.8Ω/sq 变至 3.2Ω/sq，HBM ESD 鲁棒性将从 3.6kV 变至 4.2kV，最高的 ESD 鲁棒性对应最低的方块电阻值。

7.2.3　钛、钼金属硅化物

对于硅化钛，从 C49 至 C54 的相变被小变换焓和高活化能造成的较低驱动力所限制。(例如，大于 5.0eV)。相比于热力学特性较好的 C54 相（12 ~ 20μΩ · cm)，处于亚稳态的 C49 相具有更高的电阻（60 ~ 90μΩ · cm)，并且相变过程会受到存在于硅化物区域的 C54 的晶核数目的限制。这种相变过程受到晶核数目限制的过程称为“细线效应”。随着线宽的降低，也将带来更多的问题。如今，已采用了很多方法来促进 C49 到 C54 的完全相变，例如快速退火（RTA)，使用含 Sb 的材料以及非晶化前注入工艺(PAI)。R. mann 等人提出，在沉积钛之前掺入 Mo 可以消除硅化钛中细线结构带来的问题。钼的掺杂深度由形成二硅化钛中所需要的硅来决定。Mann 等人提出，钼可以提高 C49 中三联点，即增加 C54 成核区域的活性晶粒的数目来提高 C54 的成核率。钼原子分离了 C49 的三联点，从而降低了 C54 的相变能[19, 22, 23]。

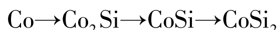
向 $TiSi_2$ 自对准硅化物中掺入钼具有两点意义。首先，消除了硅化钛中的细线效应，可以使硅化钛应用于更小线宽的先进工艺中。其次，钼可以改变硅化钛的物理稳定性，使 ESD 事件中自加热的灵敏度发生变化。在 ESD 事件中，即使在前期出现了热失控，硅化物膜中的温度可以超越硅化钛膜的活化能，并且导致形态和膜稳定性的变化。对 MOSFET 晶体管的测试表明，在 MOSFET 二次击穿后，硅化钛膜的微观结构会随着自加热的过程而改变。对 p^+/n^- 阱二极管的测试也可以证明晶体结构的中的变化超越了二极管的功率故障水平。

Kittl 等人提出，相比于普通的硅化钛膜，掺杂了钼的硅化钛膜具有较低的热稳定性[24]。热稳定性较低的钼掺杂硅化钛，会导致 ESD 结构中更大可能的电阻变化以及其他的潜在损害。Banerjee 表示他所测试的钼掺杂硅化钛的电阻具有较高的温度系数，在应力为 TPL 脉冲电流的函数的条件下，这将导致电阻阻值的明显增加[22]。

Voldman 首次完成了钼掺杂硅化钛膜在浅沟槽隔离界和多晶硅界 p^+/n 阱二极管[31]中的 ESD 测试。ESD 的测试结果表明，硅化钛更充分的相变为 C54 结构，对以上两种二极管的结构都有所改善，其中多晶硅界二极管结构表现出更优越的 ESD 鲁棒性[31]。

7.2.4 硅化钴

硅化钛在 1.0 ~ 0.25μm 工艺的半导体产业中发挥着重要的作用。而由于方块电阻和线宽在器件制造中的重要性，钴将在未来半导体产业技术中将发挥重要作用[13, 14, 24]。硅化钛由于其较低的电阻率、良好的热稳定性和自对准硅化物的优良特性而得到了广泛的应用。但是在状态转换时，从高电阻率的体心斜方结构（C49）转变为具有良好热力学性质的面心斜方结构（C54）时存在的线宽减小的问题，限制了其在先进制造工艺中的应用。由于 MOSFET 的栅极的物理宽度在 1μm 以下，使得线宽减小的问题显得尤其严重。钴自对准硅化物，经历了从 $CoSi_x$ 到 $CoSi_2$ 的形成过程。形成 $CoSi_2$ 的钴自对准硅化物将经历下述过程[13, 14]：



$$Co \rightarrow Co_2Si \rightarrow CoSi \rightarrow CoSi_2$$

使用钴自对准硅化物，多晶硅栅极结构的线宽和扩散问题可以得到很好的解决。可以预计，由于与钴的自对准硅化物晶粒尺寸相比，线宽有所减小，$CoSi_2$ 成核时的边缘的转化率可能因此而受到影响。随着钴自对准硅化物的引进，尽管它可以实现 MOSFET 栅结构低电阻的目标，但也会导致超浅结区域的结区泄露[20, 21]。由 Goto 等人进行的早期泄露测试指出，钴自对准硅化物的泄露问题是由于区域效应而不是边缘效应所造成。Goto 等人发现，钴自对准硅化物的泄露问题发生在 Co_2Si 向 CoSi 转变的过程中，相变温度在形成 CoSi 时在冶金结区域产生尖峰。众所周知，由于 Co_2Si/CoSi/Si 锗三重结构之间的应力产生的漏电流会导致器件出现局部的峰值[20, 21]。

钴自对准硅化物膜具有低电阻率，而含有自对准硅化物的膜对 ESD 事件[25]的敏感度也会有所提高[25]。钴自对准硅化物对于 ESD 器件可能有益也可能有害，这取决于材料被应用于何种半导体器件。钴自对准硅化物的缺点是，相比于 $TiSi_2$ 的 1500℃ 的熔化

温度，$CoSi_2$的熔化温度较低，为 1326℃。因此，对于钴自对准硅化物的 ESD 元件或电路元件，当其电流应力导致的温度接近熔融温度时，更容易出现器件故障。此外，ESD 器件或其他电路元件的局部升温也会导致自对准硅化物的退化。已有实验证明，钴的稳定性和峰值随钴沉积之前的锗的预非晶掺杂量的增加而降低。

已经证明，钴自对准硅化物在 STI 界 p^+/n 阱二极管中具有明显优势[31]。在 p^+/n 阱二极管结构中，钴的较低的方块电阻可以为二极管的阳极提供更好的电流分布。通过实验对比无自对准硅化物、金属硅化物和钴自对准硅化物 ESD 的优化效果，钴自对准硅化物的试验结果双倍优于没有自对准硅化物的器件。Voldman 表示钴自对准硅化物在 STI 界 p^+/n 阱二极管结构中具有优越的 ESD 鲁棒性[31]。

在 2.5V 电压技术中，钴金属硅化物的形成采用了 7keV，0.18μm 深 B11 掺杂的 STI 界结，由于使用锗的预非晶化（GE－PAI）掺杂，钴的峰值引起的泄露现象可以被消除。在这类硬件中，已证明，相比于 $TiSi_2$两种不同的钴结构具有更优越的 HBM ESD 鲁棒性。在 $TiSi_2$二极管中，HBM 约为 3000V（见图 7-15），而 $CoSi_x$ 的测试结果显示其 HBM 均在 3000V 以上，有一些数据甚至超过了 4000V[31]。

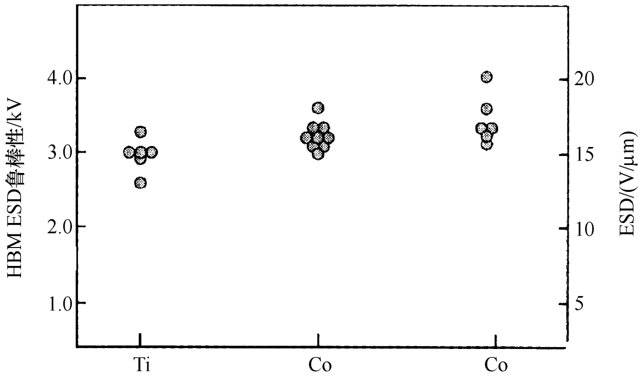


图 7-15　钛和钴掺杂的 STI 界 p^+/n 阱二极管 HBM ESD 测试结果

在第 8 章中，将对电介质和 ESD 进行讨论。本章主要讨论了电介质的物理特性，总之，电介质的分布范围十分广泛，本章只对其中有限的一部分进行了讨论。

习　　题

7.1　推导几何形状是平行六面体的结的温度。假定有以下三种结：突变结、低掺杂漏结和扩展注入结。比较三种结构的相对温度。

7.2　导出电流仅从自对准多晶硅化物薄膜流过而未流过硅区时 MOSFET 结构的温度，并确定自对准多晶硅化物薄膜中的功率是多少。

7.3　假设有钛钴自对准多晶硅化物薄膜，在静电放电中，较厚的电阻与方块电阻在温度上有怎

样的相对差异？

7.4　给定关于温度的关系式有

$$T = \Theta_{TH} P$$

将此关系替换为 Wunsch – Bell 关系式。上式中温度为失效温度，功率为失效的临界功率。

7.5　给定的一个钴薄层和一个钛自对准多晶硅化物薄层具有不同的方块电阻，使用以下的公式推导出电阻率：

$$R = R_0 \frac{\left\{1 + \left(\frac{\alpha\tau R_0}{2C_{th}}\right)I^2\right\}}{\left\{1 - \left(\frac{\alpha\tau R_0}{2C_{th}}\right)I^2\right\}}$$

7.6　将应用于电阻元件的 Smith – Littau 关系应用于本章中。差异性是什么？它们有何关系？

参 考 文 献

1. C. Duvvury, R. N. Rountree, H. J. Steiger, T. Polgreen and D. Corum. ESD phenomena in graded junction devices. *Proceedings of the International Reliability Physics Symposium*, 1989; 71.
2. A. Amerasekera, L. V. Roozendaal, J. Bruins and F. Kuper. Characterization and modeling of second breakdown for the extraction of ESD-related process and design parameters. *IEEE Transactions on Electron Devices*, 1991; **ED-38**: 2161.
3. Y. Wei, Y. Loh, C. Wang and C. Hu. MOSFET drain engineering for ESD performance. *Proceedings of the EOS/ESD Symposium*, 1992; 143–149.
4. M. Chaine, S. Desai, C. Dunn, D. Dolby, W. Holland and T. Pekny. ESD improvements using low concentrations of arsenic implants in CMOS output buffers. *Proceedings of the EOS/ESD Symposium*, 1992; 143–149.
5. Amerasekera, M. C. Chang, J. Seitchik, A. Chatterjee, K. Mayaram and J. H. Chern. Self heating effects in basic semiconductors structures. *IEEE Transaction on Electron Devices* 1993; **ED-40**: 1836.
6. E. A. Amerasekera, W. Van den Abeelen, L. J. van Roozendahl, M. Hannemann and P. P. J. Schofield. ESD failure modes: characteristics, mechanisms, and process influences. *IEEE Transactions on Electron Devices* 1992; **ED-39**: 2.
7. A. Amerasekera and J. Seitchik. Electro-thermal behavior of deep submicron *n*MOS transistors under high current snapback ESD/EOS conditions. *International Electron Device Meeting (IEDM) Technical Digest*, 1994, 446–449.
8. R. Consiglio and T. Y. Haung. ESD reliability impact of p^+ pocket implant on double implanted *n* LDD MOSFET. *Proceedings of the EOS/ESD Symposium*, 1995; 199–207.
9. K. Bock, C. Russ, G. Badenes, G. Groeseneken and L. Deferm. Influence of well profile and gate length on the ESD performance of a fully silicided 0.25 μm CMOS technology. *Proceedings of the EOS/ESD Symposium* 1997; 308–316.
10. V. Gupta, A. Amerasekera, S. Ramaswamy and A. Tsao. ESD related process effects in mixed-voltage sub-0.5 μm technologies. *Proceedings of the EOS/ESD Symposium*, 1998; 161–169.
11. S. Murarka. *Silicides for VLSI Applications*. Orlando: Academic Press, 1983.
12. K. Maex and M. Van Rossum. *Properties of Metal Silicides*, London: INSPEC, 1995; 31–34.
13. K. Maex. Silicides for integrated circuits: $TiSi_2$ and $CoSi_2$. *Material Science and Engineering* 1993; **R11** (2–3): 53–153.
14. J. Lasky. Comparison of transformation to low resistivity phase and agglomeration of $TiSi_2$ and $CoSi_2$. *IEEE Transactions on Electron Devices*, 1991; **ED-38** (2): 262–269.

15. Clevenger, L. A., J. Harper, C. Cabral, C. Nobili, G. Ottaviani and R. Mann. Kinetic analysis of C49 $TiSi_2$ and C54 $TiSi_2$ formation at rapid annealing rates. *Journal of Applied Physics* 1992; **72**, (10): 15. 4978–4980.
16. R. Mann. The C49 to C54 $TiSi_2$ transformation in self-aligned silicide application. *Journal of Applied Physics* 1993; **73** (7): 3566–3568.
17. R. Mann, L. Clevenger and Q. Z. Hong. Phase transformation kinetics of TiSi2. *Material Research Society Symposium Proceedings*. 1993; **311**: 281–286.
18. R. Mann and L. A. Clevenger The C49 to C54 phase transformation in $TiSi_2$ thin films. *Journal of the Electrochemical Society*, 1994; **141**, (5): 1347–1350.
19. R. Mann, G. Miles, T. Knotts, D. Rakowski, L. Clevenger, J. Harper, F. D'Heurle and C. Cabral. Reduction of C54-$TiSi_2$ phase transformation temperature using refractory metal ion implantation. *Applied Physics Letters* 1995; **67** (25): 3279–3731.
20. K. Goto *et al.* A comparative study of leakage mechanism of Co and Ni salicide processes. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 1998; 363–369.
21. K. Goto *et al.* Leakage mechanisms and optimized conditions of Co salicide process for deep sub-micron CMOS devices. *Proceedings of the International Electron Device Meeting (IEDM) Technical Digest*, 1999; 449–452.
22. C. Cabral *et al.* Method of lowering the phase transformation temperature of a metal silicide. *U. S. Patent* 5,510,295, 1996.
23. R. W. Mann. Reduction of the C54 $TiSi_2$ phase transformation temperature using refractory metal ion implantation. *Applied Physics Letters* 1995; **67** (25):18. 3729–3731.
24. J. Kittl, Q. Z. Hong, C. Chao, I. C. Chen, N. Y. Yu, S. O'Brien and M. Hanratty. Salicides for 0.10 μm gate lengths: comparison of study of one step RTP Ti with Mo doping, Ti with pre-amorphization, and Co processes. *VLSI Technology Symposium Proceedings*, 1997; 103–104.
25. K. Banerjee, A. Amerasekera, J. A. Kittl and C. Hu. High current effects in silicide films for sub-0.25 μm VLSI technologies. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 1998; 284–292.
26. S. Voldman. Shallow trench isolation double-diode electrostatic discharge circuit and interaction with DRAM circuitry. *Journal of Electrostatics* 1993; **31** 237–262.
27. S. Voldman *et al.* Retrograde well and epitaxial thickness optimization for shallow and deep collar MINT substrate plate trench (SPT) cell and CMOS logic technology. *Proceedings of the International Electron Device Meeting (IEDM) Technical Digest*, 1992; 811–814.
28. J. Never and S. Voldman. Failure analysis of shallow trench isolation ESD Structures. *Proceedings of the EOS/ESD Symposium*, 1995; 273–288.
29. S. Voldman, J. Never, S. Holmes and J. Adkisson. Line-width control effects on MOSFET ESD robustness. *Proceedings of the EOS/ESD Symposium*, 1996; 106–116.
30. S. Voldman. Semiconductor diode with silicide films and trench isolation. U. S. Patent 5,629,544, May 13, 1997.
31. S. Voldman, S. Geissler, J. Nakos and J. Pekarik. Semiconductor process and structural optimization of shallow trench isolation-defined and polysilicon-bound source/drain diodes for ESD networks. *Proceedings of the EOS/ESD Symposium*, 1998; 151–160.
32. C. Duvvury. ESD reliability for advanced CMOS technologies. *Proceedings of the International Electronic Device and Material Symposium*, 1990; 265–272.

第 8 章　电介质与 ESD

本章将讲述 ESD 事件和电介质，以及 Fong and Hu 关于电介质失效的 ESD 电介质模型。基于 D. Lin 的研究，讲述了 d. c 模型和脉冲现象模型之间的区别。本章首先讨论电介质物理。要总体论述电介质必须做到非常详尽，因此提出了一些小的见解。通过聚焦分析其物理现象，材料在未来将保持重要性。

由于介质薄膜的 ESD 灵敏性和等比例缩小问题，在半导体工艺中，它们表现出一种重要的 ESD 现象[1-10]。栅介质完整性下的瞬态环境中的强电场效应是 MOSFET 和 ESD 尺寸等比例缩小问题。随着功能性性能要求增加，氧化层也缩小。同时，为了提高性能，ESD 结构将被缩小至更小的器件，这使人们对电介质更感兴趣。

人体模型、机器模型和接收网络的传输线脉冲测试会导致 MOSFET 接收器栅极结构中的 MOSFET 介质的 ESD 失效[11-15]。元件的充电器件模型（CDM）测试表明接收网络的介质与由衬底或阱区流过栅极的电流相关[16-20]。

由于 MOSFET 工艺尺寸的等比例缩小，为了保持尺寸的相似性及保持恒定电场，MOSFET 栅厚度和沟道长度均等比例缩小。随着 MOSFET 尺寸的变小，为了维持相同的热电子灵敏度，必须改进漏极结构，这必将导致新的漏极结构和隔离结构。

图 8-1 是一系列工艺中 MOSFET 的转折电压和维持电压的图。

比较 MOSFET 的二次击穿和 MOSFET 的栅电介质击穿，其中两者均是工艺尺寸的函数，随着器件尺寸的减小，电介质击穿电压和 MOSFET 的二次击穿电压汇聚于一点（见图 8-2）。因此，可以计算出两者来预测 ESD 失效。

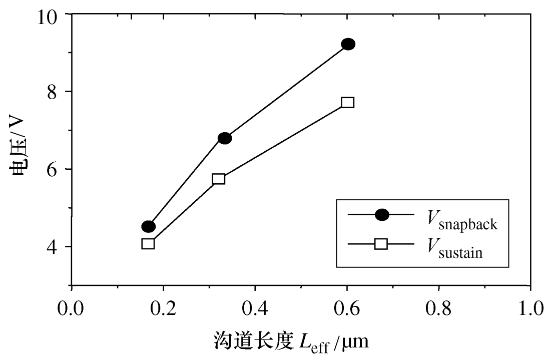


图 8-1　MOSFET 沟道长度和工艺尺寸等比例缩小下的 MOSFET 的转折电压和维持电压

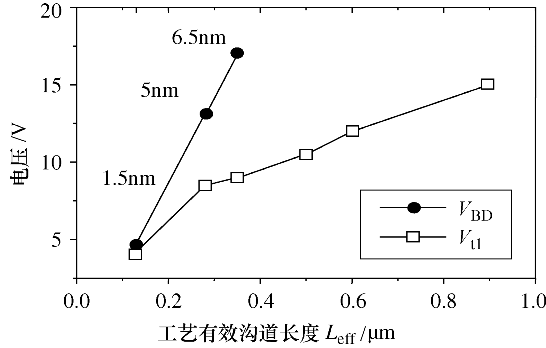


图 8-2　作为 MOSFET L_{eff}和工艺尺寸函数的 MOSFET 的二次击穿电压和栅介质击穿电压

8.1　Fong 和 Hu 模型

在该节中将看到与介质 ESD 失效相关的不同的电介质模型。对于 MOSFET 恒定电场等比例缩小，介质薄膜的尺寸为

$$t' = \frac{t}{\alpha}$$

根据空穴俘获模型，通常认为氧化层击穿是由空穴的产生与在负极区的局部薄弱区域的空穴俘获导致的。根据这个假设，Fong 和 Hu 注意到被俘空穴密度可以表示为

$$Q_{ot}^{+}(t) \propto J(E_{ox})\alpha(E_{ox})t$$

式中，Q_{ot}^{+}是被俘空穴密度；$J(E_{ox})$ 是 Fowler – Nordheim 隧穿电流密度；$\alpha(E_{ox})$ 是空穴产生系数；t 是应力时间[21]。Fowler – Nordheim 隧穿电流的指数项可以表示为

$$J \propto e^{-B/E_{ox}}$$

空穴产生率的指数项可以表示为

$$\alpha(E_{ox}) \propto e^{-H_{eff}/E_{ox}}$$

式中，H_{eff}是氧化层厚度的函数。为了求出时间，可以将其表示为如下形式：

$$t \propto \frac{Q_{ot}^{+}(t)}{J(E_{ox})\alpha(E_{ox})}$$

当被俘空穴密度达到最大值时发生击穿，t 是击穿时间，可以表示为

$$t_{BD} \propto \frac{Q_{ot}^{+}(t_{BD})}{J(E_{ox})\alpha(E_{ox})} \simeq Q_{ot}^{+}(t_{BD})\,\mathrm{epx}\{(B + H_{eff})/E_{ox}\}$$

该式中，Fong 和 Hu 指出，对于一个恒定的电场，由于空穴产生率，不同的 MOSFET 的栅介质厚度将导致不同的时变击穿场的相关性。这样可以推出 Fowler – Nordheim 系数是一个常数。那么该击穿的表达式可以视为两个参数形式的经验表达式，即

$$t_{BD} = C_1 \exp\{C_2/E_{ox}\}$$

式中，C_1 理解为与 Fowler – Nordheim 方程式的归一化系数划分的被俘获空穴密度和空穴产生率相关；参数 C_2 与 Fowler – Nordheim 系数 B 和空穴产生项 H_{eff}相关。在此式中，绘制 $\log(t_{BD})$ 与 $1/E_{ox}$的曲线，C_2 就是该线的斜率，且其截距与 C_1 相关。Fong 和 Hu 表

明参数 C_1（几秒钟内）由 4.4×10^{-33} 增加到 5.8×10^{-16}，且当氧化层由 200Å 减小到 55Å 时，参数 C_2 由 840 降为 496。

当对时间的积分大于 C_1 时，失效产生时用上式可以建立一个失效准则，即

$$\int \mathrm{d}t\exp\{-(C_2/E_{ox}(t))\} > C_1$$

由这个物理模型知，随着介质尺寸的缩小，击穿电压下降。

图 8-3 展示了击穿电压作为氧化层介质厚度的函数的例子。随着氧化层变薄，击穿电压持续降低。

根据 Fong 和 Hu 模型，击穿电压与氧化层中的电场成反比。介电击穿时间可以由图 8-4 表示出来。

相同的实验结果可以描述成与氧化层电场成比例而不是反比的关系。图 8-5 显示了图 8-4 中的一些的数据，有着与穿过氧化层的电场成比例的形式。

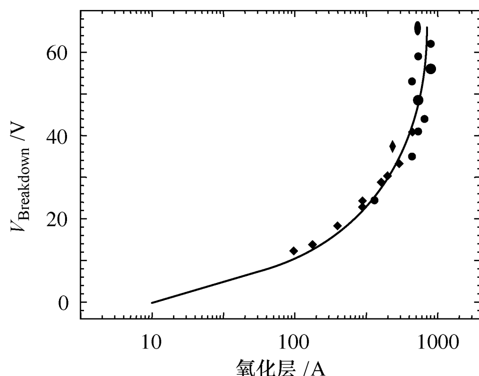


图 8-3　介质击穿电压是氧化层厚度的函数

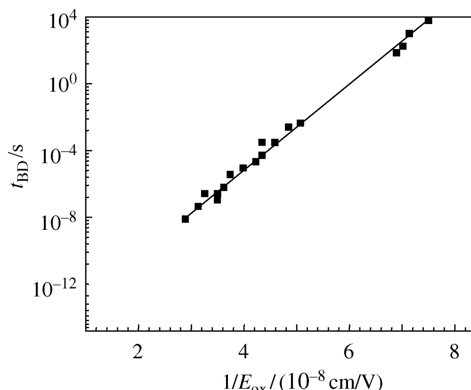


图 8-4　击穿时间 t_{BD} 是氧化层电场的倒数（$1/E_{ox}$）的函数

在 ESD 现象中，MOSFET 栅接收端失效发生在正向放电事件的 NMOS 管以及反向放电时间的 PMOS 管中。NMOS 击穿电压典型值比 PMOS 低。图 8-6 表示了对于一个 n 沟道和 p 沟道的 MOSFET，栅氧化层失效的概率是其击穿电压的函数。

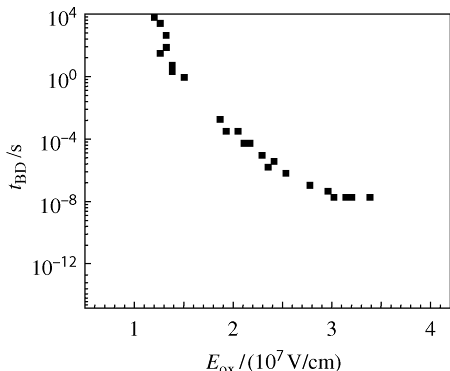


图 8-5　击穿时间 t_{BD} 是氧化层电场 E_{ox} 的函数

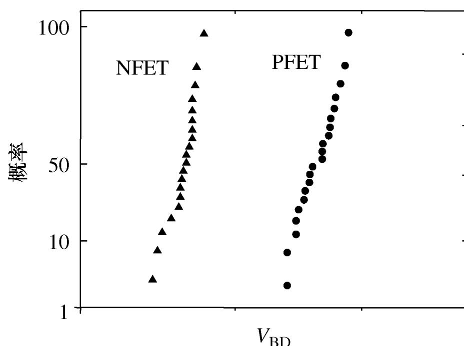


图 8.6　介质失效的概率是 NMOS 和 MOS 栅结构击穿电压的函数

8.2　Lin 模型

随着薄层介质尺寸的缩小，时间在电介质的厚度中动态的起着一定的作用。在这个模型中，电介质击穿电压随着氧化层厚度和时间变化。

假设一个电压作用在介质薄膜上。由于建立了外加电场，电子被注入到介质薄膜中。随着电子的注入，被俘空穴密度随着时间增加。假设电子电流密度为 J，其中平衡空穴数是碰撞电离产生的被俘空穴数和复合截面的被俘空穴的函数，两者都是电场的函数[22]。

$$\mathrm{e}\frac{\mathrm{d}p}{\mathrm{d}t} = \alpha J - \sigma J p$$

假设电流密度 J 是常数，且系数是时不变的，那么该表达式可表示为

$$\mathrm{e}\frac{\mathrm{d}p}{\mathrm{d}t} + (\sigma J)p = \alpha J$$

空穴密度作为时间的函数，可以通过具有常系数和恒定驱动项的一阶线性常微分方程求出，得到下式

$$p(t) = \frac{\alpha}{\sigma}\left[1 - \exp\left\{\frac{\sigma J}{\mathrm{e}}t\right\}\right]$$

由该式，可以发现空穴密度接近于电离率和复合截面复合率的比率这个均衡值，而且发生的时间常数是

$$\tau = \frac{\mathrm{e}}{\sigma J}$$

在这个模型中，空穴数目不断增加直到均衡值，这时产生的空穴被空穴复合补偿。在先前的电介质模型中，没有强调空穴的复合。在 Fong 和 Hu 模型中[21]，空穴的产生呈线性递增直到发生电介质击穿。在这个模型中，如果空穴的饱和度均衡水平等于或大于电荷击穿密度，那么将会发生击穿。

在 Lin 模型[22]中，假设碰撞电离率是电场强度 F 的函数，但俘获截面是恒定的。令碰撞电离参数是电场的函数，形式如下：

$$\alpha = \alpha_0 \mathrm{e}^{-H/F}$$

由高斯定律，电场强度的导数等于在介质薄膜中电荷量除以介电常数，即

$$\frac{\mathrm{d}F}{\mathrm{d}x} = \frac{\mathrm{e}(n - p)}{\varepsilon}$$

在电介质中，近似情况下空穴密度显著高于电子密度，该式可以简化为

$$\frac{\mathrm{d}F}{\mathrm{d}x} = \frac{\mathrm{e}p}{\varepsilon}$$

分离变量，可将高斯定律转化成如下形式：

$$\int\left(\frac{\varepsilon}{\mathrm{e}p(t)}\right)\mathrm{d}F = \int \mathrm{d}x$$

结合高斯定律表达式和时变的空穴密度，该积分表达式可以在介质区域进行积分。在这个表达式中，为了对等式积分，必须将电场和空间项分离。将与电离率有关的电场代入等式

$$\frac{\varepsilon\sigma}{\mathrm{e}\alpha_0}\ \frac{1}{\left\{1-\exp\left\{-\dfrac{\sigma J}{\mathrm{e}}t\right\}\right\}}\int_{F_\mathrm{a}}^{F_\mathrm{c}}\mathrm{d}F\exp\left\{\frac{H}{F}\right\}=\int_0^{t_\mathrm{ox}}\mathrm{d}x = t_\mathrm{ox}$$

式中，积分是在氧化层区域进行，而且对于电场边界的积分是在正极和负极区域。氧化层的电压可以表示为穿通氧化层区域的电场的积分，即

$$V=\int_0^{t_\mathrm{ox}}F\mathrm{d}x$$

代入高斯定律，其中电荷是空穴数的函数。对 x 的微分可以表示为对电场的微分，即

$$V=\int_{F_\mathrm{a}}^{F_\mathrm{c}}F\left\{\left(\frac{\varepsilon}{\mathrm{e}}\right)\frac{\mathrm{d}F}{p(t)}\right\}=\left(\frac{\varepsilon}{\mathrm{e}}\right)\int_{F_\mathrm{a}}^{F_\mathrm{c}}\frac{F\mathrm{d}F}{p}$$

因此，现在有两个积分方程式，其中第一个等于氧化层电场，第二个等于氧化层电压。

$$t_\mathrm{ox}=\frac{\varepsilon\sigma}{\mathrm{e}\alpha_0}\ \frac{1}{\left\{1-\exp\left\{-\dfrac{\sigma J}{\mathrm{e}}t\right\}\right\}}\int_{F_\mathrm{a}}^{F_\mathrm{c}}\mathrm{d}F\exp\left\{\frac{H}{F}\right\}$$

$$V=\left(\frac{\varepsilon}{\mathrm{e}}\right)\int_{F_\mathrm{a}}^{F_\mathrm{c}}\mathrm{d}F\,\frac{F}{p}$$

时间、场强、厚度和电压的无量纲变量分别是

$$\tau=\left\{\frac{\sigma J}{\mathrm{e}}\right\}t$$

$$E=\left\{\frac{1}{H}\right\}F$$

$$T=\left\{\frac{e\alpha_0}{\varepsilon\sigma H}\right\}t_\mathrm{ox}$$

$$U=\left\{\frac{e\alpha_0}{\varepsilon\sigma H^2}\right\}V$$

氧化层厚度和电压的等式可以写成无量纲式，即

$$(1-\mathrm{e}^{-\tau})T=\int_{E_\mathrm{a}}^{E_\mathrm{c}}\mathrm{d}E\exp\{1/E\}$$

$$(1-\mathrm{e}^{-\tau})U=\int_{E_\mathrm{a}}^{E_\mathrm{c}}\mathrm{d}EE\exp\{1/E\}$$

8.3　击穿电荷

为了确定 ESD 事件导致的介质薄膜的击穿，必须分析击穿电荷。由电压和氧化层厚度的归一化方程，以及时间、场强、厚度和电压的无量纲变量得

$$\tau=\left\{\frac{\sigma J}{\mathrm{e}}\right\}t$$

$$E=\left\{\frac{1}{H}\right\}F$$

$$T=\left\{\frac{\mathrm{e}\alpha_0}{\varepsilon\sigma H}\right\}t_{\mathrm{ox}}$$

$$U=\left\{\frac{\mathrm{e}\alpha_0}{\varepsilon\sigma H^2}\right\}V$$

式中，氧化层厚度和电压可以表示为无量纲形式[22]，即

$$(1-\mathrm{e}^{-\tau})T=\int_{E_\mathrm{a}}^{E_\mathrm{c}}\mathrm{d}E\exp\{1/E\}$$

$$(1-\mathrm{e}^{-\tau})U=\int_{E_\mathrm{a}}^{E_\mathrm{c}}\mathrm{d}EE\exp\{1/E\}$$

因为没有初始被俘电荷且电场是均匀的，所以最初的介质内的空穴量为零。由于正负极的电场相同，其边界积分也相同。

随着归一化时间的增加，电极上的归一化电压增加。对于很小的 t 值，将归一化电压写成如下形式：

$$U=\frac{1}{1-\mathrm{e}^{-\tau}}\int_{E_\mathrm{a}}^{E_\mathrm{c}}\mathrm{d}EE\exp\{1/E\}$$

在很短的时限内，有

$$U\cong\frac{1}{\tau}\int_{E_\mathrm{a}}^{E_\mathrm{c}}\mathrm{d}EE\exp\{1/E\}$$

对于归一化介质方程，有

$$T=\frac{1}{1-\mathrm{e}^{-\tau}}\int_{E_\mathrm{a}}^{E_\mathrm{c}}\mathrm{d}E\exp\{1/E\}$$

当时间很短时，有

$$T\cong\frac{1}{\tau}\int_{E_\mathrm{a}}^{E_\mathrm{c}}\mathrm{d}E\exp\{1/E\}$$

随着空穴的产生，以及归一化时间参数接近无穷大，如果均衡值低于击穿值，那么介质中电荷量将接近均衡值。空穴电荷量等于空穴密度在电介质区域的积分。这可以等于高斯定律在归一化电场的积分的电场关系式，即

$$Q^+(\tau)=\mathrm{e}\int_0^{t_{\mathrm{ox}}}p\mathrm{d}x=\varepsilon\int_{F_\mathrm{a}}^{F_\mathrm{c}}\mathrm{d}F$$

这可以写为归一化变量形式，即

$$Q^+(\tau)=\mathrm{e}\int_0^{t_{\mathrm{ox}}}p\mathrm{d}x=\varepsilon\int_{F_\mathrm{a}}^{F_\mathrm{c}}\mathrm{d}F=\varepsilon\{F_\mathrm{c}-F_\mathrm{a}\}=\varepsilon H\{E_\mathrm{c}(\tau)-E_\mathrm{a}(\tau)\}$$

Lin 表明，根据一阶微扰理论[23]，归一化积分方程式可以表示为

$$(1-\mathrm{e}^{-\tau})T=(E_\mathrm{c}-E_\mathrm{a})\mathrm{e}^{1/<E>}$$

$$(1-\mathrm{e}^{-\tau})U=(E_\mathrm{c}-E_\mathrm{a})<E>\mathrm{e}^{1/<E>}$$

由一阶微扰形式，可以将无量纲平均电场与归一化厚度和归一化电压联系起来。通过两个等式相除，平均电场强度为

$$<E> = \frac{U}{T} = \frac{V}{Ht_{ox}}$$

或者穿通介质的电压可以表示为电离率常数、平均电场和氧化层厚度的函数，即

$$V = H <E> t_{ox}$$

根据正极和负极的电场电荷关系式，可以将电荷表示为由微扰分析得到的平均电场的函数，即

$$Q^{+}(\tau) = \varepsilon H\{E_{c}(\tau) - E_{a}(\tau)\} = \varepsilon H\{(1 - e^{-\tau})T\exp\{-1/<E>\}\}$$

可以将其代入氧化层厚度的非归一化形式，有

$$Q^{+}(\tau) = \frac{e\alpha_{0}}{\sigma}t_{ox}\{(1 - e^{-\tau})\exp\{-1/<E>\}\}$$

上式中，介质中的电荷作为归一化时间的函数可以表示为电离率、空穴复合截面、氧化层厚度和平均电场的函数。

假设复合时间显著长于有效时间，该式可以在很短时限内分析。当时很短时，指数项近似为

$$e^{-\tau} \simeq 1 - \tau$$

$$Q^{+}(\tau) \cong \frac{e\alpha_{0}}{\sigma}t_{ox}\{(\tau)\}\exp\{-1/<E>\}\}$$

在非归一形式下，氧化层电荷可以表示为

$$Q^{+}(\tau) \cong e\alpha_{0}t_{ox}\left\{\left(\frac{J}{e}t\right)\exp\{-1/<E>\}\right\}$$

当 τ 很小时，复合截面抵消了，且电荷的产生与时间线性相关。实际上，假设微分方程式中有一个时间常数扩展项，其中复合时间显著长于空穴产生的微分方程的特征时间，该方程可能是一阶线性微分方程，该方程中仅驱动项与空穴产生相关的。

击穿电荷的一个通式是需要用来引发基于厚度、平均电场和归一化时间的击穿电荷。

$$Q_{BD}^{+} = \frac{e\alpha_{0}}{\sigma}t_{ox}\{(1 - e^{-\tau})\exp\{-1/<E>\}\}$$

由此式通过计算空穴的数量可以计算出注入到介质的电子数量。可以通过以下方程求解

$$e\frac{dn}{dt} = J$$

$$Q(\tau)^{-} = -\int_{0}^{t}Jd\tau = Jt = \frac{e}{\sigma}\tau$$

结合空穴的一阶微扰形式，有

$$Q^{+}(\tau) = \frac{e\alpha_{0}}{\sigma}t_{ox}\{(1 - e^{-\tau})\exp\{-1/<E>\}\}$$

其中可以代入归一化时间常数的电子产生方程式，其与电子和空穴电荷量相关，即

$$Q^{+}(\tau)=\frac{e\alpha_0}{\sigma}t_{ox}\left\{\left(1-\exp\left\{-\frac{\sigma}{e}Q^{-}(\tau)\right\}\right)\exp\{-1/<E>\}\right\}$$

解出电子电荷密度为

$$Q^{-}(\tau)=-\frac{e}{\sigma}\ln\left[1-\frac{\sigma Q^{+}(\tau)}{e\alpha_0 t_{ox}}\exp\{1/<E>\}\right]$$

令击穿条件与被测的注入电流和击穿时间相关联，可以求出与电子电荷关联的击穿电荷，即

$$Q_{BD}^{-}=Jt_{BD}$$

将上式代入空穴电荷密度中，可以求出空穴击穿电荷为

$$Q_{BD}^{+}=\frac{e\alpha_0}{\sigma}t_{ox}\left\{\left(1-\exp\left\{-\frac{\sigma}{e}Q_{BD}^{-}\right\}\right)\exp\ \{-1/<E>\}\right\}$$

$$Q_{BD}^{-}=-\frac{e}{\sigma}\ln\left[1-\frac{\sigma Q_{BD}^{+}}{e\alpha_0 t_{ox}}\exp\ \{1/<E>\}\right]$$

8.4 临界介质厚度

对于介质的 ESD 分析，依赖于介质击穿强度的介质厚度是一个非常重要的参数。这可以通过击穿电荷方程求出[21-23]。对于空穴载流子和注入的电子，其击穿电荷可以表示为

$$Q_{BD}^{+}=\frac{e\alpha_0}{\sigma}t_{ox}\{(1-e^{-\tau})\exp\{-1/<E>\}\}$$

$$Q_{BD}^{-}=-\frac{e}{\sigma}\ln\left[1-\frac{\sigma Q_{BD}^{+}}{e\alpha_0 t_{ox}}\exp\{1/<E>\}\right]$$

击穿电荷方程可以表现为以下形式

$$Q_{BD}^{+}=\frac{e\alpha_0}{\sigma}(1-e^{-\tau})[t_{ox}\{\alpha_0\exp\{-1/<E>\}\}]$$

$$N_{BD}^{+}=\left[\frac{\alpha_0}{\sigma}(1-e^{-\tau})\right][t_{ox}\{\alpha_0\exp\{-1/<E>\}\}]$$

击穿空穴数量可以表示为与均衡值和达到均衡值的响应时间有关的第一项。注意到第一项并不是击穿条件，而是电离与复合竞争的结果。

第二项与电离率和空间位置相关。Lin 指出该项与击穿条件相关，类似于击穿的派生形式，有

$$\int\alpha dx=K$$

式中，K 是常数，例如，结空间电荷区的雪崩倍增的条件是

$$M=\frac{1}{1-\int_{x_a}^{x_c}\alpha dx}$$

因此，当对电离率由正极到负极的积分等于 1 时，雪崩击穿发生。

$$\int_{x_a}^{x_c} \alpha \mathrm{d}x = 1$$

类似地，可以将该表达式表示为

$$\{\alpha_0 \exp(-1/<E>)\} t_{ox} = K$$

整理可得

$$\alpha_0 \{t_{ox} \exp(-1/<E>)\} = K$$

因此，对于恒定的击穿电荷和恒定的时间 τ，可以将此表示为平均击穿场强 F_{BD} 的击穿条件，即

$$t_{crit} = t_{ox} \exp\left\{-\frac{1}{<E_{BD}>}\right\} = t_{ox} \exp\left\{-\frac{H}{<F_{BD}>}\right\}$$

式中

$$\alpha_0 t_{crit} = K$$

由此求出平均击穿场强为

$$<F_{BD}> = \frac{H}{\ln\left\{\frac{t_{ox}}{t_{crit}}\right\}}$$

令

$$<F_{BD}> = \frac{V_{BD}}{t_{ox}}$$

那么有

$$<V_{BD}> = \frac{Ht_{ox}}{\ln\left\{\frac{t_{ox}}{t_{crit}}\right\}} = \frac{H}{\frac{1}{t_{ox}} \ln\left\{\frac{t_{ox}}{t_{crit}}\right\}}$$

8.5　ESD 脉冲事件与击穿电荷介电模型

ESD 事件是时相关暂态现象。对于击穿电荷的分析，一般的一阶变系数微分方程和时变的电流驱动项是必需的。

假设 ESD 源是一个电容器元件。则可以表现为机械模型、盒子模型或一个受限的人体模型。假设电容器元件 C 的栅电介质面积为 A，源级电流为 I，穿过电介质的电流密度为 J，有

$$-C \frac{\mathrm{d}V}{\mathrm{d}t} = I = JA$$

由此

$$J(t) = -\frac{C}{A} \frac{\mathrm{d}V(t)}{\mathrm{d}t}$$

通过作为时间函数的空穴产生率的通解，可以将上式代入电流密度方程以求出积分项，即

$$p(t) = \frac{\int^{t'}\left\{\frac{\alpha(t')J(t')}{\mathrm{e}}\exp\left[\int^{t''}\frac{\sigma J(t'')}{\mathrm{e}}\mathrm{d}t''\right]\right\}\mathrm{d}t'}{\exp\left[\int^{t'}\frac{\sigma J(t')}{\mathrm{e}}\mathrm{d}t'\right]}$$

通过电流密度方程的代换求出积分项以求出最终的变量 C 和 V，有

$$\int^{t}\frac{\sigma J(t')}{\mathrm{e}}\mathrm{d}t' = \frac{\sigma}{\mathrm{e}}\int^{t}J(t')\,\mathrm{d}t' = \frac{\sigma}{\mathrm{e}}\int^{t}\left\{-\frac{C}{A}\ \frac{\mathrm{d}V(t')}{\mathrm{d}t'}\right\}\mathrm{d}t' = -\frac{\sigma C}{\mathrm{e}A}\int^{V}\mathrm{d}V$$

解出被俘空穴面密度

$$Q^{+} = \mathrm{e}\int_{0}^{t_{\mathrm{ox}}}p(x,\ \infty)\,\mathrm{d}x$$

利用积分项的电压积分形式，被俘空穴面密度为

$$Q^{+} = t_{\mathrm{ox}}\frac{C}{A}\int^{V_0}\alpha\exp\left\{-\frac{\sigma C}{\mathrm{e}A}V\right\}\mathrm{d}V$$

该形式下，可以观察到电荷量与源级电荷和氧化层厚度成正比，而且积分中的充电速率是电离率的函数，恒定时间的指数因子是电子数和复合截面的乘积。

假设指数因子非常小，有

$$Q^{+} \simeq t_{\mathrm{ox}}\frac{C}{A}\int^{V_0}\alpha\left[1-\frac{\sigma CV}{\mathrm{e}A}\right]\mathrm{d}V$$

如果 $V \ll \mathrm{e}A/\sigma C$，代入电离率关系式，得到

$$Q^{+} \simeq t_{\mathrm{ox}}\frac{C}{A}\int^{V_0}\alpha[1]\,\mathrm{d}V = t_{\mathrm{ox}}\frac{C\alpha_0}{A}\int_{0}^{V_0}\exp\left\{-\frac{Ht_{\mathrm{ox}}}{V}\right\}\mathrm{d}V$$

利用变量代换，可以转化成以下形式

$$Q^{+} = C\{H\alpha_0\}\left\{\frac{t_{\mathrm{ox}}^{2}}{A}\right\}\int_{0}^{H_{\mathrm{tox}}/V_0}\exp\left\{-\frac{1}{x}\right\}\mathrm{d}x$$

由此可以看出电荷量是 ESD 源级电容、电离率参数和充电介质的几何变量的函数。该积分表达式是 Ht_{ox} 与 ESD 事件的充电电压源成正比的函数。

8.6 瞬时脉冲事件与击穿电荷介电模型

ESD 事件（例如人体模型、机器模型和充电器件模型）是时变的大电流脉冲。这些事件强度不同且极性不同。在前几节中，假设电流密度 J 是常数且是单极性的。当正电压作用于栅极时，电子被吸引到正极。

为了计算瞬时脉冲环境下的击穿电荷，必须计算出时变电流激励项和时变电离率。假设一个电压作用于介质薄膜上。由于外加电场的建立，电子注入介质薄膜中。随着电子的注入，被俘空穴密度随着时间递增。假设电流密度为 J，其中平衡空穴数是由碰撞电离导致的被俘空穴数和复合截面的空穴数的函数，两者都是电场的函数。

推广到包含时变电流源和电离率的常微分方程，有

$$\mathrm{e}\frac{\mathrm{d}p(t)}{\mathrm{d}t} = \alpha(t)J(t) - \sigma J(t)p(t)$$

假设时变电流密度为 J，且电离率是时变的，但是复合截面是时不变的，那么这个表达式可以转化为如下形式：

$$\frac{\mathrm{d}p}{\mathrm{d}t}+\left(\frac{\sigma J(t)}{\mathrm{e}}\right)p=\frac{\alpha(t)}{\mathrm{e}}J(t)$$

作为时间的函数，空穴密度可以通过具有时变激励项的一阶变系数常微分方程求出。

求解该等式，积分项为

$$\mu(t) = \exp\left[\int^{t}\frac{\sigma J(\chi)}{\mathrm{e}}\mathrm{d}\chi\right]$$

那么一阶常微分方程的解为

$$p(t) = \frac{1}{\mu(t)}\left[\int^{t}\mu(s)\left\{\frac{\alpha(s)J(s)}{\mathrm{e}}\right\}\mathrm{d}s + C\right]$$

并且可以求出作为时间函数的空穴密度，即

$$p(t) = \frac{\int^{t}\left\{\frac{\alpha(t')J(t')}{\mathrm{e}}\exp\left[\int^{t''}\frac{\sigma J(t'')}{\mathrm{e}}\mathrm{d}t''\right]\right\}\mathrm{d}t'}{\exp\left[\int^{t}\frac{\sigma J(t')}{\mathrm{e}}\mathrm{d}t'\right]}$$

根据高斯定律，电场的导数等于介质薄膜中的电荷除以介电常数

$$\frac{\mathrm{d}F}{\mathrm{d}x}=-\frac{\mathrm{e}(n-p)}{\varepsilon}$$

近似地，介质中空穴密度显著高于电子密度，上式可以简化为

$$\frac{\mathrm{d}F}{\mathrm{d}x}=\frac{\mathrm{e}p}{\varepsilon}$$

分离变量，可以代入高斯定律有

$$\int\left(\frac{\varepsilon}{\mathrm{e}p(t)}\right)\mathrm{d}F = \int\mathrm{d}x$$

式中

$$p(t) = \frac{\int^{t}\left\{\frac{\alpha(t')J(t')}{\mathrm{e}}\exp\left[\int^{t''}\frac{\sigma J(t'')}{\mathrm{e}}\mathrm{d}t''\right]\right\}\mathrm{d}t'}{\exp\left[\int^{t}\frac{\sigma J(t')}{\mathrm{e}}\mathrm{d}t'\right]}$$

结合高斯定律表达式和时变空穴密度，该积分表达式可以在介质区进行积分。氧化层电压可以表示为氧化层区域对电场的积分。

$$V = \int_{0}^{t_{\mathrm{ox}}}F\mathrm{d}x$$

代入高斯公式，其中电荷量是空穴数的函数，对 x 的微分可以表示为对电场强度的微分，即

$$V = \int_{F_{\mathrm{a}}}^{F_{\mathrm{c}}}F\left\{\left(\frac{\varepsilon}{\mathrm{e}}\right)\frac{\mathrm{d}F}{p(t)}\right\} = \left(\frac{\varepsilon}{\mathrm{e}}\right)\int_{F_{\mathrm{a}}}^{F_{\mathrm{c}}}\frac{F\mathrm{d}F}{p}$$

因此现在有两个积分方程式，其中第一个等于氧化层电场，第二个等于氧化层的

电压。

$$t_{ox} = \int dx = \int_{F_a}^{F_c} \frac{\varepsilon}{ep(t)} dF$$

$$V = \left(\frac{\varepsilon}{e}\right)\int_{F_a}^{F_c} dF \frac{F}{p}$$

有

$$p(t) = \frac{\int^{t}\left\{\frac{\alpha(t')J(t')}{e}\exp\left[\int^{t''}\frac{\sigma J(t'')}{e}dt''\right]\right\}dt'}{\exp\left[\int^{t}\frac{\sigma J(t')}{e}dt'\right]}$$

对于时间、场强、厚度和电压的无量纲变量为

$$\tau = \left\{\frac{\sigma J}{e}\right\}t$$

$$E = \left\{\frac{1}{H}\right\}F$$

$$T = \left\{\frac{e\alpha_0}{\varepsilon\sigma H}\right\}t_{ox}$$

$$U = \left\{\frac{e\alpha_0}{\varepsilon\sigma H^2}\right\}V$$

8.7 超薄介质

随着氧化层厚度的缩小，电流传导、温度效应、栅氧化层隧穿、软击穿和栅氧化层可靠性问题成为氧化层对外加电压的响应的讨论中的重要部分[24-33]。随着氧化层变薄，软击穿在 2 ~ 7nm 的栅电介质厚度区域很可能发生。Weir 等人[27]表明软击穿的发生率越来越高。随着氧化层厚度缩减到 2nm，基于电压下降或电流峰值来确定击穿的能力不可检测，而且仅有的失效指标是基于噪声的增加。

Rosenbaum 等人在 2.2 ~ 4.7nm 范围内的氧化层厚度的实验研究中利用 1ns 的 VF - TLP 脉冲证明了氧化层数据继续遵循时变击穿的 $1/E$ 模型[29]。实验结果表明，对于三种不同的氧化层厚度在 $\log(t_{BD}) - 1/E_{ox}$ 图中呈线性关系。实验研究表明，ESD 导致的俘获状态生成也依赖于脉冲宽度[29]。假定依赖脉冲宽度的俘获状态产生率与升温速度有关。随着氧化层厚度继续缩小，这些结构的 ESD 问题继续存在。

根据 Weir 等人的研究[33]，击穿现象是个统计学问题，随着栅氧化层面积的减小，失效概率减小。传输线脉冲事件导致的氧化层击穿是一个统计过程。栅氧化层越厚，缺陷导致的击穿过程概率越高。例如，当栅氧化层面积减小时，失效概率降低，如图 8-7 所示。

击穿电压与面积有关，有

$$V_1 = V_2 - \left(\frac{1}{V_{acc}}\right)\left(\frac{1}{\beta}\right)\log\left(\frac{A_1}{A_2}\right)$$

式中，V_1 是面积为 A_1 时的击穿电压；V_2 是面积为 A_2 时的击穿电压。这可以表示为

$$V_1 = V_2 - \left(\frac{1}{V_{acc}}\right)\left(\frac{1}{\beta}\right)\log\left(\frac{\ln(1-f_2)}{\ln(1-f_1)}\right)$$

式中，f_1 和 f_2 与失效分数相关。

第 9 章将论述互连与 ESD，将会讨论布线层、通孔和层间介质薄膜。层间介质物理学和 ESD 与比较厚的介质薄膜上的电流相关。其主要内容是互连本身，以及介质的温度特性如何影响互连的鲁棒性。互连和 ESD 的讨论将就与当今半导体芯片相关的铝互连、铜互连和铜/低 k 层间电介质系统展开。

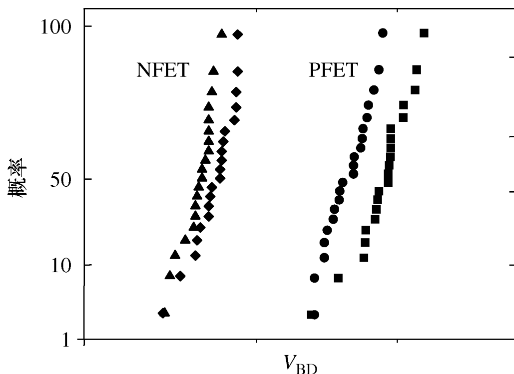


图 8-7　两种不同面积的 NFET 和 PFET 栅极作为击穿电压下的介质失效概率示例

习　题

8.1　根据 MOSFET 的恒定电场换算因数 α，如果电介质的厚度随着每代工艺尺寸缩减，由 d.c 模型推出击穿电压。

8.2　根据 MOSFET 的恒定电场换算因数 α，如果电介质的厚度随着每代工艺尺寸缩减，由传输线脉冲模型推出击穿电压。

8.3　如果每代工艺介电层厚度按照 MOSFET 恒定电场换算因数缩减，那么 ESD 网络的触发电压是多少？

8.4　如果每代工艺介电层厚度按照 MOSFET 恒定电场换算因数缩减，那么必需的电荷量和 ESD 网络的允许电流是多少？

8.5　假设传输线脉冲的上升时间是 t_{rise}，t_{rise}为穿过介电膜的电子迁移时间的整数倍，其传输是弹道传输，将上升时间和电子传输时间与 Lin 模型联系起来，假设是隧道运输，求两者的关系。

8.6　求 Fong 和 Hu 模型与 Lin 模型中 Q_{BD}的比值。

参 考 文 献

1. T. H. DiStefano and M. Shatzkes. Dielectric instability and breakdown in SiO_2 thin films. *Journal of Vacuum Science Technology* 1976; **13**: 50–54.
2. T. H. DiStefano and M. Shatzkes. Impact ionization model for dielectric instability and breakdown. *Applied Physics Letters* 1974; **25**: 685–687.
3. J. J. O'Dwyer. Theory of conduction in dielectrics. *Journal of Applied Physics* 1969; **39**: 3887–3890.
4. D. J. DiMaria, D. Arnold and E. Cartier. Impact ionization and positive charge formation in silicon dioxide films on silicon. *Applied Physics Letters* 1992; **60**: 2118–2120.
5. D. Arnold, E. Cartier and D. J. DiMaria. Acoustic phonon runaway and impact ionization by hot electrons in silicon dioxide. *Physical Review B* 1992; **45**: 1477–1480.
6. M. Fischetti, D. J. DiMaria, S. D. Brorson, T. N. Theis and J. R. Kirtley, Theory of high field electron transport in silicon dioxide. *Physical Review B*, 1985; **31**: 8124–8142.

7. K. F. Schuegraf and C. Hu. Hole injection oxide breakdown model for very low voltage lifetime extrapolation. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 1993; 7–12.
8. N. Klein and P. Solomon. Current runaway in insulators affected by impact ionization and recombination. *Journal of Applied Physics* 1976; **47**: 4364–4372.
9. Y. Nissan-Cohen, J. Shappir and D. Frohman-Bentchkowsky. High yield and current induced positive charge in thermal SiO_2 layers. *Journal of Applied Physics*, 1985; **57**: 2830–2839.
10. I. C. Chen, S. Holland and C. Hu. Electron-trap generation by recombination of electrons and holes in SiO_2. *Journal of Applied Physics* 1987; **61**: 4544–4548.
11. A. Amerasekera and D. Campbell. ESD pulse and continuous voltage breakdown in MOS capacitors structures. *Proceedings of the EOS/ESD Symposium*, 1986; 208–213.
12. D. L. Lin and T. Welsher. From lightning to charged-device model electrostatic discharges. *Proceedings of the EOS/ESD Symposium*, 1992; 68–75.
13. M. Bridgewood and Y. Fu. A comparison of threshold damage processes in thick field oxide protection devices following square pulse and human body model injection. *Proceedings of the EOS/ESD Symposium*, 1988; 126–136.
14. M. Bridgewood and R. Kelly. Modeling the effects of narrow impulsive overstress on capacitive test structures. *Proceedings of the EOS/ESD Symposium*, 1985; 84–91.
15. M. J. Tuncliffe, V. M. Dwyer and D. S. Campbell. Experimental and theoretical studies of EOS/ESD oxide breakdown in unprotected MOS structures. *Proceedings of the EOS/ESD Symposium*, 1990; 162–168.
16. *CDM - ESD Sensitivity Testing: Charged Device Model (CDM) – Component Level ESD Association Standard*, D5.3, 1997.
17. Y. Kitamura, H. Kitamura, K. Nakanishi and Y. Shibuya. Breakdown of thin gate-oxide by application of nanosecond pulse as ESD test. *Proceedings of International Test and Failure Analysis (ITSFA)* 1989; 193–199.
18. T. J. Maloney. Designing MOS inputs and outputs to avoid oxide failure in the charged device model. *Proceedings of the EOS/ESD Symposium*, 1988; 220.
19. R. G. Renninger. Mechanism of charged device electrostatic discharge. *Proceedings of the EOS/ESD Symposium*, 1991; 127.
20. R. G. Renninger, M-C. Jon, D. L. Lin, T. Diep and T. L. Welsher. A field-induced charged device model simulator. *Proceedings of the EOS/ESD Symposium*, 1989; 59–71.
21. Y.-P. Fong and C. Hu. The effects of high electric field transients on thin gate oxide MOSFETs. *Proceedings of the EOS/ESD Symposium*, 1987; 252–257.
22. D. L. Lin. ESD sensitivity and VLSI technology trends: thermal breakdown and dielectric breakdown. *Proceedings of the EOS/ESD Symposium*, 1993; 73–82.
23. D. L. Lin. Electron multiplication in solids. *Physical Review B*, 1979; **20**: 5238–5245.
24. R. Degraeve *et al.* Temperature acceleration of oxide breakdown and its impact on ultra-thin gate oxide reliability. *Proceedings of the VLSI Technical Symposium*, 1999; 59–60.
25. R. Moamzzami *et al.* Temperature acceleration of time-dependent dielectric breakdown. *IEEE Transactions Electron Devices* 1989; **ED-36** (11): 2262–2265.
26. T. Nigam, S. Martin and D. Abusch-Magder. Temperature dependence and conduction mechanism after analog soft-breakdown. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 2003; 417–423.
27. B. Weir *et al.* Ultra-thin dielectrics: they breakdown but do they fail? *International Electron Device Meeting (IEDM) Technical Digest*, 1997; 73–76.
28. J. Stathis and D. J. DiMaria. Reliability projections for ultra-thin oxides at low voltages. *International Electron Device Meeting (IEDM) Technical Digest*, 1998; 167–170.
29. J. Wu, P. Juliano and E. Rosenbaum. Breakdown and latent damage of ultra-thin oxides under ESD stress conditions. *Proceedings of the EOS/ESD Symposium*, 2000; 287–295.

30. B. Linder, J. H. Stathis, D. J. Frank, S. Lombardo and A. Vayshenker. Growth and scaling of oxide conduction after breakdown. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 2003; 402–405.
31. M. A. Alam and R. K. Smith. A phenomenological theory of correlated multiple soft-breakdown events in ultra-thin oxides. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 2003; 406–412.
32. K. P. Cheung. Soft breakdown in thin gate oxide—a measurement artifact. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 2003; 432–437.
33. B. Weir *et al*. Gate dielectric breakdown: a focus on ESD protection. *Proceedings of the International Reliability Physics Symposium (IRPS)*, ESD Session, 2004; 399–404.

第 9 章　互连和 ESD

在这一章中，我们将讨论到互连以及 ESD 稳定性在半导体器件中的重要性。本章将从基于铝互连到铜互连以及铜/低 k 层间电介质互连系统对互连技术的发展进行讨论。这些模型将会扩展到孔隙定位和绝缘体的“填充形状”当中。本章还将继续讨论微观结构的变化以及作为 ESD 事件引起的材料的变化的作用。我们将对来自于 ESD 事件当中的绝缘体的热应力和机械应力的影响问题进行简短的讨论。尽管已经有大量的互连模型，但是我们的重点将放在一些特殊模型上。在本书第 2 ~5 章中探讨的方法对于互连的情况都是适用的，因为互连和通孔是一个平行六面体的结构。因此 Wunsch - Bell、Tasca 和 Smith - Littau 模型对于定位互连都是适用的，其区别在于边界条件和现代互连系统的几何差异。通过代替不断复制的互连模型的详细列表，像 Ti/Al/Ti、Cu、低 k 电介质、填充形状、空洞、ESD 电迁移等一系列新的问题以及其他的一些问题将被解决。这些模型同样适合并应用于在磁阻头、巨阻磁头、隧穿磁阻头等磁记录设备当中的 ESD 失效的理解。

互连的高电流鲁棒性是半导体行业的一个关注点，因为在军事应用当中需要评估器件的生存模式[1-9]。电热模型用来评估在电磁脉冲事件中互连失效小的功耗。其焦点一直以来也就是提供一个对宽带脉冲函数的理解。Wunsch - Bell[1]、Tasca[2, 3]、Smith - Littau[4-6]、Egelkrout[7]、Kinsbron[8]以及 Pierce[9]模型解决了互连作为一个脉宽函数和无源以及有源元件的电阻器几何形状的可靠性问题。

在当今先进的工艺中，ESD 的问题也在不断地扩展[10-12]。随着 MOSFET 性能的继续改进，以及每个连续工艺代次电路密度的提高，芯片上互连布线以及通孔都与 MOSFET 恒定电场等比例缩放。随着晶体管门延迟时间的缩短，芯片上的互连 RC 延时的贡献在接收器延时当中起到的作用越发显著[13-20]。

此外，随着逻辑门总数的增加，外部 I/O 接口的数量也在增加。这种关系就是 Rent 原理。

$$N_{I/O} = A(N_{gates})^B$$

式中，$N_{I/O}$表示外围输入/输出（I/O）电路的个数；N_{gates}表示逻辑门的个数；参数 A 和 B 都是常数，它们的大小取决于半导体芯片的工艺、类型以及应用。通常参数 $A=0.5$，$B=0.5$。因此，随着芯片上电路数量的增加，I/O 接口的数目也会增加，对于可布线性而言互连宽度的要求也会更小。这本质上对于高引脚数的应用是有效的，与半导体芯片外围接口形成对照的是，电气连接是阵列有序排列的。

在当今先进的高性能工艺中，减少互连电阻及电容的需求已经导致了以 Ti/Al/Ti 或者 Al 为基础的互连系统到以 Cu 为基础的互连系统的演进。为了进一步改善互连的性能，已经采用低 k 电介质。

随着对电路密度、可布线性、阵列的 I/O 架构以及接收器性能要求，铝互连的需求已经成为一个主要的 ESD 失效机制。例如，互连的 CMOS 门电路的延迟元件不含本征

延迟的延时可以描述为

$$(T_g)_{\text{extrinsic}} = f_g R_d C_w L_w + 0.4 R_w C_w L_w^2 + 0.7 R_w C_r L_w$$

非本征门延迟包含了互连相关的延迟项，R_d 和 C_d 是 MOSFET 的输出电阻和电容，C_r 表示 MOSFET 接收器的开关电容，R_w、C_w 及 L_w 分别表示电阻、电容以及互连线的长度，f_g 表示电路扇出。随着工艺的等比例缩小，互连延迟项成为总的非固有门延迟表达式中日益递增的较大分量。因此，MOSFET 恒定电场的互连等比缩小取决于互连 – 晶体管的集成度。在先进工艺中，工艺代次（见图 9-1）等比例缩小的互连系统的问题是回答互连 ESD 鲁棒性问题的关键所在。

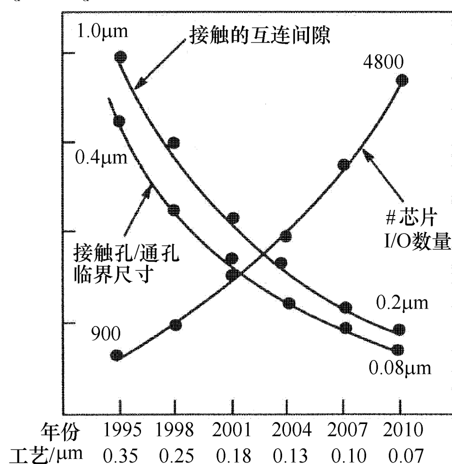


图 9-1 不同工艺代次下的互连和通孔等比缩放

从基于铝互连系统到基于铜互连系统的过渡以及从基于二氧化硅的层间介质膜到低 k 介质的过渡对于互连系统的 ESD 鲁棒性具有显著的影响。材料的变化和故障机制一样影响着临界电流的失效。

9.1 铝互连

互连的大电流鲁棒性由于需要评估器件在军事应用方面的生存致使其在半导体行业是一个被关注的焦点问题。铝互连因其与层间介电膜、材料属性的兼容性以及能够定义具有屏蔽技术的互连致使其成为半导体材料中的标准。

铝互连是在平面介质膜上形成的。铝互连由一个下层的难溶金属薄膜和一个上层的铝膜构成。难熔金属协助于有层间绝缘材料粘附的铝。通常，一个标准的过程由钛（Ti）和提供电介质和 Ti 膜之间的粘合力的氮化钛（TiN）构成。为了测评 Ti/Al/Ti 互连的 ESD 鲁棒性，几何定义对于评估是非常重要的。因此我们必须建立一个模型来解决热物理和几何学的问题[21]。

电阻是根据线性关系来定义的，为

$$R(T) = R_0(1 + \alpha T)$$

式中，$R(T)$ 是随着温度 T 变化的动态电阻；R_0 是初始电阻，α 是电阻的温度系数（TCR）。由这个表达式我们可以解决互连的温度问题，如：

$$T = \frac{R(T) - R_0}{\alpha R_0} = \frac{1}{\alpha}\left(\frac{\Delta R}{R_0}\right)$$

为了把功率和热阻抗与电阻联系起来，微分电阻 $\mathrm{d}R(T)$ 可以表示为

$$\mathrm{d}R = \alpha R_0 \mathrm{d}T$$

我们把温度定义成热流及热阻的乘积，有

$$T = q\theta_{TH}$$

温度的全微分表达式为

$$dT = q\theta_{TH} + \theta_{TH}dq$$

热通量与基于能量守恒的输入功率是相等的。代入功率的热通量，电阻的全微分表达式为

$$\frac{dR}{R_0} = \alpha(Pd\theta + \theta dP)$$

由于阻抗是常数，由初始电阻到最后的电阻表达式的积分为

$$\frac{\Delta R}{R} = \frac{R_f - R_0}{R_0} = \alpha\theta_{TH}P$$

因此，归一化电阻的改变是正比于热阻抗、功率和电阻温度系数的乘积。结合焦耳热量（$P = I^2R$）以及电阻（$R = \rho L/A$），取代电流密度 J，则归一化微分电阻的表达式可以表示为[21]

$$\frac{\Delta R}{R} = \alpha\theta_{TH}J^2\rho LA$$

从归一化微分电阻的表达式中，我们可以将热阻抗表示为

$$\theta_{TH} = \frac{1}{J^2}\frac{\lfloor \Delta R/R \rfloor}{\alpha\rho LA}$$

从这个公式中可以看出，可以从电阻的变化和电流密度中提取热阻抗。

在一个 Ti/Al/Ti 互连中，其横截面是一个矩形。内衬膜存在于薄膜的顶部和底部，但不包括在互连的两侧（见图 9-2）。由于该互连是一个复合薄膜，难熔金属具有高阻抗值，可以采用一个有效的电阻率模型，假设有效电阻率为

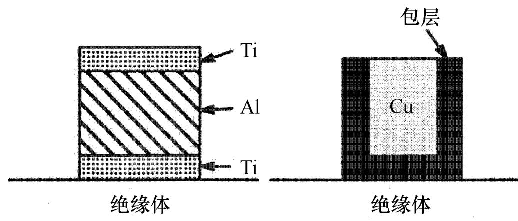


图 9-2 铝和铜互联结构

$$\rho_{eff} = \frac{\rho_{Al}}{(1 - 2\delta/y)} = \frac{\rho_{Al}}{\aleph}$$

式中，几何尺寸有衬垫底部 δ 和线高度 y。

假设一个临界能量 E_{crit}，当互连发生失效时，它在一个脉冲期间将与平均能量的输出的乘积有关。假设在这个脉冲期间电流恒定，该电流与平均电流值不一样，平均电阻是取初始电阻和最后的电阻值的平均值。

$$E_{crit} = \int_0^{\Delta t} P(t)\,dt = I^2\int_0^{\Delta t} R(t)\,dt = \frac{1}{2}[R_0 + R_f]I^2\Delta t$$

我们可以定义一个电阻归一化变化的表达式如下：

$$\gamma_{crit} = \frac{(R_f - R_0)}{R_0}$$

根据失效电阻的归一化变化可以将临界能量表示为

$$E_{\text{crit}} = \frac{1}{2}[R_0(2+\gamma_{\text{crit}})]I^2\Delta t$$

E 与热容量以及熔化热相关，即

$$E = C\Delta T + m_{\text{i}}L_{\text{f}}$$

因此，当达到失效的临界温度时，能量的表达式就是临界能量。从温度与电阻的关系来看，我们可以用一个电阻的归一化变化和电阻温度系数的函数替代温度变化。

$$E_{\text{crit}} = C\left(\frac{\gamma_{\text{crit}}}{\alpha}\right) + m_{\text{i}}L_{\text{f}}$$

对于复合膜而言，每个区域的质量以及每个膜的比热都必须定义。上述的展开意味着复合膜的温度是一致的。更准确地说，我们可以发现所有的区域求和后的总质量。

$$E_{\text{crit}} = \sum m_{\text{i}}c_{\text{i}}\left(\frac{\gamma_{\text{crit}}}{\alpha}\right) + m_{\text{i}}L_{\text{f}}$$

从上面两个临界能量的式子

$$I_{\text{crit}}^2 = \frac{\sum_i m_{\text{i}}c_{\text{i}}\left(\frac{\gamma_{\text{crit}}}{\alpha}\right) + m_{\text{i}}L_{\text{f}}}{\frac{1}{2}\Delta t R_0(2+\gamma_{\text{crit}})}$$

展开该表达式来解多层膜（如铝、包层和绝缘子材料），有

$$I_{\text{crit}}^2 = \frac{\left[(m_{\text{i}}c_{\text{f}} + m_{\text{j}}c_{\text{j}})\left(\frac{\gamma_{\text{crit}}}{\alpha}\right) + m_{\text{i}}L_{\text{f}} + m_{\text{k}}c_{\text{k}}\left(\frac{\gamma_{\text{crit}}}{\alpha}\right)\right]}{\frac{1}{2}\Delta t\left(\rho_{\text{eff}}\frac{L}{A}\right)(2+\gamma_{\text{crit}})}$$

在这个表达式中，为了表达一个与谱线宽度以及与膜相关的几何变量相关联的函数，互连的横截面积可以代入分子中。

Al 区域的物理体积表达式为

$$V_{\text{Al}} = LWd_{\text{s}}\aleph$$

式中

$$\aleph = \left(1 - \frac{2\delta}{d_{\text{s}}}\right)$$

包层体积的表达式为

$$V_{\text{Clad}} = LWd_{\text{s}} - LWd_{\text{s}}\aleph = LWd_{\text{s}}[1-\aleph] = LW[2\delta]$$

完全钝化的热鞘体积可以表示为与绝缘体中的热体积减去互连体积相关的额外维度互连的体积表达式。

$$V_{\text{sheath}} = \{L + 2d_{\text{ox}}\}\{W + 2d_{\text{ox}}\}\{d_{\text{s}} + 2d_{\text{ox}}\} - LWd_{\text{s}}$$

这种形式是假设扩展超过了互连的长度，表达式如下：

$$V_{\text{sheath}} = 4[W + d_{\text{s}} + L]d_{\text{ox}}^2 + 2[LW + Ld_{\text{s}} + 2Wd_{\text{s}}]d_{\text{ox}}$$

时间相关的氧化物鞘层厚度是一个脉冲宽度的函数，以及在氧化物中的热传播系数，即

$$d_{ox}(t) = a_d \sqrt{\Delta t}$$

在这种假设情况下，顶层薄膜未被钝化，表达式为

$$V_{sheath} = \{L + 2d_{ox}\}\{W + 2d_{ox}\}\{d_s + d_{ox}\} - LWd_s$$

另假设，对于上方以及下方钝化的长结构互连，我们可以忽略电线末端的热分量，在这种情况下的简化分析为

$$V_{sheath} = \{L\}\{W + 2d_{ox}\}\{d_s + 2d_{ox}\} - LWd_s$$

在该区域中，使用 i，j，k 依次代表铝、包层以及绝缘子体积的下标。

把这个术语表示成一个体积、热容量和密度的函数，即

$$I_{crit}^2 = \frac{2Wd_s\left[(\psi_i V_i C_i + \psi_j V_j C_j)\left(\frac{\gamma_{crit}}{\alpha}\right) + \psi_i V_i L_f + \psi_k V_k c_k\left(\frac{\gamma_{crit}}{\alpha}\right)\right]}{\Delta t(\rho_{eff} L)(2 + \gamma_{crit})}$$

铝互连的 ESD 鲁棒性采用 HBM、MM 以及 TLP 测量进行了评估，并作为设计宽度的函数。图 9-3 显示了采用 HBM 测量与设计宽度相关函数的铝互连的结果。随着线宽的增加，ESD 鲁棒性也同样线性增加。

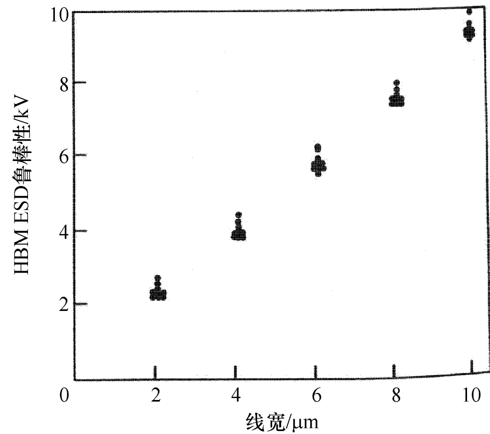


图 9-3 与线宽（M4）相关铝互连的 HBM ESD 鲁棒性

图 9-4 显示初始电阻归一化后的动态电阻变化是电流密度函数。Ti/Al/Ti 互连的 $\Delta R/R_0 - J$ 图表示一个脉宽函数。

图 9-5 是在互连的后 ESD 应力下观察到的永久 d. c 电阻的漂移。

从失效的实验结果看来，失效的临界电流密度可以视为一个应用脉宽函数。图 9-6 为 M1 和 M3 互连线的图。随着线远离硅表面，热电阻的体积增加，互连的 ESD 鲁棒性降低。

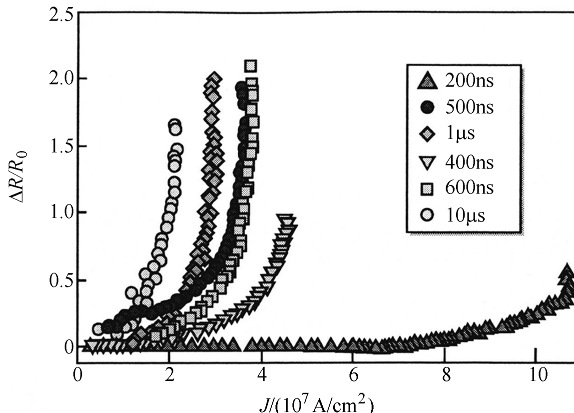


图 9-4 不同脉宽的 Ti/Al/Ti 互连的电流密度相关的动态 $\Delta R/R_0$

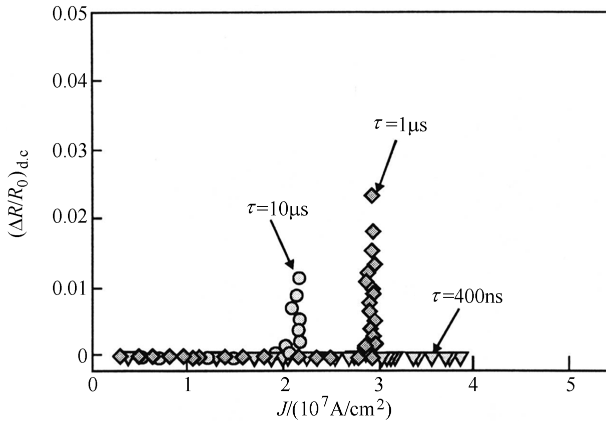


图 9-5　Ti/Al/Ti 互连的电流密度相关的归一化 d. c 电阻 $\Delta R/R_0$

图 9-7 所示为一个在 ESD 失效情况下的 Ti/Al/Ti 互连的截面图。通常情况下，铝熔源于自加热。互连中心即是峰值温度的位置。加热时，绝缘体的横向爆裂导致铝液进入到绝缘体区域。由于导线互连继续被脉冲冲击，最终 Ti 表层材料开始熔化。

图 9-8 所示为与 MOSFET 结构中失效区域相联系的例子。从 Wright 的刻蚀图中可以看出，峰值加热的区域有着与电场模式的二次方一样的关系。

在 Ti/Al/Ti 互连系统中，通孔是由钨钉构成。钨的熔点很高，远高于半导体器件当中的其他材料。图 9-9 和图 9-10 是钨钉通孔结构与通孔数量相关函数的 HBM 和 MM 结果。

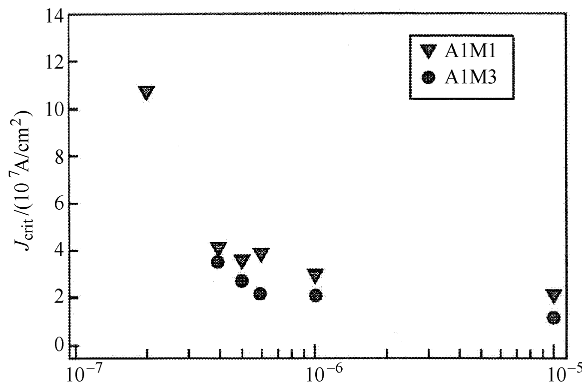


图 9-6　M1 和 M3 连线的互连脉冲宽度相关失效临界电流密度

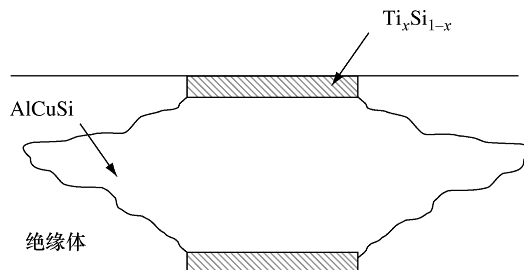


图 9-7　ESD 失效后的铝电线横截面

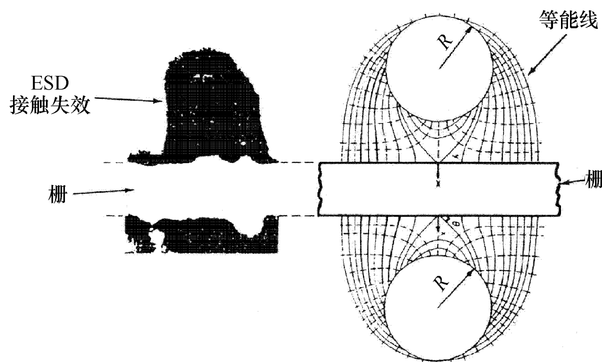


图 9-8　MOSFET 结构中接触区 ESD 损坏

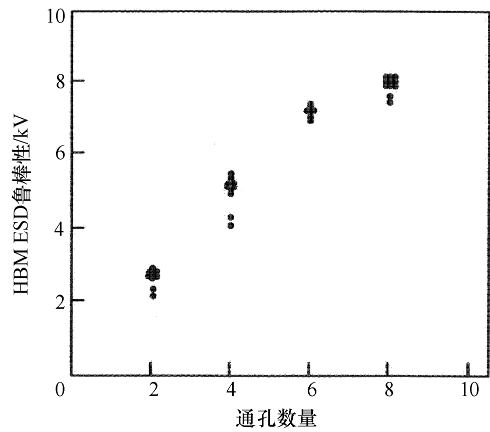


图 9-9　与通孔数相关的钨通孔 HBM ESD 鲁棒性

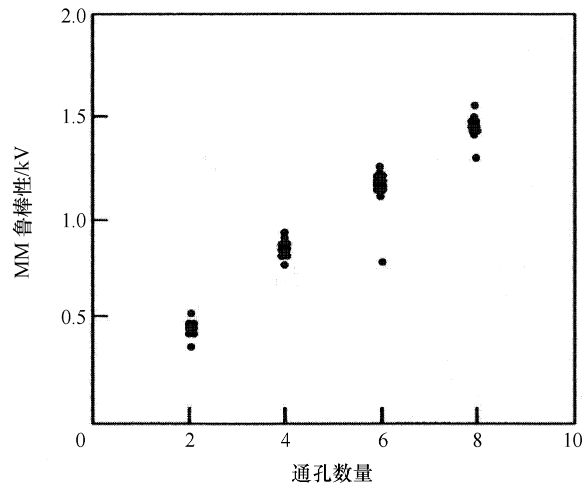


图 9-10　与通孔数相关的钨通孔 MM ESD 鲁棒性

9.2　铜互连

在当今先进的高性能工艺中，对于减少电阻和电容互连的需求已经导致了从基于 Ti/Al/Ti 或 Al 互连系统到基于铜互连系统的演变。铜互连系统（见图 9-11）是通过提供层间电解质薄膜中的槽所形成的。该电介质是用反应离子蚀刻工艺刻蚀而成，然后是包层材料和铜膜沉积。包层或衬垫材料通常是一种耐火材料金属膜。包层用作扩散阻挡层，并提供到绝缘膜的粘附力。这些材料包括 TiN、WN、Ta、TaN 或 TaSiN[22-27]。

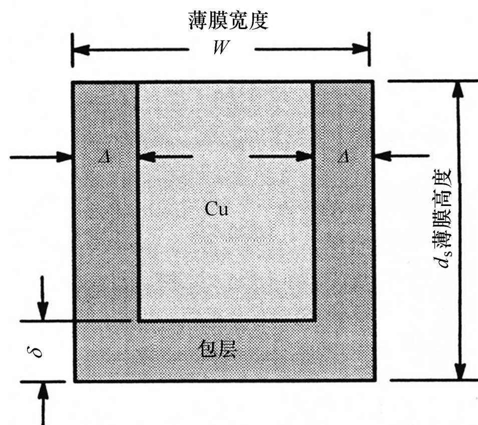


图 9-11　铜互连的横截面

材料和几何形状在量化铜互连的 ESD 鲁棒性中是非常需要的。对于基于铝互连系统，大马士革（镶嵌）及双大马士革的铜互连提供不同的失效水平和机制。因此必须建立一个模型来解决热物理和几何问题。

在铝互连中，电阻根据如下线性关系来定义：

$$R(T) = R_0(1 + \alpha T)$$

式中，$R(T)$ 是温度 T 下的动态电阻；R_0 表示初始电阻；α 表示电阻的温度系数。从这个表达式中，我们可以解出互连的温度如下：

$$T = \frac{R(T) - R_0}{\alpha R_0} = \frac{1}{\alpha}\left(\frac{\Delta R}{R_0}\right)$$

关联电阻的功率和热阻抗，微分电阻表达如下：

$$\mathrm{d}R = \alpha R_0 \mathrm{d}T$$

这里我们定义温度为热通量和热阻抗的乘积，即

$$T = q\theta_{\mathrm{TH}}$$

温度的全微分表达式为

$$\mathrm{d}T = q\theta_{\mathrm{TH}} + \theta_{\mathrm{TH}}\mathrm{d}q$$

从能量守恒来看，热通量等于输入功率。取代热通量中的功率项，电阻的全微分表达式如下：

$$\frac{\mathrm{d}R}{R_0} = \alpha(P\mathrm{d}\theta + \theta\mathrm{d}P)$$

由于自阻抗是常数，从初始电阻到最终的电阻的积分表达式为

$$\frac{\Delta R}{R}=\frac{R_f-R_0}{R_0}=\alpha\theta_{TH}P$$

因此，归一化电阻的变化正比于热阻抗、功率以及电阻温度系数乘积。结合焦耳热（$P=I^2$）以及电阻（$R=\rho L/A$），代入电流密度 J，则归一化微分电阻的表达式为

$$\frac{\Delta R}{R}=\alpha\theta_{TH}J^2\rho LA$$

通过归一化微分电阻，我们可以求出热阻抗，表达式如下：

$$\theta_{TH}=\frac{1}{J^2}\frac{\lfloor\Delta R/R\rfloor}{\alpha\rho LA}$$

从这个公式看，热阻抗可以从电阻改变和电流密度中提取出来。

图 9-11 显示了大马士革铜互连的几何形状。在一个大马士革铜互连中，其横截面是矩形的。

衬底膜存在于三个侧壁上，而不是在顶层区域。由于该互连是一个复合薄膜，具有高电阻的难熔金属，一个有效的电阻率模型在以下假设情况下是可以使用的[28-30]。

$$\rho_{eff}=\frac{\rho_{Cu}}{(1-2\Delta/x)(1-2\delta/y)}=\frac{\rho_{Cu}}{\aleph}$$

这里的几何尺寸有衬垫侧壁厚度 Δ，内衬底部 δ，线宽 x 以及线高度 y。

假定一个临界能量 E_{crit}，当互连失效产生时，它能够与一个脉冲期间的平均能量的乘积联系起来。假设在该脉冲期间电流是一个常数，电流与平均电流不一样，平均电阻即是在初始电阻和最后电阻值间取平均值。

$$E_{crit}=\int_0^{\Delta t}P(t)\,dt=I^2\int_0^{\Delta t}R(t)\,dt=\frac{1}{2}[R_0+R_f]I^2\Delta t$$

我们可以定义一个电阻归一化变化的表达式如下：

$$\gamma_{crit}=\frac{(R_f-R_0)}{R_0}$$

根据失效电阻的归一化变化来表示临界能量，有

$$E_{crit}=\frac{1}{2}[R_0(2+\gamma_{crit})]I^2\Delta t$$

这里能量能够与热容量和熔化热联系起来，有

$$E=C\Delta T+m_iL_f$$

因此，当达到失效情况下的临界温度时，能量的表达式即为临界能量。从电阻与温度的关系来看，我们可以将温度变化替代为一个和归一化电阻改变以及电阻温度系数相关的函数。

$$E_{crit}=C\left(\frac{\gamma_{crit}}{\alpha}\right)+m_iL_f$$

对于复合膜而言，每个区域的质量以及每个膜的比热都必须定义。上述的推导意味着复合膜的温度是一致的。更准确地说，我们可以发现总质量就是所有的区域求和，即

$$E_{\mathrm{crit}} = \sum m_{\mathrm{i}} c_{\mathrm{i}} \left(\frac{\gamma_{\mathrm{crit}}}{\alpha}\right) + m_{\mathrm{i}} L_{\mathrm{f}}$$

从上面两个临界能量的式子

$$I_{\mathrm{crit}}^2 = \frac{\sum_i m_{\mathrm{i}} c_{\mathrm{i}} \left(\frac{\gamma_{\mathrm{crit}}}{\alpha}\right) + m_{\mathrm{i}} L_{\mathrm{f}}}{\frac{1}{2}\Delta t R_0 (2 + \gamma_{\mathrm{crit}})}$$

展开这个表达式来解多层膜（如铝、包层和绝缘子材料），有

$$I_{\mathrm{crit}}^2 = \frac{\left[(m_{\mathrm{i}} c_{\mathrm{i}} + m_{\mathrm{j}} c_{\mathrm{j}}) \left(\frac{\gamma_{\mathrm{crit}}}{\alpha}\right) + m_{\mathrm{i}} L_{\mathrm{f}} + m_{\mathrm{k}} c_{\mathrm{k}} \left(\frac{\gamma_{\mathrm{crit}}}{\alpha}\right)\right]}{\frac{1}{2}\Delta t \left(\rho_{\mathrm{eff}} \frac{L}{A}\right)(2 + \gamma_{\mathrm{crit}})}$$

在这个表达式中，为了表达一个与谱线宽度以及与膜相关的几何变量相关联的函数，互连的横截面积可以代入分子中的等式。

铜区域内的物理体积表达式如下：

$$V_{\mathrm{Cu}} = LWd_{\mathrm{s}}\aleph$$

式中

$$\aleph = \left(1 - \frac{2\Delta}{W}\right)\left(1 - \frac{2\delta}{d_{\mathrm{s}}}\right)$$

包层体积表达式如下：

$$V_{\mathrm{Cland}} = L\left[W\left(1 - \frac{2\Delta}{W}\right)\delta + 2d_{\mathrm{s}}\Delta\right]$$

完全钝化的热鞘体积可以表示为

$$V_{\mathrm{sheath}} = 4[W + d_{\mathrm{s}} + L]d_{\mathrm{ox}}^2 + 2[LW + Ld_{\mathrm{s}} + 2Wd_{\mathrm{s}}]d_{\mathrm{ox}}$$

时间相关的氧化物鞘厚度是一个脉宽函数，氧化物当中的热扩散系数为

$$d_{\mathrm{ox}}(t) = a_{\mathrm{d}}\sqrt{\Delta t}$$

在该区域中使 i，j，k 依次代表铜、包层以及绝缘子体积的下标。

把这个术语表示成一个体积、热容量和密度的函数，即

$$I_{\mathrm{crit}}^2 = \frac{2Wd_{\mathrm{s}}\left[(\psi_{\mathrm{i}} V_{\mathrm{i}} C_{\mathrm{i}} + \psi_{\mathrm{j}} V_{\mathrm{j}} C_{\mathrm{j}}) \left(\frac{\gamma_{\mathrm{crit}}}{\alpha}\right) + \psi_{\mathrm{i}} V_{\mathrm{i}} L_{\mathrm{f}} + \psi_{\mathrm{k}} V_{\mathrm{k}} c_{\mathrm{k}} \left(\frac{\gamma_{\mathrm{crit}}}{\alpha}\right)\right]}{\Delta t(\rho_{\mathrm{eff}} L)(2 + \gamma_{\mathrm{crit}})}$$

图 9-12 表示与线宽有关的铜互连 HBM ESD 鲁棒性。从实验结果看来，ESD 鲁棒性随着互连线的宽度线性增加。

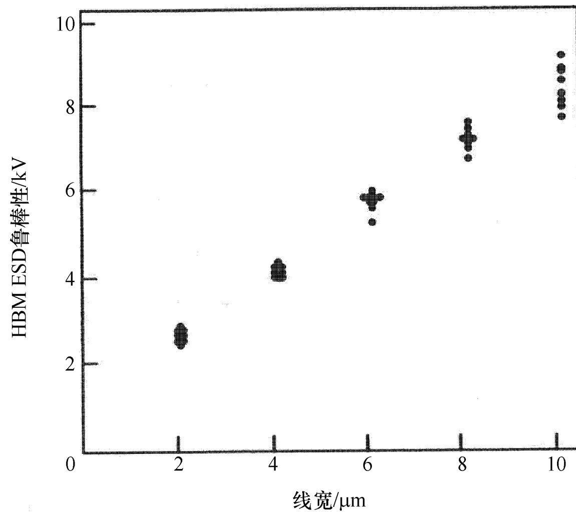


图 9-12 以导线宽度（M3）为函数的铜互联 HBM ESD 鲁棒性

从传输线脉冲测试来看，电阻漂移是电流密度函数的曲线。图 9-13 和图 9-14 显示了电阻的变化是电流及电流密度的二次方函数。

图 9-15 所示为在失效情况下临界电流密度的 Wunsch – Bell 图是铜互连的脉冲函数。

图 9-16 是铜互连及铝互连在失效情况下的临界电流密度的对比图形。由于更高的熔点，铜互连失效的发生概率是铝互连的两倍。

在 ESD 应力后的铜互连评价显示了失效模式形成在线宽的中心。图 9-17 是 ESD 应力后的铜互连的一个实例。

在钝化的互连中，铜互连熔化后，绝缘层爆裂要高于互连。绝缘层爆裂从互连的边缘向上。图 9-18 是铜互连爆裂损坏后的图形。

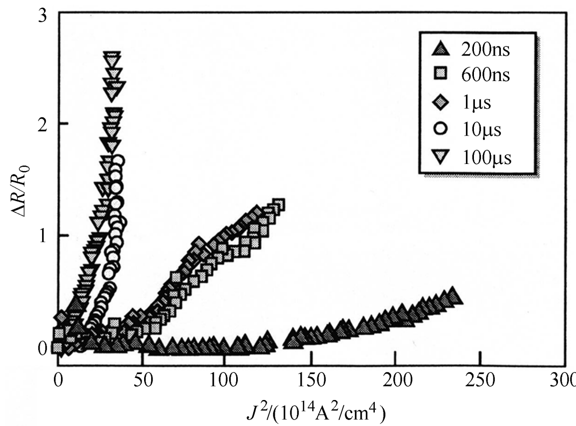


图 9-13 以铜互连电流密度为函数的动态 $\Delta R/R_0$

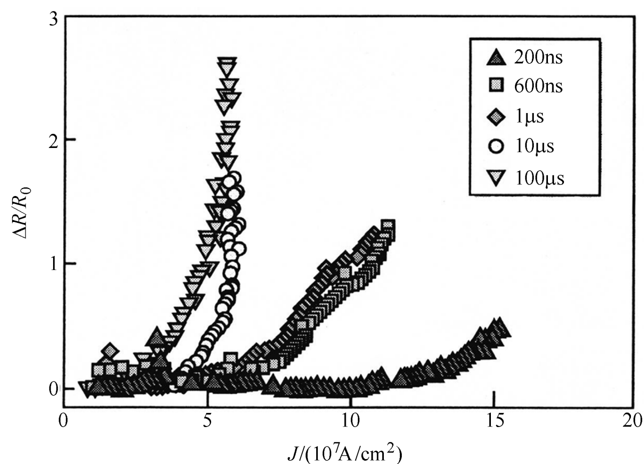


图 9-14　以铜互联 J^2 为函数的动态 $\Delta R/R_0$

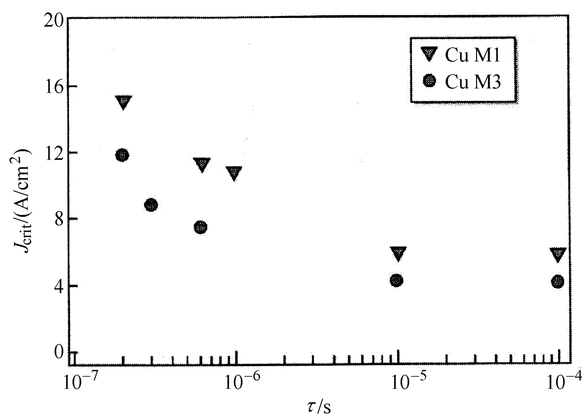


图 9-15　以铜互连脉冲宽度为函数的临界失效电流密度

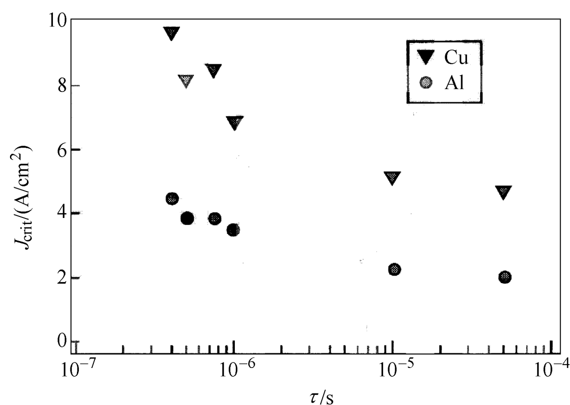


图 9-16　铜和铝互连的临界失效电流密度的比较

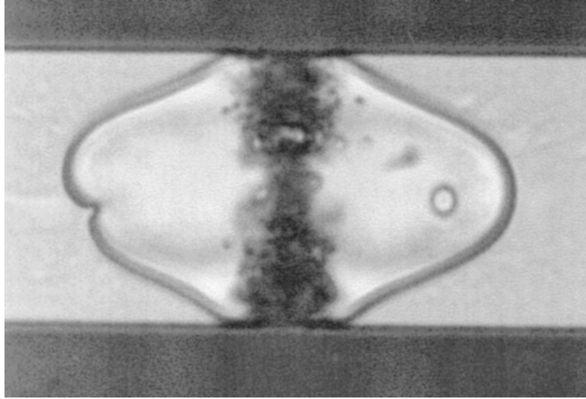


图 9-17 铜互连的 ESD 失效

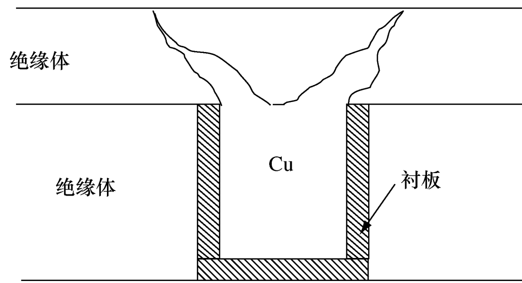


图 9-18 铜互连横截面，标出了在热压 ESD 测试中绝缘层爆裂

9.2.1 铜通孔

为了确保互连及绝缘材料中的互连完整性，铜通孔的 ESD 鲁棒性是电气互连的设计主要关注点。

在铜互连系统中，通孔的形成作为相同的物理薄膜沉积的一部分。第一和第二沟槽在使用第一和第二离子刻蚀工艺中形成，随后是衬垫沉积，接着是铜沉积。铜互连/通孔结构是通过化学机械抛光使该结构平坦来完成的。

在双大马士革工艺中，铜通孔体积的表达式[29]如下：

$$V_{\mathrm{Cu}} = ht^2\left(1 - \frac{2\Delta}{t}\right)^2\left(1 - \frac{\delta}{h}\right)$$

式中，h 为通孔高度；t 为通孔边缘；δ 为一个底部包层；侧壁薄膜厚度为 Δ。

包层材料的体积包括底层薄膜，侧壁是该结构内部没有铜薄膜的外部尺寸。

$$V_{\mathrm{Cu}} = ht^2\left[1 - \left(1 - \frac{2\Delta}{t}\right)^2\left(1 - \frac{\delta}{h}\right)\right]$$

对于 ESD 脉冲事件，当热量扩散到绝缘体，在互连周围将会形成热外壳。外壳的厚度可以简称为 d_{ox}。因此绝缘体的体积为

$$V_{\text{sheath}} = ht^2\left[\left(1 + \frac{2d_{\text{ox}}}{t}\right)^2 - 1\right]$$

时间相关的氧化物外壳厚度是一个脉冲函数，氧化物中的热扩散系数为

$$d_{\text{ox}}(t) = a_{\text{d}}\ \sqrt{\Delta t}$$

求解通孔结构的临界失效电流，临界电流作为一个复合薄膜（如铜、包层以及绝缘体材料）的函数其表达式可以被应用于

$$I_{\text{crit}}^2 = \frac{\left[(m_{\text{i}}c_{\text{i}} + m_{\text{j}}c_{\text{j}})\left(\frac{\gamma_{\text{crit}}}{\alpha}\right) + m_{\text{i}}L_{\text{f}} + m_{\text{k}}c_{\text{k}}\left(\frac{\gamma_{\text{crit}}}{\alpha}\right)\right]}{\frac{1}{2}\Delta t\left(\rho_{\text{eff}}\frac{L}{A}\right)(2 + \gamma_{\text{crit}})}$$

使该区域中的下标 i，j，k 分别代表铜通孔、通孔包层以及通孔结构周围的绝缘层体积。

把这个术语表示成一个与体积、热容以及密度相关的函数，有

$$I_{\text{crit}}^2 = \frac{2ht\left[(\psi_{\text{i}}V_{\text{i}}C_{\text{i}} + \psi_{\text{j}}V_{\text{j}}C_{\text{j}})\left(\frac{\gamma_{\text{arit}}}{\alpha}\right) + \psi_{\text{i}}V_{\text{i}}L_{\text{f}} + \psi_{\text{k}}V_{\text{k}}c_{\text{k}}\left(\frac{\gamma_{\text{crit}}}{\alpha}\right)\right]}{\Delta t(\rho_{\text{eff}}t)(2 + \gamma_{\text{crit}})}$$

在这个表达式中，有效电阻率和通孔结构相关。这和用于线宽的公式是不同的。在这种情况下我们把有效的电阻率表达如下：

$$\rho_{\text{eff}} = \frac{\rho_{\text{Cu}}}{\left(1 - \frac{2\Delta}{t}\right)^2} = \frac{\rho_{\text{Cu}}}{\aleph_{\text{via}}}$$

图 9-19 所示为临界失效电流作为铜通孔的一个脉宽函数图。随着脉宽增加，临界失效电流减小。

图 9-20 所示为钨钉和铜双大马士革通孔的 ESD 对比图。从这些结果中可以看出，铜的大马士革通孔是优于钨钉通孔的。由于大马士革单层膜的性质，金属线也参与自加热。

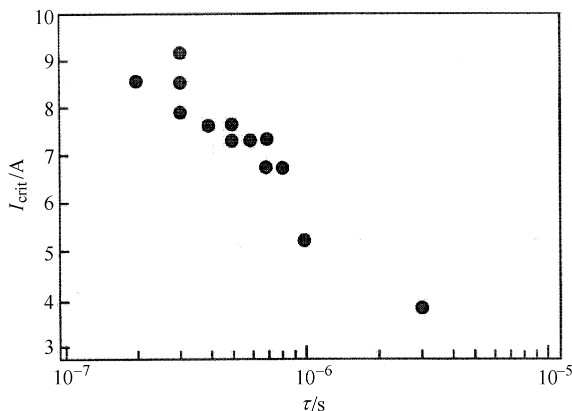


图 9-19　以脉冲宽度为函数的铜通孔临界电流

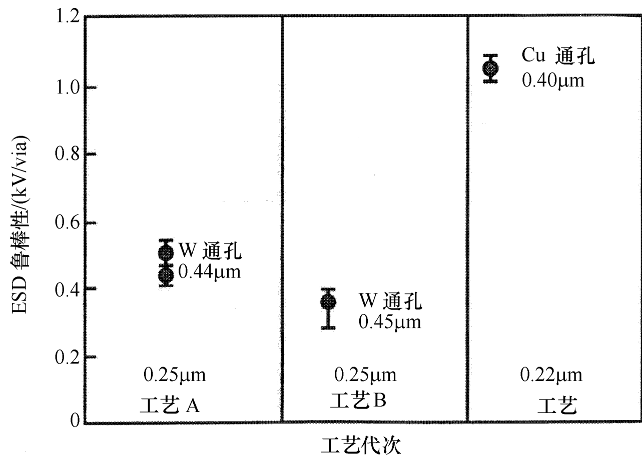


图 9-20 钨和铜通孔的比较

9.3 低 k 材料和互连

鉴于对电流密度、可布线性、阵列 I/O 结构以及接收器性能需求等需求，低 k 电介质作为层间电介质薄膜在信号延迟方面越来越重要[31-37]。例如，一个不包含固有延迟的 CMOS 门延迟的互连延迟器件能够表达如下：

$$(T_g)_{\text{extrinsic}} = f_g R_d C_w L_w + 0.4 R_w C_w L_w^2 + 0.7 R_w C_r L_w$$

这里非固有门延迟包含了互连相关的延迟因素，R_d 和 C_d 是 MOSFET 的输出电阻和电容，C_r 为 MOSFET 接收器的开关电容，R_w、C_w 及 L_w 分别表示电阻、电容以及互连线的长度，f_g 为电路扇出。为了减少互连延迟的时间，降低互连的电容起到很大的作用。通过使用铜互连，互连的电阻变小了，但是低 k 介质（层间介质）ILD 薄膜允许互连电容以及线间耦合的减小。通过使用铜互连以及低 k 介质 ILD 薄膜，信号延迟特性可以满足工艺等比例缩小的持续性能。

如果介电常数的缩放比例随着 MOSFET 缩放比例如下：

$$k' = \frac{k}{\alpha}$$

该系数是根据 MOSFET 的恒定电场缩放参数而定。低 k 层间介质薄膜必须有低漏电性、兼容热膨胀系数、高击穿电压、低薄膜应力、高破裂容忍性以及互连系统的兼容性（如大马士革铜互连）。典型的低 k 材料包括硅氟化物（$(F_xSi)_y$）、HSQ、有机聚合物（如聚醚、苯并环丁烯、纳米多孔二氧化硅和多孔聚合物等）。

图 9-21 显示了互连和低 k 材料的技术发展路线图。该技术路线图显示了互连宽度的等比例缩小、I/O 网络数量的增加以及互连材料的缩放。

低 k 间隙填充材料中铝互连的 ESD 测量证明铝互连的 ESD 稳定性相比于二氧化硅层间电介质将会降低[38]。

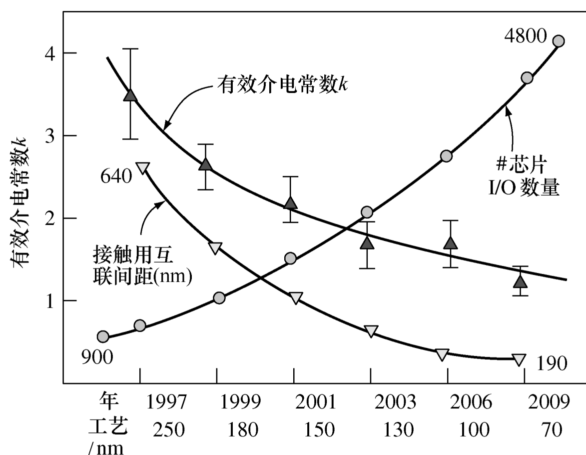


图 9-21 不同工艺代次及年份的低 k 层间绝缘介质的介电常数（来源：SIA）

从一个 ESD 的角度来看，低 k 材料热特性会影响热扩散时间 τ_D、热扩散系数 $\alpha > D$ 以及傅里叶常数

$$F_0 = \frac{K}{\rho C_p} \frac{t}{L^2}$$

式中，t 和 L 是特征时间及长度尺度。对于低 k 层间介电材料中的大马士革互连，铜区域中的物理体积可以表示为[39]

$$V_{Cu} = LWd_s \aleph$$

式中

$$\aleph = \left(1 - \frac{2\Delta}{W}\right)\left(1 - \frac{2\delta}{d_s}\right)$$

包层体积的表达式为

$$V_{Clad} = L\left[W\left(1 - \frac{2\Delta}{W}\right)\delta + 2d_s\Delta\right]$$

完全钝化的热壳层体积可以表示为

$$V_{sheath} = 4[W + d_s + L]d_{ILD}^2 + 2[LW + Ld_s + 2Wd_s]d_{ILD}$$

时间相关性的低 k ILD 壳层厚度是一个脉冲宽度函数，即

$$d_{ox}(t) = a_d \sqrt{\Delta t}$$

在该区域中采用 i，j，k 依次代表铜，包层以及低 k 绝缘体体积的下标。

把这个术语表示成一个体积、热量容和密度相关的函数，有

$$I_{\text{crit}}^2=\frac{2Wd_{\text{s}}\left[(\psi_{\text{i}}V_{\text{i}}C_{\text{i}}+\psi_{\text{j}}V_{\text{j}}C_{\text{j}})\left(\frac{\gamma_{\text{crit}}}{\alpha}\right)+\psi_{\text{i}}V_{\text{i}}L_{\text{f}}+\psi_{\text{k}}V_{\text{k}}c_{\text{k}}\left(\frac{\gamma_{\text{crit}}}{\alpha}\right)\right]}{\Delta t(\rho_{\text{eff}}L)(2+\gamma_{\text{crit}})}$$

为了简化分析，我们将假定互连的长度远大于宽度，互连宽度远大于包层厚度。

$$V_{\text{Cu}}=LWd_{\text{s}}\aleph$$

$$V_{\text{Clad}}\cong LW\delta$$

$$V_{\text{sheath}}\cong 2WLd_{\text{ILD}}$$

对于一个未被钝化的薄膜而言，有

$$V_{\text{sheath}}\cong WLd_{\text{ILD}}$$

从上述公式中，能量可以被定义为

$$E=C\Delta T+m_{\text{i}}L_{\text{f}}$$

或者作为一个物理体积函数

$$E=[\rho_{\text{Cu}}V_{\text{Cu}}C_{\text{Cu}}+\rho_{\text{Clad}}V_{\text{Clad}}C_{\text{Clad}}+\rho_{\text{ILD}}V_{\text{ILD}}C_{\text{ILD}}]C\Delta T+m_{\text{Cu}}L_{\text{f}}$$

让我们定义一个有效厚度 t_{eff} 为

$$t_{\text{eff}}=d_{\text{s}}\left[\aleph+\frac{\rho_{\text{Clad}}C_{\text{Clad}}}{\rho_{\text{Cu}}C_{\text{Cu}}}\frac{\delta}{d_{\text{s}}}+\frac{\rho_{\text{ILD}}C_{\text{ILD}}}{\rho_{\text{Cu}}C_{\text{Cu}}}\frac{2d_{\text{ILD}}}{d_{\text{s}}}\right]$$

假设一个临界能量 E_{crit}，当互连失效产生并发生故障时，它在一个脉冲期间将与平均能量输出的乘积有关。假设在这个脉冲期间电流恒定，该电流与平均电流值不一样，取平均电阻是取初始电阻和最后的电阻值的平均值。

$$E_{\text{crit}}=\int_0^{\Delta t}P(t)\,\mathrm{d}t=I^2\int_0^{\Delta t}R(t)\,\mathrm{d}t=\frac{1}{2}[R_0+R_{\text{f}}]I^2\Delta t$$

临界电流的解是

$$I_{\text{crit}}^2=W^2\left[\frac{2LW[\rho_{\text{Cu}}C_{\text{Cu}}t_{\text{eff}}\Delta T+\rho_{\text{Cu}}d_{\text{s}}\aleph L_{\text{f}}]}{R_0\left(2+\frac{\Delta R}{R_0}\right)\tau}\right]$$

代入有效电阻率，低 k 介质的临界电流表示为[39]

$$I_{\text{crit}}=W\sqrt{tt_{\text{eff}}}\left[\frac{2\left[\rho_{\text{Cu}}C_{\text{Cu}}\Delta T+\rho_{\text{Cu}}\left(\frac{t}{t_{\text{eff}}}\right)\aleph L_{\text{f}}\right]}{\rho_{\text{eff}}\left(2+\frac{\Delta R}{R_0}\right)\tau}\right]^{1/2}$$

式中，t 表示互连的薄膜厚度（$t=d_{\text{s}}$）。在上式中，临界电流表示为互连厚度的算术平均值以及互连的有效厚度。

图 9-22 和图 9-23 是比较铜互连在二氧化硅和低 K ILD 材料的 HBM 和 MM 结果。HBM 结果显示与铜互连在二氧化硅及 ILD 材料相比，在低 k 介质中具有较低的 ESD 稳定性。

从传输线脉冲测试来看，动态电阻的变化能够作为一个电流密度函数进行评估。图 9-24 和图 9-25 分别显示了 M2 铜/二氧化硅 ILD 以及低 k ILD 互连系统的 $\Delta R/R_0-J$。

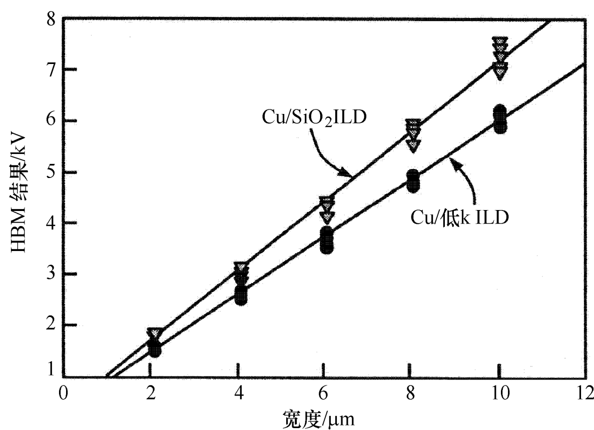


图 9-22 硅氧化层和低 k 绝缘材料上铜互连 HBM 比较

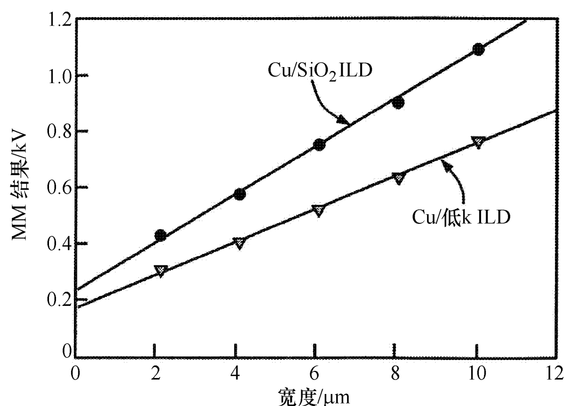


图 9-23 硅氧化层和低 k 绝缘材料上铜互连 MM 比较

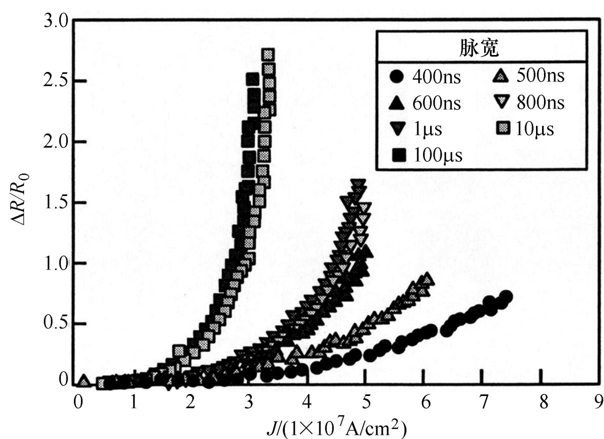


图 9-24 作为 M2 Cu/SiO_2 ILD 互连系统函数的 $\Delta R/R_0$

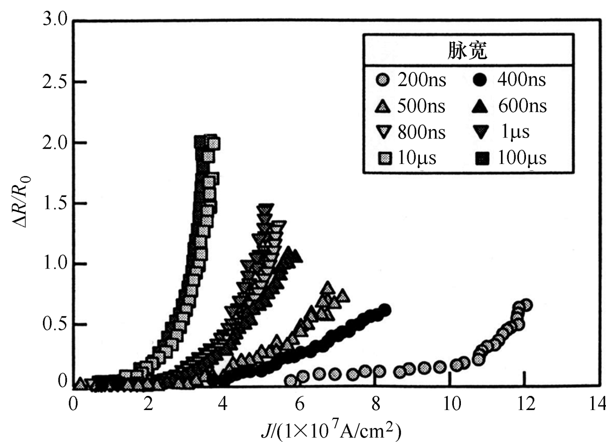


图 9-25　作为 M2 Cu/低 k ILD 互连系统函数的 $\Delta R/R_0$

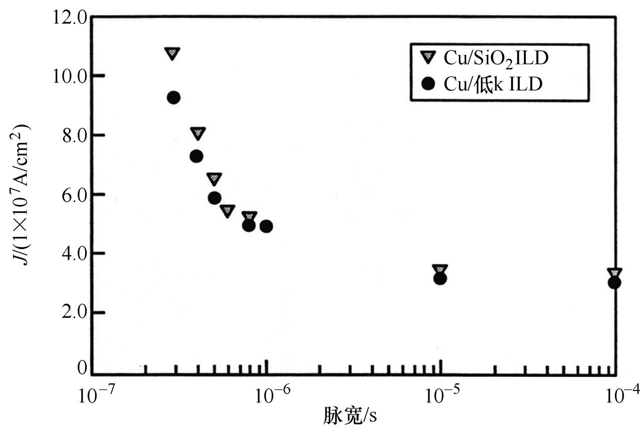


图 9-26　SiO_2 和低 k ILD 上铜互连失效临界电流密度

图 9-26 比较了二氧化硅铜互连的失效临界电流和低 k ILD 电介质的值。

图 9-27 显示了二氧化硅中的铝互连、二氧化硅中的大马士革铜互连以及低 k 材料中的铜互连的 Wunsch－Bell I_{crit} 曲线。从实验结果可以观察到 ESD 下降与低 k 介质有关。

从这些结果中可以看到，由于低 k 介质导致的降低能够通过增加互连线宽来解决。图 9-28 演示了用设计曲线来定义线宽以获得不同互连及 ILD 系统的给定 ESD 级别。

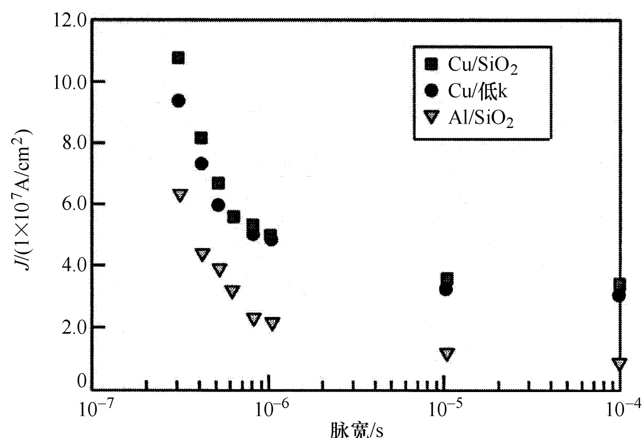


图 9-27　SiO_2和低 k ILD 上铜和铝互连的临界电流密度比较

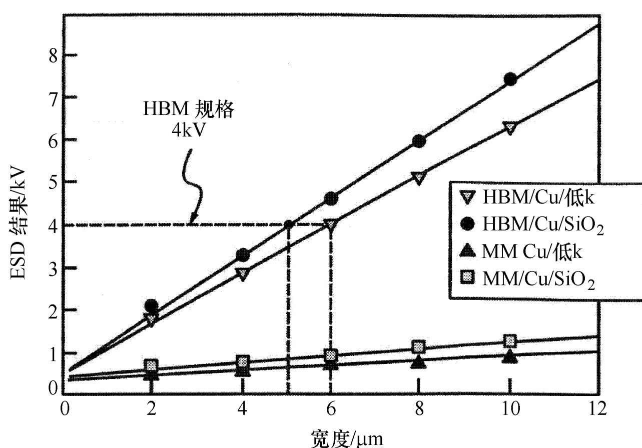


图 9-28　SiO_2和低 k 材料上铜互连的 ESD 线宽设计曲线

9.4　抛光终止和互连

对于机械抛光，为了避免凹陷，绝缘体被放置在给定的金属线宽后的电气互连上。在一个线宽为 W 的典型金属线上被放置了上述的形状。

金属线上绝缘体的放置对于 ESD 稳定性及功能来说是一个问题。因此，金属线模型必须解决宽互连的互连开孔。

给出互连的初始电阻 R_0、宽度 W，以及长度 L，薄膜厚度 t，以及电阻率 ρ，我们定义互连上的一个孔，其宽度为 W'、长度为 L'。对于任意距离都为 L'的孔的电阻值为

$$R' = \rho\frac{L'-W'}{Wt} + \rho\frac{W'}{(W-W')t} = \frac{\rho}{t}\left[\frac{L'-W'}{W} + \frac{W'}{W-W'}\right]$$

$$= \frac{\rho}{t}\left[\frac{(L'-W')(W-W')+W'W}{W(W-W')}\right]$$

假设 $L = iL'$，归一化到初始互连为

$$\frac{R'}{R_0} = \frac{i^{\frac{\rho}{t}}\left[\frac{(L'-W')(W-W')+W'W}{W(W-W')}\right]}{\frac{\rho L}{tW}}$$

上述公式也可以表达如下：

$$\frac{R'}{R_0} = 1 - \left(i\frac{W}{L}\left[\frac{W'^2}{W(W-W')}\right]\right)$$

在这个表达式中，电阻是一个置于互连上的接触孔数量与长度（该长度是一给定宽度的线长上的周期频率参数）的函数。此模型能够被扩展到金属线宽度方向上的复合形状。通过修改表达式获得，使总的 W' 为 $j\,W'$，这里的 j 是宽度参数的周期性参数。新的宽度很容易的集成到物理模型如下：

$$R(T) = R'(1+\alpha T)$$

式中，$R(T)$ 是随温度变化的动态电阻；R' 是线上有孔的初始电阻；α 是电阻的温度系数（TCR）。根据上式我们将互连的温度相关表示式如下：

$$T = \frac{R(T)-R'}{\alpha R'} = \frac{1}{\alpha}\left(\frac{\Delta R}{R'}\right)$$

由于阻抗是常数，从初始电阻到最终电阻的积分表达式为

$$\frac{\Delta R}{R} = \frac{R_f - R'}{R'} = \alpha\theta_{TH}P$$

因此，归一化电阻的改变正比于热阻抗、功率和电阻温度系数的乘积。结合焦耳热量（$P = I^2R$）以及电阻（$R = \rho L/A$），取代电流密度 J，则归一化微分电阻的表达式可以表示为

$$\frac{\Delta R}{R} = \alpha\theta_{TH}J^2\rho LA$$

根据归一化微分电阻，我们将得到如下热阻抗表达式：

$$\theta_{TH} = \frac{1}{J^2}\,\frac{[\Delta R/R]}{\alpha\rho LA}$$

在一个大马士革铜互连中，该互连的横截面是矩形的。衬底膜存在于三个侧壁上，而不是在顶层区域。由于该互连是一个复合薄膜，具有高电阻的难熔金属，一个有效的电阻率模型在以下假设情况下是可以使用的。

$$\rho_{eff} = \frac{\rho_{Cu}}{(1-2\Delta/x)(1-2\delta/y)} = \frac{\rho_{Cu}}{\aleph}$$

式中的几何尺寸有衬垫侧壁厚度 Δ，衬底 δ，线宽 x 以及线高度 y。我们定义电阻归一化变化表达式如下：

$$\gamma_{crit} = \frac{(R_f - R')}{R'}$$

根据失效电阻的归一化变化将临界能量表达如下：

$$E_{crit}=\frac{1}{2}[R'(2+\gamma_{crit})]I^2\Delta t$$

能量可以用与之相关的热容和熔化热表示，即

$$E=C\Delta T+m_iL_f$$

因此，当达到失效的临界温度时，能量的表达式就是临界能量。从温度与电阻的关系来看，我们可以用一个电阻的归一化变化和电阻温度系数的函数替代温度变化。

$$E_{crit}=C\left(\frac{\gamma_{crit}}{\alpha}\right)+m_iL_f$$

对于复合膜而言，每个区域的质量以及每个膜的比热都必须定义。根据以上两个临界能量公式可得

$$I_{crit}^2=\frac{\sum_i m_ic_i\left(\frac{\gamma_{crit}}{\alpha}\right)+m_iL_f}{\frac{1}{2}\Delta tR'(2+\gamma_{crit})}$$

扩展这个表达式来解决复合薄膜（如铜、包层以及绝缘材料）以及增加接触孔校正因子，有

$$I_{crit}^2=\frac{\left[(m_ic_i+m_jc_j)\left(\frac{\gamma_{crit}}{\alpha}\right)+m_iL_f+m_kc_k\left(\frac{\gamma_{crit}}{\alpha}\right)\right]}{\frac{1}{2}\Delta t\left(\rho_{eff}\frac{L}{A}\left[1-i\frac{W}{L}\left\{\frac{W'^2}{W(W-W')}\right\}\right]\right)(2+\gamma_{crit})}$$

在该表达式中，互连的横截面积可以代入分子中，来表达一个与谱线宽度以及与膜相关的几何变量相关联的函数的等式。对于互连中没有孔，铜区域内的物理体积表达式如下：

$$V_{Cu}=LWd_s\aleph$$

式中

$$\aleph=\left(1-\frac{2\Delta}{W}\right)\left(1-\frac{2\delta}{d_s}\right)$$

在互连中有孔的情况下，铜体积的减小是因为孔体积，就和孔区域边缘的衬底校正一样。

包层体积表达式如下

$$V_{Clad}=L\left[W\left(1-\frac{2\Delta}{W}\right)\delta+2d_s\Delta\right]$$

由于互连孔的存在，包层体积必须为了孔而进行调整。

完全钝化的热鞘体积可以表示为

$$V_{sheath}=4[W+d_s+L]d_{ox}^2+2[LW+Ld_s+2Wd_s]d_{ox}$$

依赖于时间的氧化物鞘厚度是一个脉宽函数，氧化物当中的热扩散系数为

$$d_{ox}(t)=a_d\sqrt{\Delta t}$$

在这个公式中，鞘体积必须包括孔数量以及孔体积。不像互连周围的鞘体积，热量

从四个侧面扩散到鞘体积中，可以显著地减小鞘体积吸收的热容量。鞘体积不会随着热鞘体积延伸到超过 $W'/2$（如当 $d_{ox} > W'/2$ 鞘体积为一个常数）。

9.5 填充物和互连

绝缘体和导电膜的平坦化在多层金属互连的环境中是很重要的。平坦化是采用化学机械抛光的方法实现的。为了提供良好的平坦性，金属被放置在宽区域中。这些填充物都是金属化材料的金属导体。这些填充物能够影响高密度互连的互连 ESD 稳定性以及长时间常数脉冲。填充物可以通过互连模型来处理，该模型可以采用铜互连测评的热鞘模型来取代。填充物同时也影响相对于体衬底的热阻抗。从复合薄膜的铜互连发展来看，每个区域的质量以及每个膜的比热都必须定义。失效临界能量公式为

$$E_{\mathrm{crit}} = \sum m_{\mathrm{i}} c_{\mathrm{i}} \left(\frac{\gamma_{\mathrm{crit}}}{\alpha}\right) + m_{\mathrm{i}} L_{\mathrm{f}}$$

根据临界能量的两个表达式有

$$I_{\mathrm{crit}}^2 = \frac{\sum_i m_{\mathrm{i}} c_{\mathrm{i}} \left(\frac{\gamma_{\mathrm{crit}}}{\alpha}\right) + m_{\mathrm{i}} L_{\mathrm{f}}}{\frac{1}{2}\Delta t R'(2 + \gamma_{\mathrm{crit}})}$$

展开这个表达式来解决复合薄膜（如铜、包层以及绝缘材料），有

$$I_{\mathrm{crit}}^2 = \frac{\left[(m_{\mathrm{i}} c_{\mathrm{i}} + m_{\mathrm{j}} c_{\mathrm{j}})\left(\frac{\gamma_{\mathrm{crit}}}{\alpha}\right) + m_{\mathrm{i}} L_{\mathrm{f}} + m_{\mathrm{k}} c_{\mathrm{k}}\left(\frac{\gamma_{\mathrm{crit}}}{\alpha}\right)\right]}{\frac{1}{2}\Delta t\left(\rho_{\mathrm{eff}}\frac{L}{A}\right)(2 + \gamma_{\mathrm{crit}})}$$

在这个表达式中，为了表达一个与谱线宽度以及与膜相关的几何变量相关联的函数的等式，互连的横截面积可以代入分子中。发生传导的铜区域内的物理体积表达式如下：

$$V_{\mathrm{Cu}} = L W d_{\mathrm{s}} \aleph$$

式中

$$\aleph = \left(1 - \frac{2\Delta}{W}\right)\left(1 - \frac{2\delta}{d_{\mathrm{s}}}\right)$$

包层体积表达式如下：

$$V_{\mathrm{Clad}} = L\left[W\left(1 - \frac{2\Delta}{W}\right)\delta + 2 d_{\mathrm{s}} \Delta\right]$$

随着热鞘层的扩展，填充物必须包含在热存储能源中。填充物都有相同的物理高度，但是有着不同的长度和宽度参数。铜体积是导线长度以及不同层次热鞘下的铜填充物数量。对于相同的金属层，当其形状数量被包含在热鞘当中时，其厚度是相同。这是基于填充物的间隔距离来计算的（如线和空间依耐性）。由于热鞘通过绝缘体体积来推进的，相邻的填充物的数量将被包含在宽度上。在垂直方向上，形状的数量依赖于热鞘和连续薄膜及薄膜高度之间的垂直距离。

$$V_{Cu} = LWd_s\aleph + \sum_{m=1}^{m \le d_{ox}/P_{m,m-1}} d_{sm}\aleph_m \sum_{n=1}^{n \le d_{ox}/P_n} L_{mn}W_{mn}$$

式中，求和变量 m 及 n 都与互连层次相关，P 是包含在鞘间的填充物之间的连续互连层横向之间的间距。

包层也可以有同样的表达，包括包层的载流互连和热鞘间的填充物数量。

被完全钝化的热鞘在不包含填充物时的体积表达式如下：

$$V_{sheath} = 4[W + d_s + L]d_{ox}^2 + 2[LW + Ld_s + 2Wd_s]d_{ox}$$

在包含填充物时，填充物的数量可以从物理鞘中移除，有

$$V_{sheath} = (L + 2d_{ox})(W + 2d_{ox})(d_s + 2d_{ox}) - LWd_s\aleph - \sum_{m=1}^{m \le d_{ox}/P_{m,m-1}} d_{sm} \sum_{n=1}^{n \le d_{ox}/P_n} L_{mn}W_{mn}$$

与时间相关的氧化外鞘厚度是脉宽厚度、氧化物中的热扩散系数的函数，即

$$d_{ox}(t) = a_d\sqrt{\Delta t}$$

在该区域中使 i，j，k 依次代表铜、包层以及绝缘层体积的下标。

将该术语表示成一个关于上述体积、热容量和密度的函数，有

$$I_{crit}^2 = \frac{2Wd_s\left[(\psi_i V_i C_i + \psi_j V_j C_j)\left(\frac{\gamma_{crit}}{\alpha}\right) + \psi_i V_i L_f + \psi_k V_k c_k\left(\frac{\gamma_{crit}}{\alpha}\right)\right]}{\Delta t(\rho_{eff}L)(2 + \gamma_{crit})}$$

上述模型致力于绝缘热鞘中热容量的改变，但没能解决在有填充物的介质的时间响应的校正问题。

9.6　铜薄膜应力和电迁移

互连的 ESD 应力会引起材料的改变[40]以及铜互连的应力。在铝互连中观察到静电放电可以降低互连系统的电迁移可靠性。铜互连中的电迁移寿命特征和铝基互连不同[41]。在铜互连中，Khoo 等人[42]在验证电迁移寿命的改变的同时也注意到了作为 TLP 测试结果的微观结构的变化。他们说明了铜薄膜的材料属性改变是在 TPL 应力之后。从铜线应力及非应力下的 TEM 成像来看，应力下的铜条纹比非应力下的铜条纹的平均铜晶粒尺寸小。

预计铜晶粒尺寸小于 0.2μm，典型的“竹子”结构是在无应力线下观察到的；这显示了从应力下观察到的众多小谷粒有明显的差异。当铜互连经受一个高电流脉冲，加热会增加铜膜的有效体积。但是，观察 TPL 应力前后没有显著的电阻漂移。短脉冲持续时间可能不允许任何达到有害于初始电阻的空洞的形成。也有可能是由于高电流应力导致早期的 EM 故障作为一个 TPL 电流脉冲函数减小铜颗粒的平均颗粒尺寸。这进一步证实了在比较应力及非应力下的互连所获得的衍射模式（见图 9-29）。随着铜晶粒由于加热及再结晶变小，任何衍射环的 TEM 分析预计将显示更多随着 ESD 应力应用水平的增加的扩散。图 9-29 显示了非应力下铜条纹的衍射图案[43]。

对于细粒度的多晶结构，从 TEM 得到的衍射图案将出现一系列的同心环。由于每个晶体产生的一些衍射光线，共存的许多晶体会产生连续的线。当颗粒结构变大时，它

们表现出点模式。斑点通过反晶格对应于平面部分图像的放大，采用正常的入射光线放大。对于一些被很好定义的低指数波束方向任何照明区域显示了单晶衍射斑点。在图9-30中获得的斑点模式证实了较大的铜晶粒存在于未受力的互连。图9-30是TLP应力铜条纹的衍射图案。相比较而言，应力下的互连环模式强调了更小的颗粒多晶材料的存在。

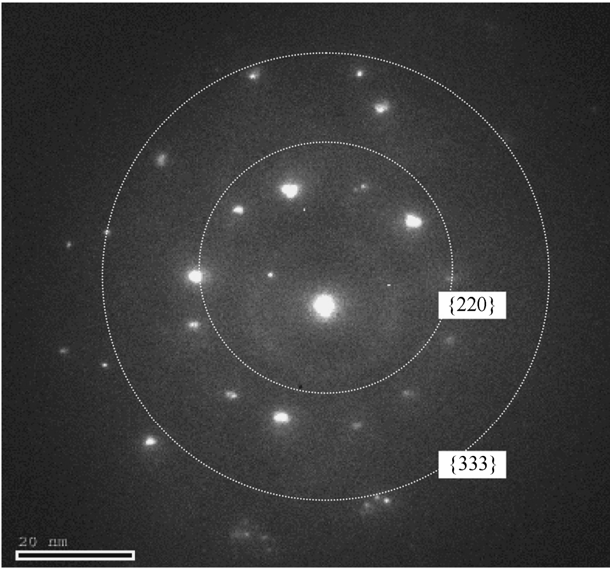


图9-29　未加应力的Cu条纹衍射图样

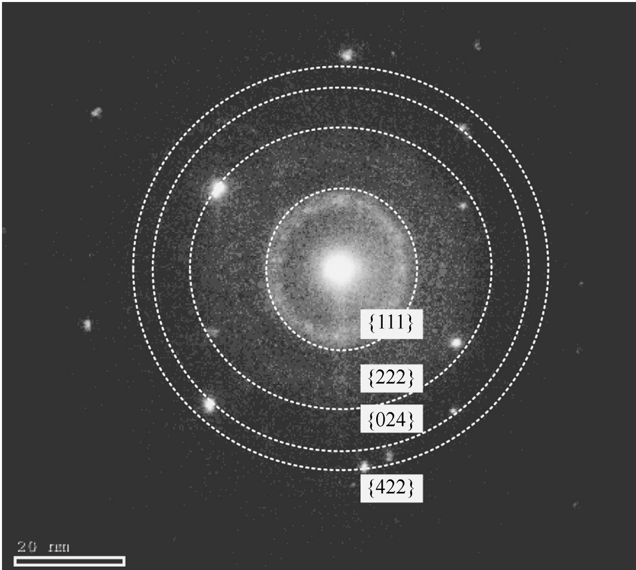


图9-30　加TLP应力的Cu条纹衍射图样

根据 Bragg 定律有

$$\lambda = 2d_{hkl}\sin(\theta_B)$$

由于 λ 很小，而且对于 TEM 来说 λ 是一个常数，所以通过测量 $\theta_{E'S(\text{Bragg角})}$ 来确定 d_{hkl}。

对于 EM 寿命预测的黑盒模型表达如下：

$$T_{50} = AJ^{-n}\exp\left\{\frac{E_a}{kT}\right\}$$

式中，J 是电流密度；E_a 是活化能；kT 是玻尔兹曼常数和开尔文温度的乘积。Khoo 等人[43]表明由于预应力 TLP 电流的增加，T_{50} 电迁移寿命在电迁移应力后下降[43]。

铜互连的 ESD 应力下，显示电阻漂移可以发生在铜膜中。从 Voldman 的工作中可以观察到材料的改变[28-30]。从 Khoo 等的结果中，来自 ESD 事件互连应力显示出导致可能会表现电磁故障的延迟效应。

d_{hkl} 与 θ_E 之间是倒数关系。铜元素是一个已知的面心立方（FCC）材料，因此它可以找到通过校准硅 <100> 模型而获得衍射模型。在这种情况下，斑点和环能够被找到，但却没有明显的新情况被发现。

这个结果和此前通过 Banerjee 的 TLP 应力下的铝条纹薄膜公布的 TEM 显微分析是相似的。在以前的工作中，较小的晶粒尺寸在 TLP 应力下的铜互连中更明显。因此，可以得出结论，在 TLP 应力下较小的晶粒尺寸表现出较低电迁移的寿命。

实验结果表明在最坏的情况下，铜线的电迁移寿命的是无应力设备时的 1.4 倍。因此，在之前报到中由于铜铝电迁移寿命按因子 4 降低，铜金属的电迁移寿命比铝金属要好些。在 Voldman 之前公布的工作中表明相比于铝线/二氧化硅 ILD 系统，铜线/二氧化硅 ILD 系统对于来自于人体模型、机械模型及 TLP 应力的 ESD 应力更具弹性。此外，沃尔德曼还表明与铜线/二氧化硅 ILD 系统比铜互连/低 KILD 薄膜系统有较低的 ESD 鲁棒性，但是优于铝线/二氧化硅 ILD 系统。这个结果和之前 Voldman 公布的结果是一致的，它们显示了铜互连/FSG ILD 系统相比于铝互连/二氧化硅 ILD 系统更具弹性。

9.7　互连故障和空洞

互连的电脉冲期间，互连的热熔融将导致材料空洞及材料结构的改变。在空洞区域中，材料被改变从而导致电阻漂移。从铜互连脉冲来看，空洞的产生和材料改变发生在一个周期内。

给定互连初始电阻 R_0，宽度 W，长度 L，薄膜厚度 t，以及电阻率 ρ，我们可以定义一个空洞的互连，其初始宽度为 W' 及初始长度为 L'。空洞的尺寸比互连的宽度要窄。因此，我们可以假设 $W > W'$。假定互连故障区域是电阻率损坏的区域。

假设一个空洞的周期 k，我们将损坏的线路表达如下：

$$R' = k\frac{\rho_d}{t}\left[\frac{W}{W-W'}\right] + k\frac{\rho_u}{t}\left[\frac{L'-W}{W}\right]$$

式中，第一项是长度 W 的受损区域数量；有效宽度为 $W - W'$；薄膜厚度为 t；损坏的方块电阻率为 ρ_d。

第二项是未损坏部分的区域长度。将未损坏线长度 L 的表达式归一化为

$$\frac{R'}{R}=\frac{k\,\dfrac{\rho_{\mathrm{d}}}{t}\left[\dfrac{W}{W-W'}\right]+k\,\dfrac{\rho_{\mathrm{u}}}{t}\left[\dfrac{L'-W}{W}\right]}{\rho_{\mathrm{u}}\,\dfrac{L}{tW}}$$

因此

$$\frac{R'}{R}=k\,\frac{W}{L}\left(\frac{\rho_{\mathrm{d}}}{\rho_{\mathrm{u}}}\right)\left(\frac{W}{W-W'}\right)+k\,\frac{W}{L}\left(\frac{L'}{W}\right)-k\,\frac{W}{L}$$

替换 $L'=L/K$，得到如下形式：

$$\frac{R'}{R}=k\,\frac{W}{L}\left[\left(\frac{\rho_{\mathrm{d}}}{\rho_{\mathrm{u}}}\right)\left(\frac{W}{W-W'}\right)-1\right]+1$$

在前面的章节中，在脉冲期间改变电阻，而这个表达式是关联到脉冲后电阻的永久改变。注意动态电阻（R'是 d. c 的初始电阻）可以计算为

$$T=\frac{R(T)-R'}{\alpha R'}=\frac{1}{\alpha}\left(\frac{\Delta R}{R'}\right)$$

由于自阻抗是常数，由从初始电阻到最终电阻积分的表达式有

$$\frac{\Delta R}{R}=\frac{Rf-R'}{R'}=\alpha\theta_{\mathrm{TH}}^{P}$$

在损坏的线路中，值得关注的一个潜在机制是电噪声功率频谱。在 Hooge 规律[44]中发现了金属线路中的 $1/f$ 噪声，表达式如下：

$$S_{\mathrm{R}}=\frac{1}{I^4 f}\int\{C_{\mathrm{us}}\rho^2 J^4\}\,\mathrm{d}V$$

式中，S_{R} 为电阻噪声功率谱；I 为电流；f 为频率；C_{us} 为单位体积特征噪声。在防静电损坏互连中，可以表达如下：

$$\frac{S_{\mathrm{R'}}}{S_{\mathrm{R}}}=1+k\,\frac{W}{L}\left[\left(\frac{\rho_{\mathrm{d}}}{\rho_{\mathrm{u}}}\right)^2\left(\frac{W}{W-W'}\right)^3-1\right]$$

9.8 绝缘结构机械应力

在 ESD 事件中，由于强烈的热梯度所引起的热应力，介质和金属薄膜能够承受机械失效。通过压缩、拉伸和剪切应力，可以导致电介质、条状金属以及通孔结构中产生机械故障。在弹性范围内，应力与物体的形变量成比例，其中比例常数是杨氏模量 E。

$$\tau=E\varepsilon$$

但是超过了某一形变程度后，这种关系将不再成立，压力与形变不再符合比例关系，这点所对应的应力被称为极限应力。在 ESD 事件中，导体和半导体中存在的焦耳自热现象可以看做是结构中电阻作用的结果。导体和半导体中产生的焦耳热会导致热力学应变的产生。

$$\varepsilon=\alpha\Delta T$$

在弹性范围内，由自加热引起的应力为

$$\tau = E\alpha\Delta T$$

在热力学物理中，由自加热引起的温度变化可以表示为物体的热阻抗和结构中的输入功率的乘积形式。

$$\Delta T = \Theta_{TH}P$$

简单地说，自加热引起的热应力可以表示为

$$\tau = E\alpha\Theta_{TH}P$$

互连结构的机械故障发生在极限弯曲条件下。在材料中，某一点的弯曲条件独立于该点的静电应力。静电的机械应力并不包括剪应力。Hookean 球体材料本质上并不存在剪应力。

机械弯曲适用的 Tresca 准则应用的应力条件是，所受压力的大小超过了主应力最大值与最小值之间差异的一半。

$$\tau_{Tresca} = \frac{1}{2}(\tau_{max} - \tau_{min})$$

Mises – Hencky 准则定义的剪应力称为八面体剪应力，而八面体剪应力可以看做是主要应力的函数[45]，即

$$\tau_{OCT} = \frac{1}{3}\sqrt{(\tau_1 - \tau_2)^2 + (\tau_1 - \tau_3)^2 + (\tau_2 - \tau_3)^2}$$

当材料中某一点的压力超过了八面体的剪应力，材料就会发生弯曲。Mises – Hencky 准则已经可以有效地应用于韧性材料，如铜、铝等，而 Tresca 准则则更适用于脆性材料。在半导体元件中，为了解决弯曲问题，必须同时考虑薄膜的预应力和额外的热应力，以此来评估 ESD 事件过程中的机械弯曲。

在 ESD 事件中，由于 ESD 脉冲诱导的高热应力，会导致互连的电介质薄膜中产生机械应力。互连的电介质系统的失效机制的演变过程与电介质材料、互连层的包层材料和位置、互连的薄膜材料有关。其中，包层材料的位置对互连电介质系统的演化很重要。例如，在铝互连中，钛包层被放置在铝薄膜的顶部和底部。在评价互连故障时，首先观察到的就是互连边缘绝缘体的开裂。如果互连裂开，铝就会流入横向裂纹区域。从上方观察，由于较高的熔化温度，原来的包层材料将保持不变。通常在观察电介质区域的铝薄膜后，我们可以观察到包层故障。如果保持电路的通畅，在经过持续的 ESD 脉冲后，电流将会流过包层材料，从而导致粗大的图案形成在包层位置，随后就会出现电气连续性的分离以及包层材料的故障。在铜大马士革工艺中，包层被放置在槽区域的三个边缘位置。在这种情况下，首先观察的是铜薄膜微观结构的变化。在持续的 ESD 脉冲下，可以观察到铜薄膜熔化，绝缘体开裂。绝缘体的开裂是一种向上的开裂；裂痕经常出现在铜 – 三相点和向上生长的过程中。存在裂缝的绝缘体表面是没有钽（TA）包层存在的表面。互连部分的持续应力会导致铜和钽包层的故障，并渗透到绝缘体中。

在第 10 章中，我们将讨论绝缘体上硅（SOI）技术和 ESD。过渡到 SOI 技术上，在散热上有一些互连的关联作用。因此，本章中提到的问题，也涉及了容量或者 SOI 技术。事实上，在这些条件下，会有一些新的、有趣的有关互连的科学问题。

习 题

9.1 推导出铝互连的临界电流到铜互连临界电流的比。

9.2 从上面的关系，假设铜互连仅仅是通过薄膜厚度中的 MOSFET 恒定电场等比例缩小参数进行扩展的。假设包层厚度不变，推导铜互连的金属宽度等比例缩小的关系式。

9.3 推导出二氧化硅中的失效铜互连与低 k 介质中的铜互连的临界电流比。

9.4 假设一个固定的互连，低 k 介质导热系数是随着每一代工艺制造的 MOSFET 恒定电场的尺度参数减少。给定连线厚度及宽度，推导出失效临界电流的关系。源自薄膜厚度和金属宽度是随着低 k 介质变化的关系式。

9.5 假设等比例缩小理论下 ESD 恒定（即随着工艺缩放互连系统的 ESD 稳定性），金属薄膜厚度是随着 MOSFET 恒定电场尺度参数变化的，每个金属层随着设备表明到最后一个金属层的尺度参数变薄，推导出每个金属层的金属宽度关系。

9.6 推导一对于低 k 介质的热导率的补偿与必要的填充物的密度关系式，其中假设填充物是铜材料以至于 ESD 稳定性不随着每一代工艺而衰减。

参 考 文 献

1. D. C. Wunsch and R. R. Bell. Determination of threshold failure levels of semiconductor diodes and transistors due to pulsed voltages. *IEEE Transactions on Nuclear Science* 1968; NS-15(6): 244–259.
2. D. Tasca. Pulse power modes in semiconductors. *IEEE Transactions on Nuclear Science* 1968; NS-15(6): 244–259.
3. D. Tasca. MINUTEMAN III re-entry system piece parts support test (submicrosecond pulse electric failure modes in semiconductor devices). *General Electric Co., Document No. 70SD401*, January 1970.
4. J. Smith. Pulse power testing of microcircuits. *RADC-TR-71-59*, Rome Air Development Center, October 1971.
5. J. Smith. Electrical overstress failure analysis in microcircuits. *Proceedings of the EOS/ESD Symposium*, 1981; 41–46.
6. J. Smith and W. Littau. Prediction of thin film resistor burnout. *Proceedings of the EOS/ESD Symposium*, 1981; 192–197.
7. D. Egelkrout. Metalization failure and thermomechanical shock studies. *Boeing Corporation, Defense Atomic Support Agency Report 2611 (SRD)*, November 1971.
8. E. Kinsbron *et al.* Failure of small thin film conductors due to high current density pulses. *Proceedings of the International Reliability Physics Symposium*, 1978; 248–254.
9. D. Pierce. Modeling metalization burnout of integrated circuits. *Proceedings of the EOS/ESD Symposium*, 1982; 56–61.
10. S. Voldman. The impact of technology evolution and scaling on electrostatic discharge (ESD) protection on high-pin-count high-performance microprocessors. *Proceedings, of the International Solid-State Circuits Conference* Session WA21, San Francisco, 15–17 February 1999; 366–368.
11. S. Voldman. ESD robustness and scaling implications of aluminum and copper interconnects in advanced semiconductor technology. *Proceedings of the EOS/ESD Symposium*, 1997; 316–329.

12. T. Maloney. Integrated circuit metal in the charged device model: bootstrap heating, melt damage, and scaling laws. *Proceedings of the EOS/ESD Symposium*, 1992; 129–134.
13. P. Solomon. The need for low resistance interconnects in future high speed systems. *SPIE Proceedings* 1988; 947: 104.
14. Y. Mii. Performance consideration for scaling of sub-micron on-chip interconnections. *SPIE Proceedings* 1992; 1805: 332.
15. G. Sai-Halasz. High end processor trends and limits. *Proceedings of the International Conference on Advanced Microelectronic Devices and Processing*, Sendai, Japan, 1994; 753.
16. G. Sai-Halasz. Performance trends in high end processors. *Proceedings of the IEEE* 1995; 83: 20.
17. D. Edelstein, G. A. Sai-Halasz and Y. J. Mii. VLSI on-chip interconnection performance simulation and measurements. *IBM Journal of Research and Development* 1995; 39 (4): 383–401.
18. M. Bohr. Interconnect scaling – the real limiter to high performance ULSI. *Solid State Technology* 1996.
19. H. B. Bakoglu. *Circuits, Interconnections, and Packaging for VLSI.* Reading, MA: Addison Wesley, 1990.
20. J. G. Ryan, R. M. Geffken, N. R. Poulin and J. R. Paraszczak. The evolution of interconnection technology in IBM. *IBM Journal of Research and Development* 1995; 39 (4): 371–383.
21. K. Banerjee *et al.* Characterization of VLSI circuit interconnect heating and failure under ESD conditions. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 1996; 237–245.
22. D. Edelstein *et al.* Full copper wiring in a sub-0.25 μm CMOS ULSI technology. *International Electron Device Meeting (IEDM) Technical Digest*, Session 33.3.1, December 1997; 773–776.
23. D. Edelstein. Performance and integration of copper VLSI/ULSI interconnects. *Proceedings of the American Vacuum Society 41st National Symposium*, 1994; 123.
24. D. Edelstein. Advantages of copper interconnects. *Proceedings of the 12th International VLSI Multilevel Interconnection Conference*, Santa Clara, CA, 1995; 301.
25. B. Luther *et al.* Planar copper polyimide back end of line interconnections for ULSI devices. *Proceedings of the 12th International VLSI Multilevel Interconnection Conference*, Santa Clara, CA, 1995; 15.
26. C. K. Hu *et al.* Copper–polyimide wiring technology for VLSI circuits. *Materials Research Society Symposium Proceedings VLSI* 1990; V: 369.
27. C. Kaanta *et al.* Dual damascene: a ULSI wiring technology. *Proceedings of the 8th International IEEE VLSI Multilevel Interconnect Conference*, Santa Clara, CA, 1990; 123.
28. S. Voldman. ESD robustness and scaling implications of aluminum and copper interconnects in advanced semiconductor technology. *Proceedings of the EOS/ESD Symposium* 1997; 316–329.
29. S. Voldman *et al.* High-current transmission line pulse characterization of aluminum and copper interconnects for advanced CMOS semiconductor Technologies. *Proceedings of the International Reliability Physics Symposium*, 1998; 293–301.
30. S. Voldman. Lightning rods for nanostructures. *Scientific American*, October 2002.
31. SIA Semiconductor Industry Association. *The National Technology Roadmap for Semiconductors*, 1997.
32. SEMATECH Report. *Low Dielectric Constant Materials Characterization and Materials Property Database*, September 1997.
33. L. Peters. Pursuing the perfect low-k dielectric. *Semiconductor International*, September 1998; 64–74.
34. R. K. Laxman Low-ε dielectrics: CVD fluorinated silicon dioxides. *Semiconductor International*, May 1995; 71–74.
35. D. Ambrust *et al.* Integration of HDPCVD FSG for 0.25 μm CMOS Technology. *DUMIC Proceedings* 1998; 67.

36. H. Meynen *et al.* The Integration of low-k hydrogen silsequioxane in sub-0.35 μm processes. *Proceedings of the Electrochemical Society Symposium on Low and High Dielectric Constant Materials*, May 1998.
37. G. Passemard *et al.* Single damascene integration of BCB with copper. *Proceedings of the VLSI Multilevel Interconnect Conference* June 1998; 63.
38. K. Banerjee *et al.* The effect of interconnect scaling and low-k dielectric on the thermal characteristics of the IC metal. *Proceedings of the International Electron Device Meeting (IEDM) Technical Digest*, December 1996.
39. S. Voldman *et al.* High current characterization of dual damascene Copper/SiO_2 and low-K interlevel dielectrics for advanced CMOS semiconductor technologies. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 1999; 144–153.
40. K. Banerjee *et al.* Microanalysis of VLSI interconnect failure modes under short-pulse stress conditions. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 2000; 283–288.
41. C. Ryu *et al.* Electromigration of submicron damascene copper interconnects. IEEE Symposium of VLSI Technology Digest of Technical Papers, 1998; 156–157.
42. S. C. K. Khoo, P. Y. Tan, E-C. Chua, S-C. T. Carol, I. Manna, S. Redkar and S. Ansari. Copper interconnect microanalysis and electromigration reliability performance due to the impact of TLP ESD. *Proceedings of the EOS/ESD Symposium*, 2002; 382–387.
43. S. Khoo, P. Y. Tan and S. Voldman. Microanalysis and electromigration reliability performance of transmission line pulse (TLP) stressed copper interconnects. *Journal of Microelectronics and Reliability*, 2003; 43: 1039–1045.
44. L. Chu, W. K. Chim, K. L. Pey and A. See. Effect of transmission line pulsing of interconnects investigated using combined low-frequency noise and resistance measurements. *Proceedings of the International Physical and Failure Analysis Symposium*, 2001; 97–102.
45. I. Shames. *Introduction to Solid Mechanics*. Engdwood cliffs: Prentice Hall, 1975.

第 10 章　绝缘体上硅（SOI）与 ESD

本章将讲述绝缘体上硅（SOI）技术和 ESD。我们将讨论 SOI 中的横向多晶硅栅控二极管结构，并对 SOI 二极管模型和热模型进行介绍。在通常的方法中，SOI 建模是一种自然的格林函数热模型，因其几何形状和衬底而被视为一个分层介质问题。本章还介绍了动态阈值 SOI 器件，以展示 SOI 技术中新的发展方向。

绝缘体上硅（SOI）被视为 CMOS 技术的发展，以维持由摩尔定律[1]设定的性能目标。在 20 世纪 90 年代初，为了维持摩尔定律，人们对作为体 CMOS 技术发展的 SOI 技术产生了更大的研究兴趣。这源于一个基础事实，即 SOI 降低了结电容，也降低了性能目标。CMOS 门延迟，除去本征延时，可表示为

$$(T_g)_{\text{extrinsic}} = f_g R_d C_w L_w + 0.4 R_w C_w L_w^2 + 0.7 R_w C_r L_w$$

式中，外在门延迟是和连线相关的项，R_d 和 C_d 分别是 MOSFET 的输出电阻和电容，C_r 为 MOSFET 的接收电路开关电容，R_w、C_w 和 L_w 分别是连线的电阻、电容和长度，f_g 是电路的扇出。随着工艺的发展，向铜互连和低 k 材料过渡将降低互连延迟。这使得晶体管的基本速度与扩散电容和电阻负载效应相关联。

随着 MOSFET 晶体管沟道长度尺寸发展到小于 0.1μm，为了提高先进微处理器中 MOSFET 的性能，体 CMOS 技术正向 SOI 技术演进。SOI 已经成为基于 CMOS 的先进微处理器[2-7]的一项主流商业技术。多年来，SOI 技术应用于需要对单粒子翻转效应（SEU）具有高免疫力的航空应用中。在航空应用中，体 CMOS 技术在重离子、质子、中子和其他粒子面前非常脆弱。当重离子和带电粒子经过硅晶格时，因带有电荷产生轨道。此外，相互作用的粒子和硅晶格核生成电荷。生成电荷导致存储单元中的软错误事件，逻辑电路中的逻辑扰乱和单粒子效应引起的闩锁效应。体 CMOS 技术对单粒子翻转和的空间应用中的闩锁十分敏感。因此，SOI 仍然是航空和军事应用上的有用技术。最近，SOI 已成为无线电频率通信应用的热点。SOI 应用提供了良好的噪声隔离和低电容。

一个关键问题是，ESD 保护是否将成为引入 SOI 技术（作为遵循标准体 CMOS 技术的主流工艺）的障碍。因此接受 SOI 工艺作为商业半导体芯片的主流工艺时，成功实现 SOI 技术的静电放电保护是非常重要的。人们普遍认为，在 SOI 技术中提供 ESD 保护是 20 世纪 90 年代初所克服的实质性障碍或挑战[8-10]。

体 CMOS 工艺的 MOSFET 等比例缩放仍然是高密度、高性能的先进微处理器的发展趋势。当工艺尺寸降到 0.15μm 以下时，MOSFET 的有关特性，如短沟道效应（SCE）的控制、栅极电阻、沟道浓度和热电子，不断地挑战着体 CMOS 工艺设计师。功耗与电容、电源电压和转换频率有关。为了降低微处理器芯片的功耗，我们可以通过降低电源电压来实现[1]。结电容在较低的电源电压下将严重影响体 CMOS 器件的性能。通过使用 SOI 技术，体 CMOS 技术的许多 MOSFET 问题都能得到解决。CMOS－on－SOI 技术能够

实现先进微处理器的高性能，与体 CMOS 工艺相比更具优势。CMOS – on – SOI 技术能实现低漏电流、低电容的 MOSFET 和电阻元件以及良好的亚阈值 $I-V$ 特性[2]。但是，为了使 SOI 技术成为制造业的一个主流技术，我们就必须解决浮体效应和 ESD 保护问题。浮体效应可从 Kink（翘曲）效应、亚阈值电流和 MOSFET 的阈值电压的变化而观察出来。这些效应可以通过体接触、超薄 SOI 全耗尽型 MOSFET 而得以减弱。在全耗尽（FD）的 SOI 中，浮体效应敏感于 SOI 膜厚度和耗尽区必须总大于硅膜厚度。全耗尽型 SOI 器件不允许横向双极型晶体管导通，这有利于 ESD 保护网络。随着体接触的部分耗尽（PD）SOI 技术的发展，浮体效应和 ESD 问题都已得到解决。通过利用 PD – SOI 技术，使用不太厚的硅膜，双极电流增益显著减少。随着硅膜的厚度减小，发射极和集电极区域减小，从而降低了双极型晶体管电流增益。

在 SOI 的发展中，我们需要获取新的 ESD 结构以提供 ESD 保护。图 10-1 中的 SOI ESD 网络就是我们将要讨论的一个例子。在下面的章节中，SOI 模型、器件和实验结果将被呈现出来。

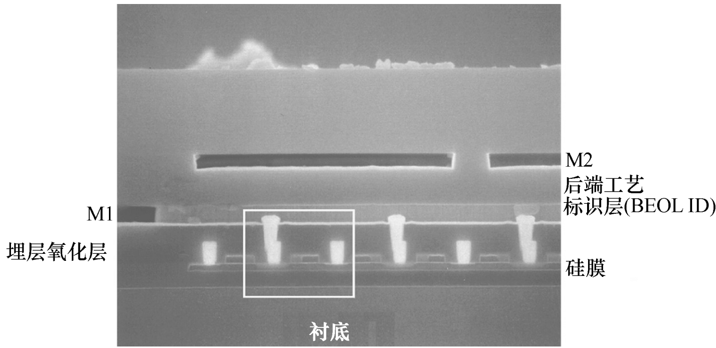


图 10-1　SOI ESD 网络的横截面

10.1　SOI 的电热模型

由于 SOI 结构的几何模型简单，因此 SOI 的电热模型可以运用格林函数技术。在一个 SOI 器件中，不管是 SOI 二极管、SOI 电阻元件，还是 SOI MOSFET，导电区的物理体积都是一个平行六面体的矩形几何边界。上表面是与电介质膜绝缘的绝缘体，次表面边界是埋层氧化物（BOX）区域，并且边缘通常是浅沟道隔离（STI）区。平行六面体适用于半无限区域的情况，可以对其进行修改，并且其图像的方式也可以应用。我们可以利用 Joy 和 Schlig 的方案[11]。在最简单的方案中，我们可以假设热区域包含着一个无限空间的绝缘体内。在较小的时间范围内，这是一个有效的假设。

硅的物理体积 V 是矩形的，长度为 L，宽度为 W，高度为 H，则 $V=LWH$，我们可以定义一个与平行六面体的体积、硅的比热和质量密度相关联的热容量，即

$$C=c\rho V$$

一般地，此平行六面体能从表面进行位移。利用一个具有相同尺寸的 SOI 平行六面体，平面 $z=0$ 以上的距离为 D，再建立一个对称平面，所有平面 $z=0$ 上的点的热通量皆为零。为解决半无限域这个问题，我们可以采用图像法，修正无限域中格林函数，以进一步应用于半无限域中。从具有恒定热导率和恒定比热密度的时变热传导方程，温度的拉普拉斯算子跟与时间有关的温度函数的偏导数成正比。在无限域问题中，我们有

$$T(x,x';y,y';z,z';t)=\int_{t'=0}^{t'=t}\mathrm{d}t'\frac{Q(t')}{8[\pi\kappa(t-t')]^{3/2}}\exp\left\{-\frac{r^2}{4\kappa(t-t')}\right\}$$

作为在 x' 和 $x+\mathrm{d}x'$、y' 和 $y+\mathrm{d}y'$、z' 和 $z+\mathrm{d}z'$ 之间所形成的一个无穷小体积的功耗函数，把功耗归一到体积 V 上，有

$$T(x,x';y,y';z,z';t)=\frac{1}{8\rho cV(\pi\kappa)^{3/2}}\int_{t'=0}^{t'=t}\mathrm{d}t'\frac{\{P(t')\mathrm{d}x'\mathrm{d}y'\mathrm{d}z'\}}{[(t-t')]^{3/2}}\exp\left\{-\frac{r^2}{4\kappa(t-t')}\right\}$$

为了计算所有无穷小体积的所有空间的温度，该表达式可以在无限体积 Ω 上进行积分。在表达式中，空间独立项可以从空间积分中分离出来，温度可表示为

$$T(x,y,z;t)=\frac{1}{8\rho cV(\pi k)^{3/2}}\int_{t'=0}^{t'=t}\mathrm{d}t'\frac{P(t')}{[(t-t')]^{3/2}}\int_{\Omega}\exp\left\{-\frac{r^2}{4\kappa(t-t')}\right\}\mathrm{d}x'\mathrm{d}y'\mathrm{d}z'$$

为了计算无限介质中的平行六面体，我们假设一个源，在 x 方向长度为 W，在 y 方向上长度为 L，在 z 方向长度为 H，在边界位置 $z=0$ 下方距离为 D 处有一个平行六面体，而在 $z=0$ 平面上方 $z=D$ 处，有一个大小相等、方向相反的镜像源。

$$T(x,y,z;t)=\frac{1}{8\rho cV(\kappa)^{3/2}}\int_{t'=0}^{t'=t}\frac{P(t')\mathrm{d}t'}{[(t-t')]^{3/2}}F(x-x',y-y',z-z',t-t')$$

$$F(x-x',y-y',z-z',t-t')=F_x(x-x';t-t')F_y(y-y';t-t')F_z(z-z';t-t')$$

式中

$$F_x(x-x',t-t')=\int_{-W/2}^{W/2}\exp\left\{-\frac{(x-x')^2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}x'}{\sqrt{\pi}}$$

$$F_y(y-y',t-t')=\int_{-L/2}^{L/2}\exp\left\{-\frac{(y-y')^2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}y'}{\sqrt{\pi}}$$

$$F_z(z-z',t-t')=\int_{-(D+H)}^{-D}\exp\left\{-\frac{(z-z')^2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}z'}{\sqrt{\pi}}+\int_{D}^{D+H}\exp\left\{-\frac{(z-z')^2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}z'}{\sqrt{\pi}}$$

积分可以表示为使用变量变换的误差函数。无限介质中的温度表达式可以表示为

$$T(x,y,z;t)=\frac{1}{8C}\int_{t'=0}^{t'=t}P(t')H(x,y,z;t-t')\mathrm{d}t'$$

式中，体积 $V=LWH$。令 $C=c\rho V$。我们可以写出时变误差函数为

$$H(x,y,z;t-t')=H(z;t-t')\prod_{i=x,y}\left[erf\left(\frac{(L_{x_i}/2)+x_i}{\sqrt{4\kappa(t-t')}}\right)+erf\left(\frac{(L_{x_i}/2)-x_i}{\sqrt{4\kappa(t-t')}}\right)\right]$$

$$H(z;t-t')=\left[erf\left(\frac{z+D+H}{\sqrt{4\kappa(t-t')}}\right)+erf\left(\frac{-D-z}{\sqrt{4\kappa(t-t')}}\right)+erf\left(\frac{z-D}{\sqrt{4\kappa(t-t')}}\right)\right.$$
$$\left.+erf\left(\frac{D+H-z}{\sqrt{4\kappa(t-t')}}\right)\right]$$

对于 ESD 事件，电源区被包含在该器件的物理体积中。其功率与 SOI 半导体器件的功耗有关。与时间有关的功率也与器件结构的功耗相关，通过器件结构可以计算出与时间有关的实际电流和电压。器件的功耗可以从传输线脉冲的 $I-V$ 特性中得到。在传输线脉冲测试中，输入脉冲是一个给定电流电平的矩形脉冲，可以表示为一个给定脉冲长度的矩形功率脉冲。输入脉冲数学上可以表示为一个具有恒定的吸收功率、幂项次与脉冲长度 τ_P 有关的 Heaviside 阶跃函数。我们可以在 TLP 系统的传输系数和反射系数的基础上，评估其吸收功率。

为评估峰值温度，可以采用给定的脉冲宽度下与 Wunsch – Bell 失效功率有关的恒定功率幅值 $P(\tau_P)$。这避免了介质中的热响应和积分，可以简化计算温度的上升。

所有 ESD 建模中，包括在热分析中都存在对物理体积的判决。在最简单的情况下，我们假设受关注的体积不会从表面发生位移，$D=0$。在所有受关注的结构中，物理体积可以用包含在隔离区内的完整区域来表示。对于 SOI 电阻元件的情况，体积 V 将表示为完整电阻元件的尺寸。对于 SOI 二极管元件的情况，体积可以表示为冶金结区域，并且可以包括该结构的低掺杂区域（例如横向门控 SOI $p^+/n^-/n^+$ 二极管的 n^- 区域）。在 SOI MOSFET 中，体积区域可以建模为沟道区的区域，其中热量峰值急剧变化。在体 CMOS 工艺中，由于边界表面未被定义，平行六面体通常在漏极区附近形成，与 MOSFET 的宽度、结深度和在漏极结构的耗尽层宽度相关。在此 SOI 实现中，绝缘边界被明确界定，以便更好地判断用于 SOI 建模的边界条件。

在分析中，我们还假定绝缘体的理想边界条件。到绝缘体体积内的散热量可以通过使用硅 – 硅氧化物界面处的混合边界条件得以解决。一个更简单的方法就是假设一个随时间变化的硅区域周围热绝缘体的鞘体积，并利用第 9 章中的互连模型。

10.1.1 SOI 电热传输线模型

SOI ESD 条件下的电热模型极大程度上依赖于自加热 SOI 器件物理体积的计算以及热边界条件。在体 CMOS 工艺中，提出有损传输线模型以建立衬底区域的模型，而在 SOI 工艺中，垂直分层介质的热边界条件和热接触的边界条件将极大地影响对 ESD SOI 结构失效的预测。

从电学有损传输线模型的一般形式，温度和热通量的关系可以表示如下：

$$T(y)=T_1\exp\left\{-\frac{y}{\gamma}\right\}+T_2\exp\left\{-\frac{L-y}{\gamma}\right\}$$

假设一根传输线在终端 1 的终端热阻为 R_1，在终端 2 的终端热电阻为 R_2，传输线系统可以表示为类似 Troutman 为体衬底提出的电学模型的矩阵形式（见第 4 章，第 4.5 节，有损传输线）。从 Troutman 模式，有损传输时间模型可以应用到使用热终端而不是电气模拟的 ESD 问题中。在这种形式中，温度与双端口矩阵的热阻抗有关。

Raha、Ramaswamy 和 Rosenbaum[12] 提出了对 RC 热网络的使用，以作为对 SOI 器件 ESD 问题的仿真的热传输线模型。从平行六面体的 SOI 模型，热产生量可以作为一个随时间变化的功率电源项。在此模型中，传输线方程可以表示为一个热模拟值，即

$$\frac{\partial^2 T(x,t)}{\partial x^2}-RY(t)T(x,t)=Rg(t)$$

传输线方程在空间上是二阶的，有一个随时间变化的可变系数，以及一个跟 ESD 脉冲有关的驱动项。导纳 $Y(t)$ 与由垂直分层介质组成的热网络相关。

$$Y(t) = \sum_i Y(t)$$

在该公式中，热模型表示功率和温度的关系。受关注的节点是半导体器件中的温度。

器件区域以外的区域可以作为热传输线的热阻和热容终端。

把 ESD 事件当做热功率在时刻 $t=0$ 的阶跃脉冲，可以在频域上进行分析评估。它可以转化为拉普拉斯域。其中，对于热功率的阶跃函数，等式可以表达为

$$\frac{\partial^2 T(x,s)}{\partial x^2} - RY(s)T(x,s) = R\frac{g_0}{s}$$

热功率可能与半导体元件体积区域所划分的半导体结构内产生的功率有关。Raha 等人把功率密度表示为

$$g_0 = \frac{\text{失效功率}}{V} = \frac{V_{t_2}I_{t_2}}{WLx_d}$$

式中，功率密度为功率产生区域体积上的失效功率。

在 MOSFET 结构中，失效功率的峰值是 MOSFET 第二击穿电流和 MOSFET 耗尽区的 MOSFET 第二击穿电压的乘积。

要评价热传输线模型的解，就必须对热传输线终端的边界条件进行评估。传输线的热终端项是金属互连和层间介质膜和衬底区域。这些终端影响热响应和峰值温度。掺杂浓度会影响衬底区域的热导纳和与衬底的接触。对于其他的终端，自对准硅化物、接触电阻、互连和层间电介质的热传导率将影响散热的大小。

Raha 等人，在 SOI MOSFET 结构的应用中，在采用部分耗尽 MOSFET 结构时，采用热导纳项来表示耗尽区、薄硅区域的本征区域、埋层氧化物和硅衬底的 RC 网络的热电阻–热电容的串联[12]。在分析中，假设短时间内埋层氧化膜下的衬底温度不发生变化，并且金属层和层间介电层的热导纳可以忽略。

10.1.2 SOI 电热传输线模型级数解

从 SOI 电热传输线模型，产生的热量可以作为一个随时间变化的功率产生电源项。从热的传输线模型中，传输线方程可以表示为热模拟等式[12]

$$\frac{\partial^2 T(x,t)}{\partial x^2} - RY(t)T(x,t) = Rg(t)$$

式中，导纳 $Y(t)$ 与由垂直分层介质组成的热网络相关。

$$Y(t) = \sum_i Y(t)$$

把 ESD 事件当做热功率在时刻 $t=0$ 的阶跃脉冲，可以在频域上进行分析评估。它可以转化为拉普拉斯域，其中，对于热功率的阶跃函数，等式可以表示如下：

$$\frac{\partial^2 T(x,s)}{\partial x^2} - RY(s)T(x,s) = R\frac{g_0}{s}$$

假设功率产生项在 x_1 和 x_2 之间的空间区域中串联。热功率可能与半导体元件体积区域所划分的半导体结构内产生的功率有关。Raha 等人把功率密度表示为

$$g_0 = \frac{失效功率}{V} = \frac{V_{t_2} I_{t_2}}{WLx_d}$$

式中，功率密度为功率产生体积上的失效功率。在 MOSFET 结构中，失效功率的峰值是 MOSFET 第二击穿电流和 MOSFET 耗尽区的 MOSFET 第二击穿电压的乘积。

从 Wang、Juliano 和 Rosenbaum[13] 的研究可知，该串联解可表示为

$$T(x,t) = \sum_{n=1,3,5}^{\infty} \sin\left(\frac{n\pi x}{A}\right)\Gamma_n(t) + \sum_{n=0,2,4}^{\infty} \cos\left(\frac{n\pi x}{A}\right)\Gamma_n(t)$$

式中

$$\Gamma_n(s) = \frac{RD_n}{s[\gamma_n^2 + RY(s)]}$$

对于所有整数，$n=0$，1，2，3…

并且

$$\gamma_n = \frac{n\pi}{A}$$

$$D_0 = \frac{q_0(x_2 - x_1)}{A}$$

$$D_n = \frac{2q_0}{n\pi}\left[\cos\left(\frac{n\pi x_2}{A}\right) - \cos\left(\frac{n\pi x_1}{A}\right)\right](n\ 为奇数时)$$

$$D_n = \frac{2q_0}{n\pi}\left[\sin\left(\frac{n\pi x_1}{A}\right) - \sin\left(\frac{n\pi x_2}{A}\right)\right](n\ 为偶数时)$$

且源产生项中

$$q_0 = \frac{Q}{WC(x_2 - x_1)}\left[\frac{C_1}{C_1 + C_2}\right]$$

式中，Q 为总热量，被加热体积划分（W 为宽度，$x_2 - x_1$ 为产生热量的区域，C 为的硅膜内热区域的深度），以及两个串联的热电容项，它们与深度 C 以外的硅膜和掩埋氧化物的热电容有关。

10.2　SOI ESD 二极管及元件

10.2.1　突变结工艺

首次引进的主流 CMOS 工艺为突变结 CMOS 工艺。SOI ESD 保护网络首次采用2.5V CMOS 逻辑工艺中，它是有效沟道长度 L_{eff}为 0.25μm 的工艺[14-20]。源极/漏极的功能通过使用浅沟道隔离（STI）定义，它使二氧化硅（SiO_2）的埋层氧化膜发生突变。器件的沟道长度可以通过用0.5 数值孔径（NA）的工具和负胶系统而得到。双功函数多晶硅栅电极被用作 MOSFET 的栅极导体。p 沟道晶体管使用突变的硼结；n 沟道器件具有突变的非 LDD 砷结。n 沟道和 p 沟道 MOSFET 源极/漏极的结深为 0.18μm。40keV 能量

的单硼的 p^+ 注入，$5\times10^{14}/cm^2$ 剂量的锗非晶化和 7keV 的 $4\times10^{15}/cm^2$ 剂量的 ^{11}B 源/漏注入用于 p^+ 二极管的形成。如第 7 章所述，$TiSi_2$ 自对准硅化物膜在源/漏结上形成。自对准金属硅化的多晶硅栅极结构被放置于 7.7nm SiO_2 的栅介质上。

在体 CMOS 工艺中，使用 0.55μm 浅沟道隔离和 1.2μm 的 p^+、n^+ 间距形成二极管。通过修改这些结构，形成多晶硅二极管 ESD 器件[21]。体 CMOS 工艺中多晶硅二极管的工艺进步能够很容易地转移到 SOI 工艺中。对于 SOI 工艺，引入横向 $p^+/n^-/n^+$ 门控二极管结构而无需额外的掩模步骤。在此工艺方案中，p^+ 结是一个突变结，n^+/n^- 过渡也采用了一个突变结（见图 10-2）。

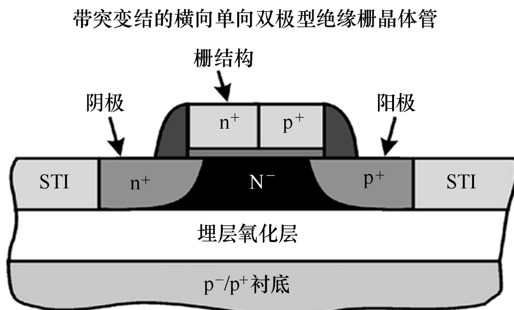


图 10-2　带突变结的 SOI 多晶硅栅控 pn 二极管（lubistor）的 ESD 结构的截面图

用于定义 p^+ 和 n^+ 注入的掩模必须放置在多晶硅栅结构上。在此方式下，多晶硅二极管结构有两种不同掺杂类型的多晶硅膜和沿器件沟道长度的工作函数[14-20]。这种结构放置在埋层氧化层上，沟道隔离使埋层氧化膜发生突变，同时使多晶硅二极管结构与相邻结构隔离。研究表明，在 0.25μm 工艺中，横向多晶硅二极管结构与 SOI 二极管周长和多晶硅沟道长度有关。

在这种情况下，ESD 结构由一个与 n^-/n^+ 阴极区串联的 p^+ 二极管结构成。栅电极没有被激活或被用于调制电流，但作为一个“掩模”而使自对准硅化物的阴极区和阳极区发生短路。通过采用 p 阱注入而不是 n 阱注入，这种结构可以被构造为一个 $p^+/p^-/n^+$ SOI 二极管结构。在 SOI $p^+/n^-/n^+$ 二极管中的 SOI 二极管阳极上，电阻可以表示为

$$R_{\text{anode}} = R_{\text{M}} + R_{\text{C}} + (R_{\text{Sal}})_{\text{eff}} + (R_{\text{p+}})_{\text{eff}}$$

从二极管方程中，我们可以得到，二极管两端的电压等于串联电阻两端的电压降与冶金结两端的电压降之和[13]。

$$I_{\text{D}} = I_{\text{s}}\left\{\exp\left(\frac{qV_{\text{D}} - \sum I_{\text{D}}R_{\text{i}}}{kT}\right) - 1\right\}$$

式中，总和为串联电阻两端电压降。其电阻值也可以通过从电压对电流的导数得到，即

$$\frac{\text{d}V_{\text{D}}}{\text{d}I_{\text{D}}} = \frac{\text{d}(V_{\text{J}} + V_{\text{R}})}{\text{d}I_{\text{D}}} = \frac{\text{d}V_{\text{J}}}{\text{d}I_{\text{D}}} + R_{\text{d}}$$

解得电阻为

$$R_{\text{d}} = \frac{\text{d}V_{\text{D}}}{\text{d}I_{\text{D}}} - \frac{\text{d}V_{\text{J}}}{\text{d}I_{\text{D}}}$$

从高阶注入关系

$$I_{\text{D}} = I_{\text{s}}\exp\left(\frac{qV_{\text{J}}}{2kT}\right)$$

可得

$$\frac{dV_J}{dI_D}=\frac{2kT}{q}\frac{1}{I_D}$$

代入表达式，我们可以解得二极管串联电阻为

$$R_d=\frac{dV_D}{dI_D}-\frac{2kT}{q}\frac{1}{I_D}$$

由于自加热，电阻值在加热器件时与温度密切相关。

图 10-3 给出了以多晶硅周长为函数的 SOI 栅控二极管结构的 ESD 鲁棒性。HBM 结果显示，在 L_{poly} 为 1.2μm 时，增大二极管周长，ESD 结果得到线性改进。图 10-4 给出了一个周长为 800μm 二极管结构中的多晶硅长度函数的 HBM ESD 结果。在此 0.25μm 工艺中，二极管结构的 ESD 鲁棒性在原型结构中约为 5V/μm（HBM）。

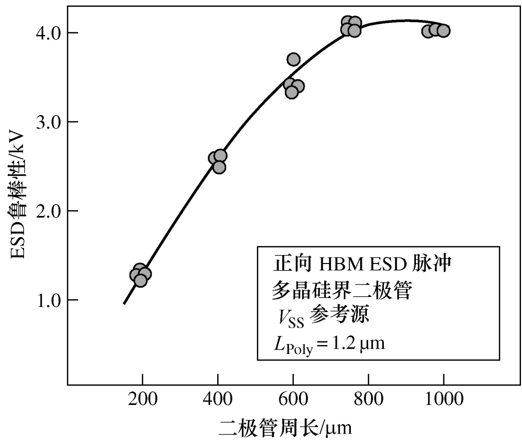


图 10-3 以多晶硅周长为函数的 SOI 多晶硅栅控 pn 二极管（lubistor）的 HBM ESD 结果（L_{poly} = 1.2μm）

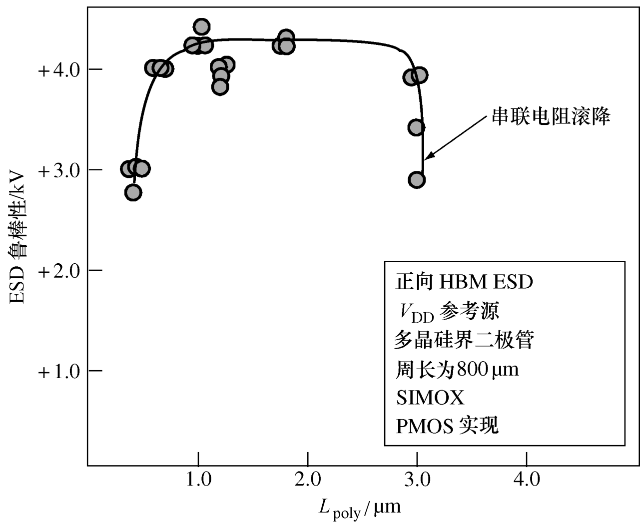


图 10-4 以多晶硅栅极长度为函数的 SOI 多晶硅栅控 pn 二极管（lubistor）的 HBM ESD 结果

随着二极管结构周长的增加，ESD 鲁棒性表现良好。SOI 二极管结构的线性性质表明，在大电流偏置工作模式下电流难以收敛。二极管结构的工作状态在很大的工作范围内与中心区长度并无明显关系。随着结构的长度减少，重掺杂的 p^+ 掺杂物和 n^+ 掺杂物间距减少，导致 ESD 失效。然后我们观察一个平坦区的 ESD 鲁棒性，它并不是一个与长度强相关的函数。随着结构的长度增加，ESD 的结果开始下降。这可以预见，随着焦耳热的增加，阳极区和阴极区两端的电压降增大，直至失效。

10.2.2　外延注入工艺

对于基于采用外延注入的 CMOS 工艺的 SOI 工艺，外延注入已成为 SOI ESD 结构的一部分。在 SOI 工艺中，外延注入可减少横向双极型器件的发射极和集电极区域，降低了双极性电流的增益，改善了短沟道效应。源/漏结使用 $TiSi_2$ 的自对准硅化物膜，以减少扩散方块电阻。

对于 SOI 横向 ESD 二极管元件，外延注入的采用提供了重掺杂的栅极区下延展的 p^+ 注入。外延注入中的 p^+ 发射极区域延展到 p^+ 源/漏注入上的阴极区域，形成了不均匀的发射极浓度。阴极区还把 n 区域延展到 n^+ 区，提供不均匀的 n^+/n^- 浓度。在该 SOI 二极管结构中，外延注入降低了阳极电阻（p^+ 延展）和阴极电阻（n^+ 延展），提供了一个更低的二极管串联总电阻。因此，SOI ESD 模型可以被构造为两个相加的并联电导项，以计算二极管总串联电阻。第一电导项表示在栅极界面附近的电导，且电导越低，外延注入越少。

$$R_{anode} = R_M + R_C + (R_{Sal})_{eff} + (R_{p+})_{eff}$$

$$R_{cathode} = R_M + R_C + (R_{Sal})_{eff} + (R_{n^+} + R_{n^-})_{eff}$$

为了解决电阻问题，沿表面的并联电导和下部区域是集成的，必须加以考虑。

在这一代工艺下的实验工作中，该工艺支持 5.0nm 氧化层厚度。图 10-5 给出了具有突变结和外延注入漏极结构的 SOI 横向栅控二极管。在 0.20μm 工艺下，横向多晶硅栅控 SOI 二极管 ESD（HBM）的鲁棒性结果为 8.0V/μm，这优于使用突变结的 0.25μm L_{eff}技术下的同等结构的 ESD 鲁棒性结果。外延注入掺杂效果明显高于突变 0.25μm L_{eff} 工艺下的注入掺杂结果[15-20]。

作为 SOI ESD 实现的一个例子，这种 ESD 元件使用在阳极和阴极之间的 STI 隔离映射到体 CMOS 工艺中，并使用 SOI 横

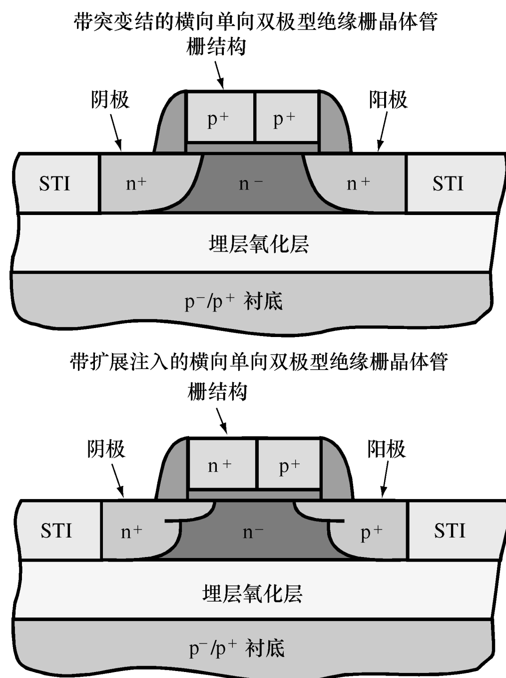


图 10-5　具有突变结和外延注入漏结构的 SOI 横向栅控二极管的截面图

向栅控二极管 ESD 元件映射进到 SOI 中[22]。采用混合电压设计需要满足 3.3V 容限的 I/O接口网络和 2.5V 核心电压。在该设计中，片外驱动器（OCD）网络置于微处理器芯片的中心，限制了 I/O 网络和 ESD 器件的面积。C4 焊球通过铝互连线连接到接收电路和 OCD。在体 CMOS 工艺中，片外驱动器（OCD）电路的 ESD 结果受到铝互连线的限制。而对于接收电路网络，接收电路的 ESD 鲁棒性受到 n 沟道传输晶体管失效和钳位网络的限制。接收电路网络的 ESD 结果为 4.3kV（HBM）（见图 10-6）。内部核心电路设计不变，把基于 RISC 的微处理器进行映射。把 ESD STI 界的二极管网络结构改为多晶硅栅控 SOI 横向二极管结构时，体硅与 SOI ESD 电路的面积是相同的。对 SOI ESD 设计区域进行划分，使 SOI 二极管到 V_{DD} 与 SOI 二极管到 V_{SS} 电源轨的二极管周边相同。ESD 保护电路不必增加面积或掩膜板。片外驱动器电路包括一个自偏阱 p 沟道上拉网络和一个共源共栅串联 n 沟道下拉网络。电阻整流采用使用 4 个 40Ω 的埋层电阻（BR）元件，并与 n 沟道下拉网络串联。BR 元件包括一个 MOSFET 栅极结构、一个 n^+ 源极/漏极接地端和一个位于栅极结构下方的 n^+ 注入端。接收电路网络包括一个 n 沟道传输晶体管、一个 n 沟道接地栅、一个 n 沟道钳位器件和一个 p 沟道 MOSFET 保持元件。

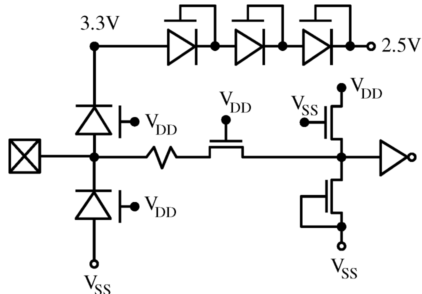


图 10-6 SOI ESD 实现的电路原理图

体硅及 SOI 实现的实验结果如图 10-7 所示。在 6.5kV（HBM）以下没有 ESD 失效，而在 4.3kV 时会发生体 CMOS 接收电路失效。通过运用第一种 SOI 工艺，无需使用额外的设计区、掩膜或者注入，显然可以在先进 CMOS 微处理器中获得业界接受的 ESD 结果。

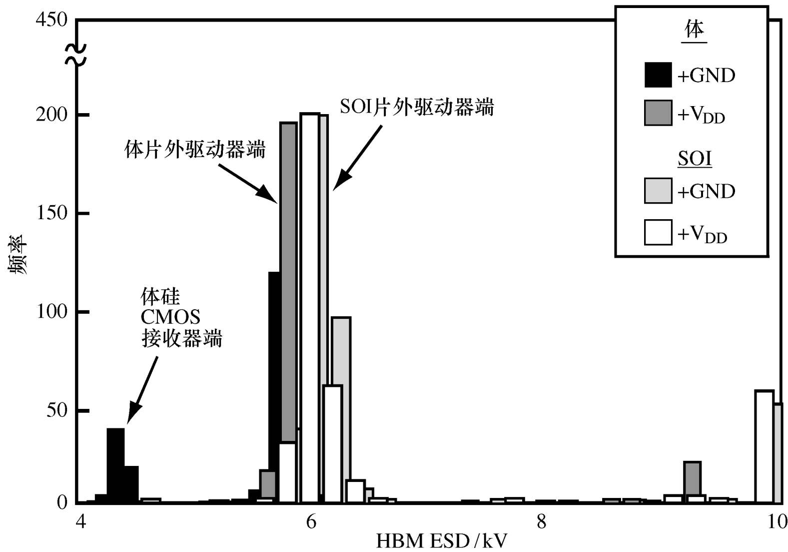


图 10-7 分别使用体 p^+/n^- 阱二极管和横向 SOI $p^+/n^-/n^+$ 二极管的体 CMOS 和 SOI 技术下 250MHz RISC 微处理器的 ESD HBM 结果

10.2.3　Halo 注入技术

对于 SOI 横向 ESD 二极管元件，需要使用置于 p 型或 n 型半导体中的 p^+ MOFSET 漏级结构和 n^+ MOSFET 漏极结构。为了防止 MOSFET 击穿，Halo 注入用于 MOSFET 结区附近，以避免耗尽区延展和 MOSFET 击穿。p 型阱中的 n 沟道 MOSFET 使用 p^+ Halo 注入，而 p 沟道 MOSFET 使用 n^+ Halo 注入。当形成 SOI 横向栅控二极管元件时，n^+ Halo 注入置于 p^+ 阳极结附近，而 p^+ Halo 注入置于 n^+ 重掺杂区附近。当栅结构下面采用单阱掺杂时，则两种类型 Halo 中必有一个与 SOI ESD 二极管体区域的掺杂类型相反。此时就出现了“坏 Halo”，引入了额外的二极管串联电阻。为了获得较好的 ESD SOI 二极管，应防止这种“坏 Halo”注入的出现，以确保良好的 ESD 二极管保护效果。

10.3　SOI 的互连线

10.3.1　铝互连线

由于接触孔的合金结构的散热，互连和硅化物会对 SOI 工艺的 ESD 鲁棒性产生很大的影响[15~20]。在 SOI 芯片实现中，交流路径在体 CMOS 实现中必须是可用的，而 SOI 设计不可用。通过埋层氧化膜，接触和互连产生的散热将对于在横向 SOI 二极管结构中观察到的峰值温度发挥更大的作用。在我们的结构中，二极管区域的物理长度约等于该工艺的最小沟道长度。通过这些相对较短的二极管电阻区域，阳极和阴极的电阻值可以被显著地降低。因此，互连和自对准硅化物膜，将对栅极区中 SOI 二极管结构的低掺杂区域的散热起到重要作用。此外，SOI 工艺的 ESD 实现会引起不存在于 ESD 实现中而在体 CMOS 实现中相当明显的交流电流路径。

例如，330MHz、1.8V 的 RISC 微处理器从体 CMOS 映射到 SOI 工艺（见图 10-8）。该工艺支持一个 0.15μm L_{eff} n 沟道 MOSFET 和一个 0.17μm L_{eff} p 沟道 MOSFET 器件。MOSFET

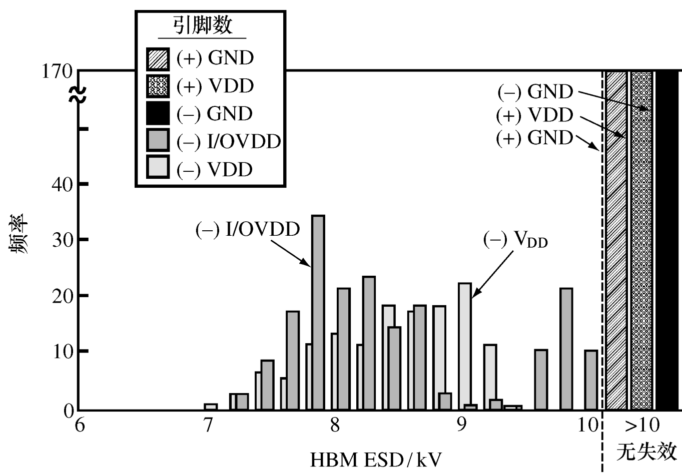


图 10-8　在 0.15μm L_{eff}技术下 330MHz、1.8V SOI 微处理器的 HBM ESD 结果

的漏极采用延展注入、Halo 注入和钴的自对准硅化物（$CoSi_2$）结。源/漏延展提供了良好的 V_T 衰减特性，并且 $CoSi_2$ 允许保持低自对准多晶硅栅结构的方块电阻。

在体 CMOS 实现中，半导体芯片由于互连失效而没有 ESD 保护。具体实现中，ESD 网络包含一个连到 V_{DD} 的 STI 基 p^+/n 阱单二极管和连到 V_{SS} 的 n 阱/衬底的单二极管元件。体 CMOS 芯片的 ESD 结果显示，在 10kV HBM 水平下没有失效。在 SOI 实现中，一个 700μm 周长的 SOI $p^+/n^-/n^+$ 多晶硅栅控二极管 ESD 网络连到 V_{DD} 和 V_{SS} 上。连接到 V_{DD} 和 V_{SS} 的 ESD 二极管的 ESD 面积是均分的。在正极性时，相对于 V_{SS} 电源轨，最坏情况的 ESD 失效最先发生在 9.4kV。此时，相对于 V_{DD} 电源轨的 HBM 测试在 10kV HBM 水平以下没有失效。在负脉冲测试时，相对于 V_{SS} 地轨，－10kV 以下没有 ESD 失效发生。最坏情况的负脉冲失效发生在相对于 V_{DD} 电源轨 －7.0kV 和相对于 V_{DD} －7.2kV 时。

SOI 失效分析是分析最坏情况下的失效机制。失效分析的结果表明，电源总线上的铝互连是设计中 ESD 失效机制的限制条件。

10.3.2　SOI 和铜互连

随着铜互连被引入 SOI 工艺中，SOI 二极管结构的热电阻可以进一步降低。在 0.12μm L_{eff} 工艺代次中，具有 SiO_2 层间介质的 Cu 互连被引入以减小 RC 互连的延迟。正如第 9 章中所讨论的那样，Cu 互连的 ESD 鲁棒性高于前一时期的 Al 互连工艺。事实表明，Cu 互连技术能使失效临界电流密度 J_{crit} 提高两倍。在该工艺中，有六层 Cu 互连、一个 0.12μm L_{eff} n 沟道 MOSFET 和一个 0.15μm L_{eff} p 沟道 MOSFET（两个晶体管都有外延注入、$CoSi_2$ 和 3.5nm 的介质厚度）。

此外，从热的传输线模型可以得到传输线方程可以表示为热模拟等式，即

$$\frac{\partial^2 T(x,t)}{\partial x^2} - RY(t)T(x,t) = Rg(t)$$

导纳 $Y(t)$ 与热网络相关。热网络包含平行于互连线的层间介电膜和垂直的层间介质。

$$Y(t) = \sum_i Y(t)$$

随着 M0 连线和铜互连线的引入，ESD 元件的热导纳可以进一步减小。使用宽 Cu 板，减小 ESD 二极管结构中的峰值温度，可以降低热导纳。

在此采用多指横向 SOI $p^+/n^-/n^+$ 二极管结构，多指二极管结构包含 2、4、7 指二极管结构，每指周长为 68μm。SOI ESD 网络具有 M0 钨塞互连线，它们沿着整个 p^+ 和 n^+ 接触区域的长度方向放置。这为扩散区提供了低电流和热阻抗。M0 钨塞互连线与钨触点相连，并连接到第一层金属 M1 的 Ti/Al/Ti 合金。然后 M1 互连线与 M2 铜互连线相连。图 10-9 给出扩大的 SOI ESD 结构。多晶硅环通过把栅接触置于 STI 绝缘之上形成栅结构，如图 10-10 所示。

如图 10-11 所示为外围电路的 ESD 结果，其值为 ESD 周长的函数。169μm 的 2 指二极管结构达到了 4kV 的 HBM ESD 结果。338μm 和 591μm 结构的 ESD 结果随着 p^+ 阳极周长的增加而增加。

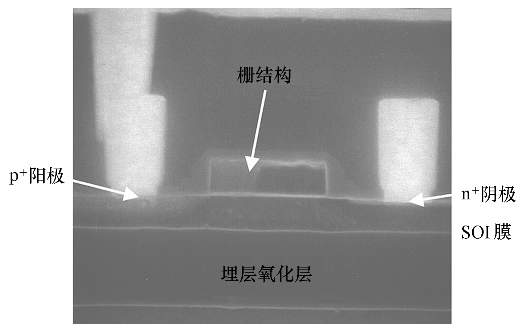


图 10-9　SOI ESD 结构的截面图

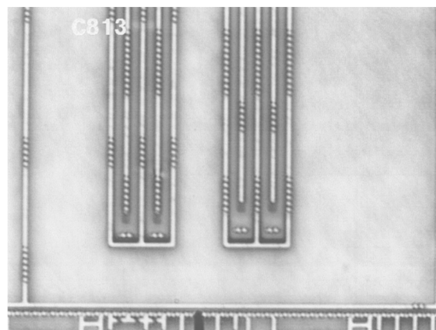


图 10-10　SOI ESD 双二极管网络的俯视图

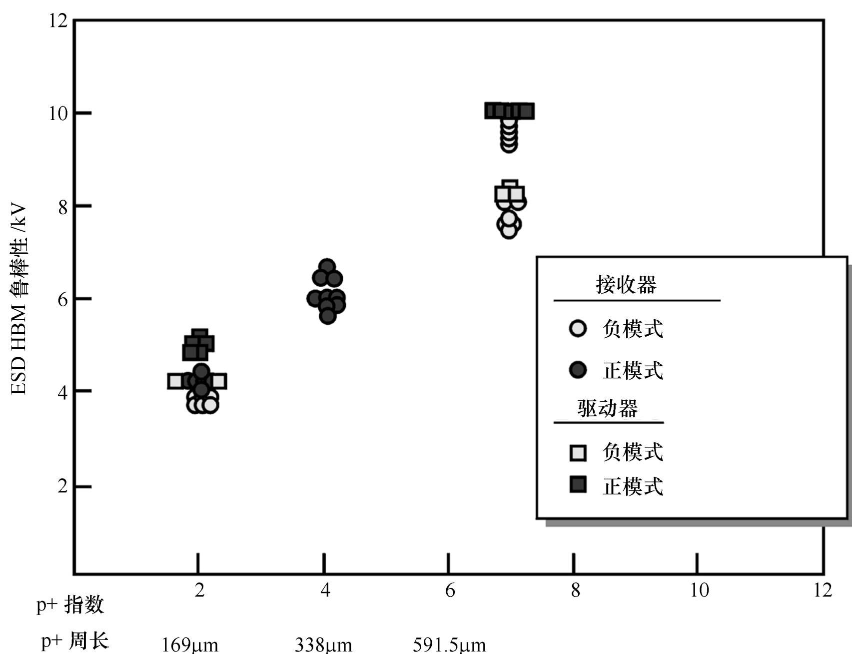


图 10-11　具有 SOI 接收电路和驱动电路的 SOI ESD 网络的 HBM ESD 结果

采用 591μm 二极管结构可达到高于 8kV 的 ESD 结果。失效分析表明，对于所有这三种 ESD 情况，ESD 失效机制发生在 p^+ 阳极和 n^+ 阴极之间的 ESD 网络。由此，可以用最小 2 指 ESD 设计来实现一个等效的 23.8V/μm 二极管，用 7 指结构等效为 14.2V/μm 二极管（实际缩小比率为 11V/μm）[18~20]。

图 10-12 表示三种不同周长的 ESD 设计的 ESD 分布。I/O 设计通过对 ESD 鲁棒性和容性负载效应之间的折中来实现 I/O 设计的优化。它采用四指 SOI 结构，该结构具有最小的容性负载，同时还能保持高于 4kV 的 ESD 鲁棒性。

这些实验工作的重要性显而易见。由于 SOI 工艺没有连接到 SOI ESD 结构多指的衬底，ESD 等级的缩放比率随指的数量和设计周长呈线性增加。这还表明，几乎没有不均

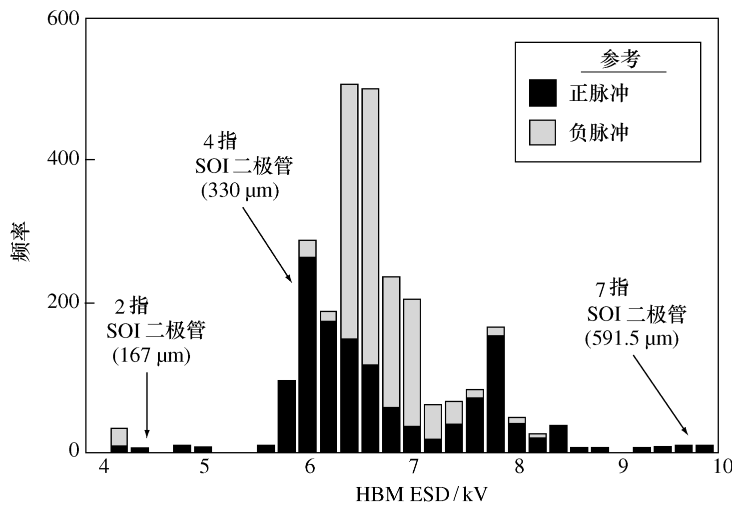


图 10-12　三种不同周长的 SOI ESD 设计的 SOI ESD 结果直方图

匀电流在 SOI 二极管结构中流过。容易发现，失效机制发生在阳极接点和阴极接点两点的最小连线距离之间。因此，许多存在于体 CMOS 问题由于阱和衬底的电流分布不均而变得不显著。通过提高电流的均匀性，削减衬底和阱区的面积导致了器件的去耦。

10.3.3　等比例缩放

显而易见，从 SOI 多晶硅门控二极管的 ESD 测试结果中，工艺的发展和等比例缩放已促进 SOI 横向门控 $p^+/n^-/n^+$ 二极管结构的 ESD 鲁棒性的改善[15-20]。这些工艺发展包括从 $TiSi_2$ 到 $CoSi_2$、从铝互连到铜互连的发展，以及工艺尺寸等比例缩放。

图 10-13 显示了随着结构从 0.25μm 工艺到 0.12μm 工艺发展的 SOI 二极管网络的 ESD 鲁棒性[16~20]。在 0.25μm 工艺中，5V/μm 的 ESD 鲁棒性得到了验证。在具有 800μm ESD 结构的测试结构中，ESD 的结果为 4kV。随着工艺发展到 0.12μm L_{eff}的 SOI 工艺，ESD 结果继续得到改善。在 0.12μm L_{eff}的 SOI 工艺中，具有更小设计周长和物理区域的高引脚数的微处理器芯片结构中，ESD 结果已超过 8kV。在这一点上，随着从 0.25μm 到 0.12μm 工艺的变迁和标准 CMOS 工艺的等比例缩放，我们的数据证明了 ESD 网络中 ESD 鲁棒性得到了改善。

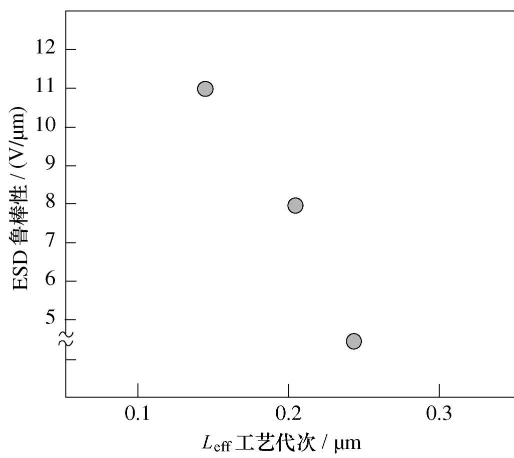


图 10-13　与 MOSFET 沟道长度工艺级数有关的归一化 HBM ESD 鲁棒性

随着 SOI 工艺等比例缩放，额外的结构性缩小也得到解决。随着工艺等比例缩放，埋层氧化物（BOX）区域也将缩小。BOX 区域的等比例缩放会降低衬底的热阻。随着 BOX 厚度缩小，MOSFET 沟道区域的热阻和 ESD 结构将减少。此外，随着工艺尺寸等比例缩放，硅膜也将缩小。如今，在超薄 SOI（UTSOI）中，ESD 保护的效果正利用 SOI 横向 $p^+/n^-/n^+$ 二极管结构来进行测试。随着硅膜等比例缩放，ESD 保护将变得更加困难。

10.4 非主流器件

10.4.1 双衬底掺杂的 SOI 二极管

对于 SOI 横向 ESD 二极管元件，该元件需要使用 p^+ MOSFET 漏极结构和 n^+ MOSFET 漏极结构，并且将其放置在一个 p^- 型或 n^- 型体中。可以使用另一种实现方案，两种掺杂类型都存在与体区域中。在这种情况下会形成一种 $p^+/p^-/n^-/n^+$ SOI 横向二极管 ESD 结构。在现有结构中，由于 p^+ 区重掺杂，p^+/n^- 界面的冶金结是一个单边冶金结。$p^+/p^-/n^-/n^+$ SOI ESD 元件，冶金结是一种允许耗尽区延伸到阳极区和阴极区的双边结。与三区域 $p^+/n^-/n^+$ SOI 横向栅控二极管的结果相比，Ker 等人的实验结果得到了很好的改善[23]。

10.4.2 栅金属未覆盖 SOI 二极管结构

对于 SOI 横向 ESD 二极管元件，ESD 元件具有 MOSFET 的栅极结构，用作一种漏掺杂结构的埋层结构以及一种分离自对准硅化物膜区域的阳极和阴极的措施（如防短路）。栅金属未覆盖 ESD 元件的一个优点是电介质过压应变。在这些结构中，由于栅极结构连接，SOI ESD MOSFET 栅极结构可能导致 HBM 或 CDM 失效。关于栅极结构的电介质过压应变的解决办法有两个。为了提高 SOI ESD 元件的 ESD 鲁棒性，Ker 等人采用刻蚀工艺形成一个栅金属未覆盖 SOI ESD 二极管元件，从而对 MOSFET 的栅极结构进行了物理移除[23]。SOI $p^+/p^-/n^-/n^+$ 横向 ESD 元件无栅极结构，却实现了更好的 ESD 结果。另一种方案，如电路解决方案，也可以如此利用。

10.5 SOI 动态阈值 MOSFET 与 ESD

SOI 相对于单阱和双阱 CMOS 技术具有独特的优势，因为它能够从衬底区域上分离出沟道区域。这使得可以独立于衬底或阱区而偏置 p 沟道和 n 沟道晶体管的沟道区。在本节中，我们将介绍动态阈值 MOSFET（DTMOS）的概念和应用这些概念的 ESD 保护元件[22,24-26]。

在功能和 ESD 应用上，SOI MOSFET 与标准的体 MOSFET 结构存在着巨大的差异。SOI 晶体管的工作依赖于 SOI MOSFET 衬底区域的工作状态。SOI MOSFET 的衬底电势依赖于与 SOI MOSFET 的漏极、源极、栅极和衬底区域的容性耦合。当电压被施加到栅极区域，电容元件间的竞争将最终决定衬底区域的电势。衬底电压调制 MOSFET 栅极所

需的 MOSFET 阈值电压，以使表面反型并开通 MOSFET 器件。在体 CMOS 器件中，MOSFET 的体效应与阱或衬底的偏置有关。它们不能被独立地偏置，因为它们被耦合到其他的电路元件上。MOSFET 的阈值电压是表面势能 Φ_{MS}、费米能级 Φ_F 以及氧化物和硅两端的电压降的总和[24,25]。

$$V_T = \Phi_{MS} + \Phi_F - \frac{Q_{ox}}{C_{ox}} + \frac{Q_b}{C_{ox}}$$

$$Q_b = \sqrt{2\varepsilon_{Si} q N_A (2\Phi_F - V_B)}$$

式中，V_B是体电压。阈值电压可以改写为

$$V_T(V_B) = V_{TO} + \gamma(\sqrt{2\Phi_F - V_B} - \sqrt{2\Phi_F})$$

式中

$$V_{TO} = \Phi_{MS} + \Phi_F - \frac{Q_{ox}}{C_{ox}} + \gamma\sqrt{2\Phi_F}$$

$$\gamma = \frac{\sqrt{2\varepsilon_{Si} q N_A}}{C_{ox}}$$

SOI 工艺相对于双阱体 CMOS 工艺具有 n 沟道 MOSFET 的衬底不需绑定到衬底电位的优势。SOI 工艺的优点是允许 n 沟道和 p 沟道 MOSFET 的体浮动，允许体与漏极节点耦合，以及 V_{SS}和 V_{DD}电源轨的断电连接。这对于 ESD 保护网络是有利的。具有体接触的部分耗尽（PD）SOI 工艺可用于 ESD 电路，可以使用 n 沟道和 p 沟道晶体管互补的方法，以解决正负 ESD 脉冲问题。

DTMOS 器件用于 ESD 保护的第一个优点是使用体电位以提供低触发 ESD 器件。当体电压 V_B增加，SOI DTMOS 的阈值降低。当 DTMOS 器件作为一个触发元件时，随着体电压的增加，触发电压降低。

DTMOS 器件的第二个优点是当栅被触发使能时，SOI MOSFET 的驱动电流更高。随着 MOSFET 的体电压增加，DTMOS 驱动电流增加。从 MOSFET 器件的电流方程[24,25]有

$$I_{dsat} = \mu C_{ox}\frac{W}{L}[V_g - V_T(V_B) - V_{dsat}]$$

式中

$$V_{dsat} = \frac{E_{sat}L[V_g - V_T(V_B)]}{E_{sat}L + [V_g - V_T(V_B)]}$$

饱和跨导 g_{msat}是饱和漏电流对于栅极电压的导数。从上述关系可知，随着体电压的增加，SOI DTMOS 阈值电压减小，从而导致更高的漏饱和电流。因此，DTMOS 器件的饱和跨导增加得比标准的 SOI MOSFET 晶体管快。

10.5.1 SOI 动态阈值的 ESD 结构

对于 ESD 元件的动态阈值的概念，可以构建两个等级的 ESD 网络。DTMOS 器件可用于晶体管及工作模式下的二极管。为了使用 SOI DTMOS 器件作为晶体管，源极和漏极电极应分离开，而体和栅耦合，以便在栅电压偏置时提供 DTMOS 效应。

在第二种工作模式中，DTMOS 器件可以用于工作模式下二极管。在这种情况下，

背栅、漏极和栅极连接到一个电极上，而源极连接到第二个电极上。在此方式下，背栅耦合和栅耦合与漏极集成在一起，以提供背栅耦合、栅极耦合和漏极耦合的 ESD 网络，我们将参照它作为一个体/栅极耦合的 DTMOS SOI 二极管元件。在此方式下，该元件在结构内具有两个并联的工作模式。该器件用作一个 SOI 横向门控二极管元件（如 $p^+/p^-/n^+$），其中 p^+ 区是 SOI MOSFET 体接触，而 p^- 区是 SOI 晶体管的沟道或体区域，并且 n^+ 区是 SOI 晶体管的源极。这与 SOI DTMOS 元件并联。因此，该结构具有二极管和晶体管的工作模式，它在 SOI 横向 $p^+/p^-/n^+$ 区的 MOSFET 体区域中导通，以及在 MOSFET 的体区域表面导通。通过对元件的驱动电流进行评估，驱动电流随着双极性传导和 MOSFET 表面传导的结果而增加。

图 10-15 显示了体/栅耦合的 DTMOS SOI 二极管结构的一个实现例子。三种不同结构可以被构造出来，在所有的情况下，形成与 n^+ 漏极有关的多晶硅环，多晶硅栅结构包围着体接触和 n^+ 漏极（见图 10-14）。

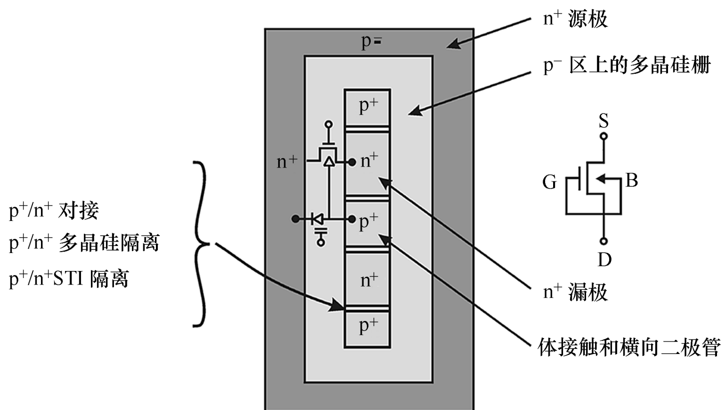


图 10-14 动态阈值的体/栅耦合 SOI 二极管的结构版图

n^+ MOSFET 的源极使多晶硅环栅结构封闭起来。在所有这些结构中，p^+ 体接触（漏极侧）与多晶硅环对接，以作为 MOSFET 的体接触，并形成与 MOSFET 结构相邻的横向 SOI 栅控 pn 二极管结构（SOI lubistor）。在第一种设计中，p^+ 体接触与 n^+ 漏极对接。在此实现中，对接结构将提供最低的动态阻抗和最高的空间效率。对接结构也通过钴金属硅化物桥接。在 DTMOS 器件的第二种设计中，p^+ 体接触与 n^+ 漏区相分离。这种设计将避免对接结构任何与工艺有关的问题，并允许体接触区域与 MOSFET 的漏极区域的浅沟道隔离（STI）。在第三种结构中，p^+ 体接触被多晶硅栅结构从 n^+ 漏极分离出来。第三种实现方案提供了体和 MOSFET 漏极区域的多晶硅隔离，避免任何 STI 下拉式结构，具有独立的偏置能力，并在体和源极之间引入一个附加的横向二极管。

图 10-15 显示了 SOI 片外驱动器（OCD）网络和三个不同的高动态阈值体/栅耦合 ESD 二极管网络的 TLP 结果。总共对 24 种不同的 10 指 DTMOS ESD 网络进行了测试，以评估保护 SOI 驱动电路的能力。

在测试中，体/栅耦合 DTMOS ESD 器件这样配置，漏极、栅极和体连到输入节点，

源级连到 V_{DD} 电源。结果表明，p^+ 和 n^+ 区之间具有 STI 的 SOI 体/栅耦合 DTMOS ESD 网络，与其他两个设计相比，提供了更高的 R_{ON}（如 $R_{ON}\approx4\Omega$）。这可以理解为，沟道隔离不提供任何方式的传导，导致更多的电流阻塞和阻抗。在第二种实现中，多晶硅栅区用于体、漏之间，加入额外二极管区域，从而提供了在 ESD 网络中更低的横向体电阻和更低的 R_{ON}（$R_{ON}\approx2.8\Omega$）。在第三种实现中，p^+ 体和 n^+ 漏对接，$R_{ON}\approx1.2\Omega$。

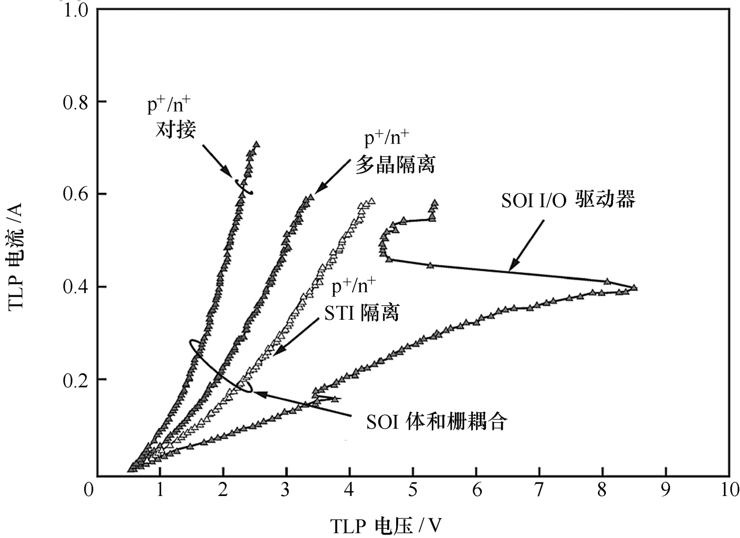


图 10-15　三种不同的 DTMOS 体/栅耦合的 SOI 二极管结构的 TLP 测量结果

为了更好地理解这些结构的工作，评估一个具有多种 MOSFET 漏和体的宽度之比的矩阵十分重要，且该结构的总长度保持不变。在我们的实验矩阵中，随着体宽度增加，MOSFET 的宽度减小，以使源的总周长保持恒定的宽度。图 10-16 给出了体/栅耦合 DTMOS ESD网络的一个例子，其中体和漏的宽度之比有多种。定义体接触宽度为 W_{BC}，漏极宽度为 W_N，我们可以得到一个比值，或者叫体接触百分比，即

$$\Psi = \frac{W_{BC}}{W_{BC} + W_N}$$

体接触总宽度为

$$(W_B)_T = \Psi W$$

DTMOS 晶体管总宽度为

$$(W_{DTMOS})_T = (1 - \Psi)W$$

式中，W 为 ESD 结构的总宽度。从这种结构中，总电流可以从二极管方程推导出来，并且 DTMOS 的源漏饱和电流为

$$I_D = I_s \Psi W \left\{ \exp\left(\frac{qV_d - \sum I_D R_i}{kT} \right) - 1 \right\}$$

$$I_{dsat} = \mu C_{ox} \frac{W}{L}(1 - \Psi)[V_g - V_T(V_B = V_d) - V_{dsat}]$$

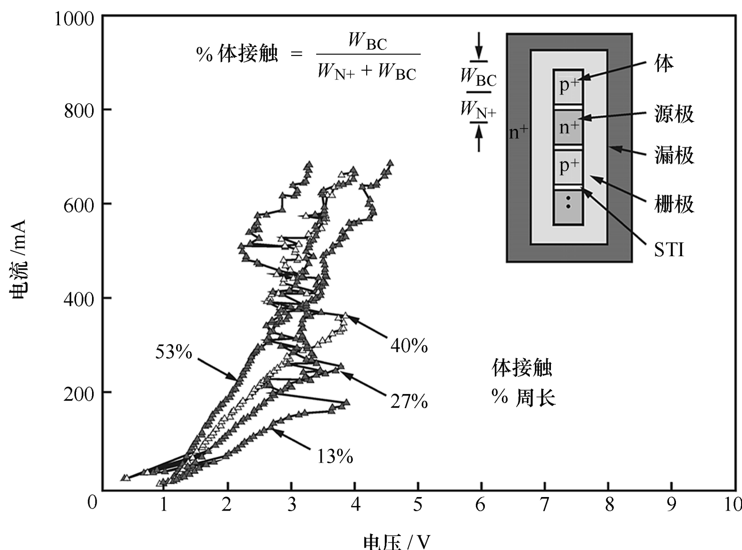


图 10-16 具有不同体接触到 MOSFET 比率的 DTMOS 体/栅耦合 SOI 二极管的 TLP 测量结果

在二极管的第一个方程中，饱和电流按器件区域的每单位宽度归一化，二极管上的电压为漏极电压。在 DTMOS 器件中，体栅电压与漏极电压相等。只有当器件发生潜在的 MOSFET 转折，此器件方程必须加入雪崩物理项，这些方程才能生效。

在图 10-16 中，测量了器件 TLP $I-V$ 关系曲线（体接触所占百分比分别为 13%、27%、40% 和 53%）。观察体接触百分比为 13% 的 TLP $I-V$ 特性曲线可知，电压在 0～4V 范围内随电流的增大而单调上升并且 DTMOS 器件在 4V 时骤回。随着体电压的上升，体接触端和 MOSFET 源极之间形成的二极管首先导通，与此同时 MOSFET 阈值电压降低。当栅极电压超过阈值电压时，动态阈值的 MOSFET 也导通并具有较大 I_{dsat}。当两端电压接近转折电压时，该结构处于回转状态。随着体接触端所占百分比值的增加，动态导通电阻增大。然而当具有较小导通电阻时，放电电流的能力提高。

10.6 未来的 SOI 及 ESD

随着 SOI 技术向着超薄 SOI 方向飞速发展，如何获得良好的 ESD 结果将面临更大的挑战。随着 SOI 等比例缩放，埋层氧化膜进一步缩小，以减少处理时间，进而提高衬底的热阻。此外，新的 SOI 结构开始不断涌现，例如双栅 SOI 结构和 FINFET 结构。第二栅极的存在将很大程度上提高了电流驱动能力，同时降低 SOI 结构的热阻。为了让 ESD 结构在未来的 SOI 工艺中仍保持其鲁棒性，我们任重而道远。

第 11 章我们将讨论硅锗（SiGe）和碳锗硅（SiGeC）工艺以及 ESD 现象，重点从 ESD 静电保护的角度，研究硅双极型晶体管与锗硅、硅锗与硅锗碳器件间的区别。第一篇关于硅锗双极型晶体管中的 ESD 技术的论文在 2000 年发表。第 10 章和第 11 章中所

讨论的材料终有一天将因集成技术而得以关联。现在，就让我们一起来讨论 SiGe 和 ESD 技术吧。

习　题

10.1 推导出绝缘体上硅晶圆的热阻，晶圆由薄硅膜 t_{film}、埋层氧化膜 t_{ox} 和衬底 t_{sub} 组成。

10.2 推导出绝缘体上硅晶圆的热电容，晶圆由薄硅膜 t_{film}、埋层氧化膜 t_{ox} 和衬底 t_{sub} 组成。

10.3 用热敏电阻和热电容构造出一个电学等效模型。

10.4 把 SOI 晶圆当作层间介质，用转移矩阵法求出每个域边缘处和中心处的温度，假设已知室温下晶圆的温度。

10.5 推导出 SOI 晶体管失效功率与电路工作时的最大功率之间的关系。

10.6 推导出横向栅控二极管结构的电学模型，假设二极管为 $p^+/n^-/n^+$ 二极管（即体区域为 n^-）。

10.7 推导出横向栅控二极管结构的电学模型，假设二极管为 $p^+/p^-/n^+$ 二极管（即体区域为 p^-）。

10.8 推导出横向栅控二极管结构的电学模型，假设二极管为 $p^+/p^-/n^-/n^+$ 二极管（即体区域为给定长度的 p^- 和 n^-）。

10.9 推导出与基于 Wunsch – Bell 模型的体 COMS 晶体管相比的 SOI 晶体管的失效功率，推导过程依照 Dwyer 模型。

10.10 设定 SOI 晶体管埋氧区每一代工艺均以 MOSFET 恒定的电场缩放参数 α 按比例缩放，且硅薄膜厚度恒定，总热阻如何按比例缩放？假设薄膜随埋氧膜按比例缩放，总热阻如何按比例缩放？

10.11 推导动态阈值 MOSFET 的驱动电流与标准 MOSFET 驱动电流的比值。推导它们导通电压的比值。推导标准 MOSFET 要达到与宽度为 W 的 DTMOS 器件相同的驱动电流时，所需的宽度。

10.12 推导具有本章所述的平行二极管体元件的动态阈值 MOSFET 的 SOI ESD 器件模型。其中，器件的总宽度等于二极管宽度和 MOSFET 宽度之和。

参 考 文 献

1. C. Hu. Low voltage CMOS device scaling. *Proceedings of the International Solid State Circuits Conference (ISSCC)*, February 1994; 86–87.
2. G. Shahidi *et al*. CMOS scaling in the 0.1-μm 1.X V regime for high performance applications. *IBM Journal of Research and Development* 1995; **39**: 229–244.
3. J. P. Colinge. *Silicon-on-Insulator Technology: Materials to VLSI*, Dordrecht: Kluwer, 1991.
4. G. Shahidi *et al*. Partially depleted SOI technology for digital logic. *Proceedings of the International Solid State Circuits Conference (ISSCC)*, Session 25, WP 25.1, February 1999; 426–427.
5. M. Canada *et al*. A 580 MHz RISC microprocessor in SOI. *Proceedings of the International Solid State Circuits Conference (ISSCC)*, Session 25, WP 25.3, February 1999; 430–431.

6. Y. Kim. A 0.25 μm 600 MHz 1.5 V SOI 64b ALPHA Microprocessor. *Proceedings of the International Solid State Circuits Conference (ISSCC)*, Session 25, WP 25.4, February 1999; 432–433.
7. D. Allen. A 0.2 μm 1.8 V SOI 550 MHz 64b powerPC microprocessor with copper interconnects. *Proceedings of the International Solid State Circuits Conference (ISSCC)*, Session 25, WP 25.7, February 1999; 438–439.
8. M. Chan, S. S. Yuen, Z. J. Ma, K. Y. Hui, P. Ko and C. Hu. Comparison of ESD protection capability of SOI and bulk CMOS output buffers. *Proceedings of the International Reliability Physics Symposium (IRPS)*, 1994; 292–298.
9. K. Verhaege, G. Groesenekan, J. P. Colinge, H. Maes. Analysis of snapback in SOI MOSFETs and its use for an SOI ESD protection circuit. *Proceedings of the IEEE SOI Conference*, 1992; 140–141.
10. K. Verhaege, G. Groseneken, J. P. Colinge and H. Maes. The ESD protection of SOI snapback MOSFETs: mechanisms and failure modes. *Proceedings of the EOS/ESD Symposium*, 1993; 215–219.
11. R. Joy and E. S. Schlig. Thermal properties of very fast transistors. *IEEE Transactions on Electron Devices*, 1970; **ED-17**, (8): 586–593.
12. P. Raha, S. Ramaswamy and E. Rosenbaum. Heat flow analysis for EOS/ESD protection device design in SOI technology. *IEEE Transactions on Electron Devices*, 1997; **ED-44** (3): 464–471.
13. Y. Wang, P. Juliano and E. Rosenbaum. Electrothermal modeling of ESD diodes in bulk-Si and SOI technologies. *Proceedings of the EOS/ESD Symposium*, 2000; 430–437.
14. S. Voldman. Semiconductor diode with silicide films and trench isolation. U.S. Patent 5,629,544, May 15, 1990.
15. S. Voldman *et al.* CMOS-on-SOI ESD protection networks. *Proceedings of the EOS/ESD Symposium*, 1996; 291–301.
16. S. Voldman *et al.* CMOS-on-SOI ESD protection networks. *Journal of Electrostatics* 1998; **42**, 333–350.
17. S. Voldman. The impact of MOSFET technology evolution and scaling on electrostatic discharge protection. *Microelectronics Reliability* 1998; **38**: 1649–1668.
18. S. Voldman. The impact of technology evolution and scaling on electrostatic discharge (ESD) protection in high-pin-count high-performance microprocessors. *Proceedings of the International Solid State Circuits Conference (ISSCC)*, Session 21, WA 21.4, February 1999; 366–367.
19. S. Voldman *et al.* Electrostatic discharge (ESD) protection in silicon-on-insulator (SOI) CMOS technology with aluminum and copper interconnects in advanced microprocessor semiconductor chips. *Proceedings of the EOS/ESD Symposium*, 1999; 105–115.
20. S. Voldman, D. Hui, L. Warriner, D. Young, R. Williams, J. Howard, V. Gross, W. Rausch, E. Leobangdung, M. Sherony, N. Rohrer, C. Akrout, F. Assaderaghi and G. Shahidi. Electrostatic discharge protection in silicon-on-insulator technology. *Proceedings of the IEEE International SOI Conference*, Session 5.1, 1999; 68–72.
21. S. Voldman *et al.* Semiconductor process and structural optimization of shallow trench isolation-defined and polysilicon-bound source/drain diodes for ESD networks. *Proceedings of the EOS/ESD Symposium*, 1998; 151–160.
22. S. Voldman, D. Hui, D. Young, R. Williams, D. Dreps, M. Sherony, F. Assaderaghi and G. Shahidi. Silicon-on-insulator dynamic threshold ESD networks and active clamp circuitry. *Proceedings of the EOS/ESD Symposium*, 2000; 26–28.
23. M. D. Ker, K. K. Hung, H. T. H. Tang, S. C. Huang, S. S. Chen and M. C. Wang. Novel diode structures and ESD protection circuits in a 1.8 V 0.15 μm partially depleted SOI salicided CMOS process. *Proceedings of the International Physical and Failure Analysis (IPFA) of Integrated Circuits Symposium*, Singapore, 2001; 91–97.

24. F. Assaderaghi *et al*. A dynamic threshold voltage MOSFET (DTMOS) for ultra-low voltage operation. *Proceedings of the International Electron Device Meeting (IEDM) Technical Digest*, 1994; 809–812.
25. S. Voldman, F. Assaderaghi, J. Mandelman, L. Hsu and G. Shahidi. Dynamic threshold body and gate-coupled SOI ESD protection networks. *Proceeding of the EOS/ESD Symposium*, 1997; 210–220. *Journal of Electrostatics*, 1998; **44**: 239–255.
26. F. Assaderaghi, J. Mandelman, L. Hsu, G. Shahidi and S. Voldman. Silicon on insulator body-coupled gated diode for electrostatic discharge (ESD) and analog applications. U.S. Patent 5,811,857, September 1998.

第 11 章　硅锗与 ESD

本章讨论的是硅锗（SiGe）和 ESD。直到 2000 年才发布第一篇关于 SiGe 双极型晶体管中 ESD 保护技术的论文。本章将为读者简要地介绍从此篇论文出版至今，硅锗与 ESD 保护技术的发展。本章将展示 SiGe HBT（异质结双极晶体管）器件及硅锗碳（SiGeC）器件的首次电测试。同时主要讨论 Si 同质结与 SiGe 异质结双极型晶体管（HBT），SiGe 与 SiGeC HBT，以及其他的一些在 ESD 保护技术方面的区别。

在 20 世纪 50 年代到 60 年代，已经有学者开始研究晶体管速度限制的问题，如 Early，Johnson，Kirk 等人[1-7]。而 H. Kroemer 关于异质结可以实现比同质结（硅）更高速度的研究发现，无异于打开了一扇新的大门[8,9]。随着高频有线和无线市场的快速增长，由于化合物半导体在体 CMOS 工艺上有独特的应用优势，这为它带来了新的机遇[10]。随着外延层伪晶 SiGe 的沉积工艺的迅速发展，外延基极 SiGe 异质结双极型晶体管（HBT）已经同主流的先进 CMOS 的发展进程紧密联系了起来，为模拟电路、射频电路以及数字逻辑电路（在同时继续充分利用先进 CMOS 技术的基础上），提供 SiGe 的技术优势[11-23]。

学者们已经完成了 SiGe HBT 器件高频、大电流效应研究工作[24-31]。虽然人们已经意识到关于同质结型晶体管的 ESD 鲁棒性研究的重要性[32-44]，也像对主流的半导体元件一样对其产生了浓厚兴趣，但在这方面，还没有相关的研究成果发表出来。SiGe HBT 正在取代硅双极型结型晶体管作为所有模拟和射频电路应用中的基本元器件。随着越来越多的 SiGe HBT 器件用于外部电路，SiGe HBT 器件关于电过应力（EOS）和静电放电（ESD）敏感度的量化也变得越来越重要[45-55]。

11.1　Si - Ge

11.1.1　SiGe 结构

没有掺杂剂注入的限制和陷阱，硅锗的外延淀积允许实现双极型晶体管的最优化。SiGe 合金膜，其原则上可以是一个原子突变界面，它避免了高斯分布的限制，以及注入掺杂沟道和热处理的缺陷。超高真空化学汽相淀积（UHV/CVD）允许实现对注入掺杂和低热预算的严格控制。图 11-1 展示了外延梯度的 Ge 基的 SiGe HBT 器件的横截面。SiGe HBT 器件形成于 p 型硅衬底晶片上。这是为了提供良好的模拟和数字电路之间的噪声隔离和一个低衬底 - 衬底集电极电容。多晶硅深槽隔离定义了衬底集电极区，同时还提供了一个低侧壁电容。此外，深槽隔离还影响了衬底集电极 - 衬底的击穿电压，消除了 SiGe HBT 器件里的寄生器件。由于提供了一个较低的单位功率截止频率 f_{MAX}，多晶硅深槽隔离可以应用于高性能器件工艺。对于低成本工艺，深槽可以用低成本的槽隔

离（TI）或扩散注入来代替。DT 界定集电极包含一个高掺杂 n^{++} 衬底集电极，n^{+} 集电极直接注入和可选的衬底注入。用于高频 SiGe npn 器件的衬底注入提供了低阻集电极、高 f_T 和改善的 Kirk 效应。对 CMOS 基础工艺而言，浅槽隔离（STI）可以用于集电极接触和衬底集电极直通结构的界定。对老一代的 CMOS 或 BiCMOS 工艺的基础工艺而言，硅锗晶体管也可以用 LOCOS（局部氧化）隔离来构建。SiGe 膜的淀积已用若干不同的化学气相沉积验证过了。采用 UHV/CVD 工艺时，SiGe 淀积于单晶硅和 STI 隔离结构上的基区里。在提供位置相关的 SiGe 合金膜的沉积工艺中，Ge 浓度不断变化，以达到 SiGe HBT 基区的浓度和器件的最优化。外延基极形成了一个单晶 SiGe 本征基区和一个不定型多晶 – 硅锗非本征基区。在单晶 SiGe 本征基区上形成了一个窗口，以形成 n 型多晶硅发射极。在热处理之后，发射极的 n^{+} 掺杂扩散进了 SiGe 本征基区。与发射极互连的基极和集电极，用钨（W）局部互连来界定。层间绝缘层、钨接触和铝互连都由用于基础 CMOS 工艺中的反应离子蚀刻（RIE）和化学机械研磨（CMP）来加工形成。

为了给有线和无线市场提供更快的器件，异质结的基极 – 发射极设计、带隙工程和工艺等比例缩放都将发挥重要作用。由于结构等比例缩小，这些器件对 EOS、ESD 和 EMI 事件的灵敏度也减低了。图 11-2 示出了硅 – 锗的异质结双极型晶体管的截面图。

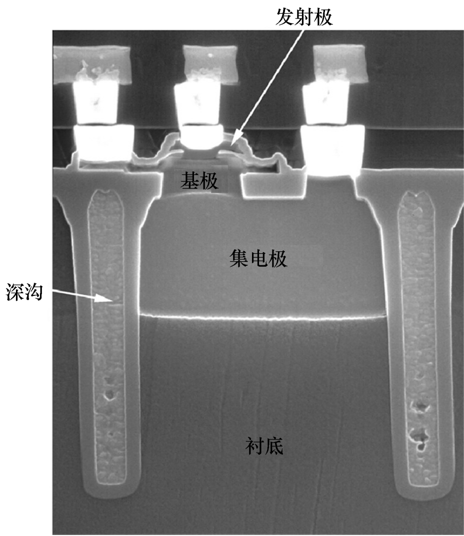


图 11-1　SiGe 异质结双极型晶体管（HBT）器件

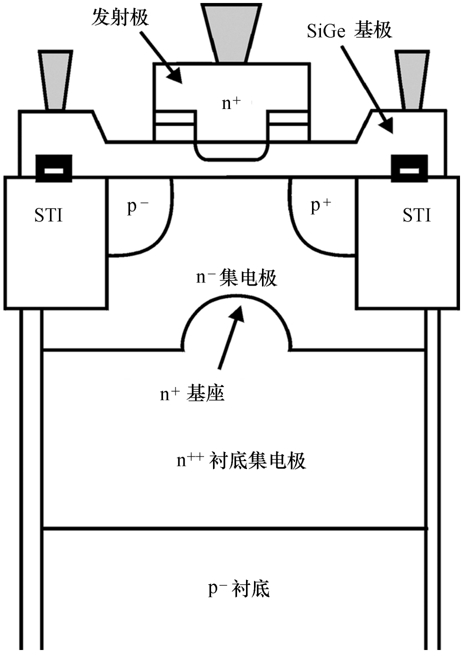


图 11-2　SiGe HBT 器件

在这种结构中，深槽结构与集电极区接壤。集电区包含 n^{++} 衬底集电极、集电极的轻掺杂区和 n^{+} 衬底注入。浅槽隔离形成于深槽的侧壁上，作为界定基极电接触的区域。集电极接触在图中未示出。SiGe 基极区形成于单晶硅和浅槽隔离区之上。在浅槽隔离区到多晶硅 – 锗薄膜区上，形成了与基区的接触。掺杂从基区扩散入单晶区，形成了基

极 – 集电极结区。而发射极是在单晶硅 – 锗区内通过扩散形成的。

SiGe HBT 器件的外延基极浓度的优化决定了器件设计的自由度。利用这些设计自由度，可以设计出某种异质结晶体管，它的电特性同时适于功能优化和大电流脉冲工作状态（例如 ESD 工作状态，过冲/下冲）。在今天，SiGe HBT 器件使用空间相关的 Ge 浓度来调节带隙，这样就提供了更高的集电极电流密度，较低的基极传输时间，低的本征基极电阻和在截止频率点上变大了的 Early 电压。SiGe HBT 器件可以通过改变 Si_xGe_{1-x}化合物里的 Ge 浓度来形成。图 11-3 示出了 SiGe 的带隙，并特别画出了硅表面的带调制现象。矩形、三角形和梯形剖面都是用来优化晶体管传输时间的。

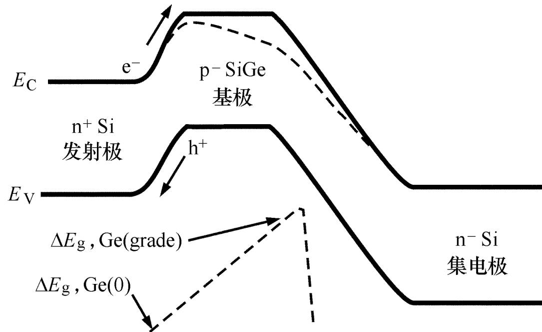


图 11-3　SiGe HBT 能带图

图 11-4 示出了发射极 – 基极区的透视图。伪单晶 SiGe 膜形成于单晶硅之上。一个平面产生在不定形 SiGe 到 SiGe 单晶界面上。在从接触到发射极多晶硅结构边缘的非本征基区上，形成了 $TIsi_x$ 金属硅化物。p^+ 掺杂注入到非本征基极区内，以减小基极串联电阻。所谓“自对准”SiGe HBT 器件，就是一种非本征基极注入对准于发射极窗口边缘的晶体管，这个窗口是用形成固定的非本征基极 – 发射极间距的一次性隔离器形成的。而“非自对准”SiGe HBT 器件就是一种非本征基极注入与多晶硅发射极的边缘对准的晶体管。

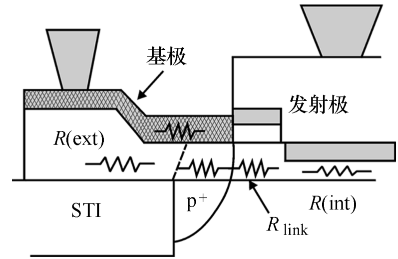


图 11-4　SiGe HBT 发射极 – 基极区结构

SiGe HBT 器件的优点在这两个关键的物理量中可以体现出来：单位电流增益截止频率 f_T 和单位功率增益截止频率 f_{max}。f_T 反比例于发射极 – 集电极传输时间 τ_{EC}，即

$$\frac{1}{2\pi f_T}=\tau_{EC}=\tau_E+\tau_B+\tau_{CSL}+\tau_C$$

式中

$$\tau_E=\frac{C_{eb}+C_{bc}}{g_m}$$

$$\tau_{\mathrm{B}}=\frac{W_{\mathrm{B}}^{2}}{KD_{\mathrm{B}}}$$

$$\tau_{\mathrm{CSL}}=r_{\mathrm{C}}(C_{\mathrm{c-sx}}+C_{\mathrm{bc}})$$

$$\tau_{\mathrm{C}}=\frac{x_{\mathrm{C}}}{v_{\mathrm{sat}}L}$$

发射极渡越时间是发射极－基极电容、基极－集电极电容和跨导的函数。基区渡越时间是基区宽度、扩散系数和基区梯度因子 K 的函数。集电极项中则包含了集电极电容、集电极电阻和速度饱和项。

减小基极－集电极电容 C_{bc}，集电极－衬底电容 C_{csx} 和基极电阻 R_{b}，可以提高 $f_{\max}$：

$$f_{\max}=\sqrt{\frac{f_{\mathrm{T}}}{8\pi R_{\mathrm{b}}C_{\mathrm{bc}}}}$$

基极电阻被定义为本征基极电阻和非本征基极电阻。本征基极电阻同 n^{+} 发射极扩散的面积有关。非本征基极电阻包括所有从本征基极到基极接触的所有基极电阻成分。非本征基极电阻由从接触到 STI 边缘的不定型 SiGe 区组成。在 STI－Si 过渡区，SiGe 膜从不定形转变为单晶 SiGe。第一个关系式是关于多晶 SiGe 的电阻的。第二个关系式是关于从平面到非本征基极注入边缘的 SiGe 膜的电阻的。非本征基极注入的第三个部分是发射极扩散边缘到非本征基极注入边缘间的单晶 SiGe 基区，称作“连接（link）”电阻。

$$R_{\mathrm{b,int}}=\frac{1}{3}\frac{W_{\mathrm{E}}}{L_{\mathrm{E}}}\rho_{\mathrm{B}}$$

$$R_{\mathrm{b,ext}}=R_{\mathrm{polySiGe}}+R_{\mathrm{SiGe}}+R_{\mathrm{Link}}$$

$$R_{\mathrm{Link}}=\frac{L_{\mathrm{Link}}}{L_{\mathrm{E}}}\rho_{\mathrm{Link}}$$

外部电阻的前两个区是相对于平面过渡的金属硅化物位置的函数。金属硅化物从接触延伸到发射极多晶硅边缘。

发射极－基极区的优化需要确定截止频率 f_{T} 和 $f_{\max}$，基区电阻 R_{b}，发射极－基极击穿电压 BV_{EBO} 和发射极－基极漏电流 IL_{EBO}。对于自对准（SA）SiGe HBT 器件，存在一个最佳隔离器厚度，用于优化发射极－基极区。随着隔离器宽度减小，由于发射极－基极和集电极－基极电容增加，所以截止频率降低。此外，BV_{EBO} 也会降低，但 IL_{EBO} 会增加。随着隔离器宽度减小，可以发现，漏电流从对温度敏感到对温度不敏感开始发生变化。这表明从热泄漏机制（如 Shockley－Read－Hall，Frenkel－Poole，雪崩）过渡到了隧穿机制（如陷阱－带，带－带隧穿）。从电流增益测试的 Gummel 图和 $I_{\mathrm{B}}-V_{\mathrm{BE}}$ 图可以清楚地看到电流增益的下降效应。

11.1.2 SiGe 器件物理

因为带隙工程的原因，SiGe HBT 器件物理不同于硅双极结型晶体管物理。硅锗异质结双极晶体管的外延基极浓度优化提供了晶体管器件设计的自由度。Kroemer 在 1982 年就已指出，异质结可以分别控制电子和空穴，并独立地提供设计自由度，这是同质结

晶体管无法实现的[8,9]。利用这些设计自由度，可以设计出某种异质结晶体管，它的电特性同时适于功能优化和大电流脉冲工作状态（例如 ESD 工作状态，过冲/下冲）。Kroemer 指出，宽带隙发射极结构对异质结双极晶体管中的高基极掺杂浓度来说非常有利[8,9]。在今天，SiGe HBT 器件采用空间相关的 Ge 浓度来调节带隙，这样就提供了更高的集电极电流密度、较低的基极传输时间、低的本征基极电阻和在截止频率点上变大了的 Early 电压。由于采用高基极掺杂浓度，SiGe HBT 器件的本征温度 T_i 明显高于 Si BJT 器件的，这就使器件更不易于出现热不稳定性。本征温度 T_i 就是本征载流子浓度超过掺杂浓度时的温度。在热损耗或二次击穿出现的点（I，V）上，由于 Joule 自热引起的热反馈，半导体器件会开始出现负阻状态。热不稳定性通常是不可逆的，并将导致半导体结构的泄露和毁坏。对 Joule 热而言，本征载流子浓度随温度升高而升高。众所周知，Si BJT 器件的热不稳定性通常发生在低掺杂基区，由于掺杂浓度低，所以这里本征温度也低。对于 SiGe 器件，位置相关的 Ge 浓度也起着一定的作用。采用位置相关的 Ge 浓度，本征载流子浓度可以表示为

$$n_i^2(x) = \gamma n_{io}^2 e^{\Delta E(x)/kT}$$

并有

$$\Delta E_g(x) = \Delta E_{g,b}^{app} + \Delta E_{g,Ge}(\text{grade})(x/W_b kT) + \Delta E_{g,Ge}^{(0)}$$

式中，$\Delta E_g(x)$是位置相关的带隙；$\Delta E_{g,b}^{app}$重掺杂诱发的表面带隙变窄；而 $\Delta E_{g,Ge}$（梯度）是基极－集电极结上的能带 ΔE_g（$x = W_b$）与基极－发射极结 ΔE_g（$x = 0$）的能带差。SiGe 和 Si 的两种状态的有效密度的比可以表示为

$$\gamma = (N_C N_V)_{SiGe}/(N_C N_V)_{Si}$$

位置相关的 Ge 浓度产生了位置相关的本征温度 T_i。因此，异质结双极型晶体管的本征温度可以表示为

$$T_i(x) = \{E_{g,Si} + \Delta E_{g,b}^{app} + \Delta E_{g,Ge}(\text{grade})(x/W_b) + \Delta E_{g,Ge}^{(0)}\}/$$
$$k \ln\{[N_b(x)/n_{io}]^2 (N_C N_V)_{Si}/(N_C N_V)_{SiGe}\}$$

从 ESD 的角度来看，一个有高电流增益的双极型晶体管有利于外围电路或 ESD 网络中的放电电流。从位置相关的本征载流子浓度和 Kroemer－Moll－Ross 关系来看[8,9]，对一个梯度变化的 Ge 浓度，集电极电流可以表示为

$$I_C = A_C(qD_{nb}n_{io}^2/W_b N_b)\{e^{\Delta E_{g,b}^{app}/kT}e^{V_{be}/kT} - 1\}$$
$$\{\gamma\nu(\Delta E_g(\text{grade})/kT)/(1 - e^{-\Delta E_{g,Ge}(\text{grade})/kT})\}$$

式中，γ 和 ν 是基于平均位置的。

从 Kroemer－Moll－Ross 集电极－电流的关系来看，SiGe HBT 和 Si BJT 的电流增益的比可以表示为

$$\frac{\beta_{SiGe}}{\beta_{Si}} = \frac{\gamma\nu(\Delta E_g(\text{grade})/kT)e^{\Delta E_{g,Ge}^{(0)}/kT}}{(1 - e^{\Delta E_{g,Ge}(\text{grade})/kT})}$$

在共发射极模式里，集电极电流可以表示为雪崩倍增因子 M 和电流增益项的函数，即

$$I_C = \frac{M\beta_{SiGe}I_B + MI_{CO}(1+\beta_{SiGe})}{1-\beta_{SiGe}(M-1)}$$

当处于基极开路的情况时，有

$$I_C = \frac{MI_{CO}(1+\beta_{SiGe})}{1-\beta_{SiGe}(M-1)}$$

从这个表达式来看，很明显，集电极电流与雪崩倍增因子 M，和晶体管电流增益有很大关系。SiGe HBT 晶体管的高晶体管电流增益使其在 ESD 事件中有明显的放电电流。雪崩倍增项 M 同样也在 ESD 事件中的大电流传输中发挥着重要作用。

采用带隙工程来设计 SiGe 晶体管，Ge 浓度就不会明显地渗透到基极－集电极结的 Si 集电极区。同 Si 相比，Ge 具有较低的高电场效应电离阈值能量（Ge 大约为 1eV，而 Si 为 3.6eV），从而导致了更高的碰撞电离率。幸运的是，由于 Ge 浓度的渗透只有几十纳米，所以载流子能量并没有明显积累，从而避免了基极－集电极结的雪崩倍增项 M 的增强。

对于 ESD 现象，重要的是要得到双极型晶体管在 ESD 模式上的响应时间。CDM 模式是最快的 ESD 模式，具有 250ps 的上升时间和振荡波形。CDM 事件的能谱在 1～5GHz 范围里包含有大量能量。SiGe HBT 器件受发射极、基极和集电极渡越时间的影响，而基极渡越时间通常起到频率限制的作用。SiGe HBT 器件使用梯度式 Ge 浓度建立一个加速从发射极到集电极的电子的内建电场，这就提供了一个相比于 Si BJT 器件明显要小一些的基极渡越时间。

由异质结基极渡越时间的双重积分表达式可得，基极渡越时间可以表示为

$$\tau = (W_b^2/D_{nb})(kT/\Delta E_{g,Ge}(\text{grade}))\left[1-(kT/\Delta E_{g,Ge}(\text{grade}))(1-e^{-\Delta E_{g,Ge}(\text{grade})/kT})\right]$$

这个表达式包含了均匀掺杂 Si BJT 的基极渡越时间、W_b^2/D_{nb}，及因锗带隙调制而上升的基极渡越时间的等相关联的项的乘积。SiGe HBT 器件的发射极渡越时间与晶体管电流增益的倒数成比例，因此对于 ESD 现象而言，SiGe HBT 相对 Si BJT 就更具优势了。

SiGe HBT 器件的击穿电压对于 I/O 和 ESD 应用都非常重要。集电极－发射极击穿电压，BV_{CEO}可以表示为

$$BV_{CEO} = BV_{CBO}\left\{1-\frac{(\beta_{SiGe}/\beta_{Si})}{\left[\frac{\beta_{SiGe}+1}{\beta_{Si}}\right]}\right\}$$

对于 SiGe HBT 器件，晶体管集电极电流增益的上升表明了它本身有一个的集电极－发射极击穿电压。通过“衬底注入”来调节集电极浓度，从而权衡集电极－发射极击穿电压，$BV_{CEO}-\beta$，这对于性能和 ESD 保护来说都是有利的。对于 I/O 和 ESD 而言，优势在于，只要采用一个可选的衬底注入，不管是高频 f_T 还是高击穿电压 SiGe npn 型晶体管都能在一个工艺流程内制作出来。

11.2 SiGe ESD 测试

硅 – 锗的异质结双极型晶体管 ESD 的灵敏度需要在不同的双极结构下进行评估。令人感兴趣的 SiGe HBT 器件的两个测试分别是集电极 – 发射极和发射极 – 基极测试。

在集电极 – 发射极模式中，发射极接地，并且在集电区上施加一个 ESD 脉冲。由于集电极 – 发射极电压的上升，集电极 – 基极结电压和结内最大电场都会增大，从而导致雪崩倍增的发生。SiGe HBT 器件同 Si BJT 器件相比，基极掺杂浓度明显高一些。不管是衬底还是非衬底 SiGe HBT 器件，当基极区高掺杂时，耗尽区都将会延伸入低掺杂集电极区。雪崩倍增主要发生在 Si 集电极区里，空穴从 Si 集电极区加速到 SiGe 基区，电子则反向加速到集电极。随着基极区的电位上升，发射极 – 基极结变为正偏，导致 SiGe HBT 器件的转折。

作为一个测试结构的例子，图 11-5 中展示了传输线脉冲（TLP）系统。

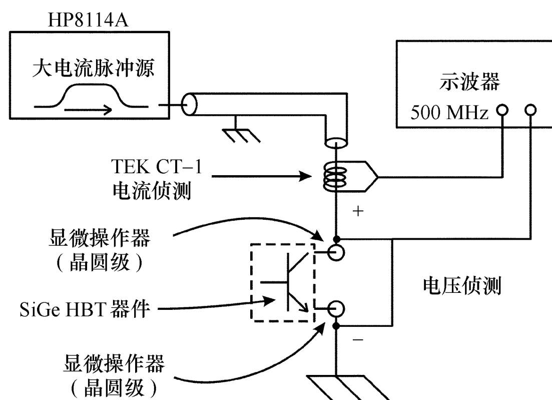


图 11-5 大电流传输线脉冲（TLP）测试体系

图 11-6 所示为处于基极悬空状态的共发射极模式的 0.32mm 宽、20mm 长发射极结构的 SiGe HBT 的大电流脉冲 $I-V$ 测试。对于此次测试，脉冲宽度为 50ns，上升和下降时间为 3ns。当使用单探头时，集电极上不会出现容性负载。

随着 TLP 脉冲电流的增加，集电极 – 发射极电压也会一直增加，直到达到第一触发电压。随着集电极电压上升，雪崩倍增也会一直加强，直到发生雪崩击穿。从 $I-V$ 特性来看，雪崩的第一触发点（I_{t1}，V_{t1}）就是转折的出现点。随着集电极 – 发射极电压增大，通过器件的电流也一直增加，上升到脱离低压/大电流转折状态。紧随在转折点之后的 $I-V$ 的反斜率就是 SiGe HBT 器件的动态导通电阻。随着电压的升高，器件电流也随脉冲电流上升而线性升高。电压一直增加到超过第一触发电压 V_{t1}。过了第一触发点，电流继续增大，直到开始软过渡。然后，动态电阻发生了变化，动态导通电阻变小；随后，在没有出现负电阻过渡或是热不稳定性的情况下，电流就增大了。随着电流脉冲增大，热不稳定性开始出现。此时，SiGe HBT 进入了负电阻机制，进入大电流/低

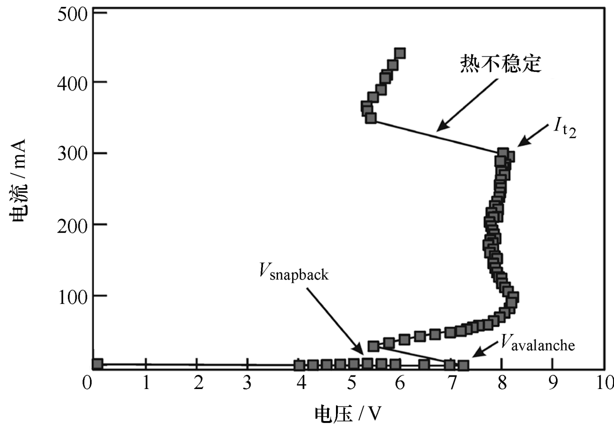


图 11-6　SiGe HBT 器件的 TLP $I-V$ 特性（脉冲宽度 $\tau=50$ns）

电压状态。SiGe HBT 的低电压/大电流状态的电压低于或接近转折电压。通常，对于不同结构的大多数测试，热不稳定性或低电压/电流状态开始出现的点就是漏电流增加的点，也被认为是器件失效的点。

从 Wunsch – Bell 和 Dwyer 模型可以很容易地看出，大电流脉冲测试中的热不稳定性和功率失效受所施加的脉冲宽度的影响。如 Wunsch – Bell 模型所示，半导体器件的临界失效电流和失效功率随着脉冲宽度的减小而增加。图 11-7 展示的是受脉冲宽度影响的 0.32μm × 20μm 的 SiGe HBT TLP $I-V$ 特性。对于比热扩散时间短得多的脉冲宽度，SiGe HBT 的功率失效将会与脉冲宽度成反比，并同隔热有关。对于同热扩散时间相近的脉冲宽度，由于自热区的热扩散，临界失效电流受脉冲宽度的影响要小一些。当脉冲宽度增加到 50ns 以上时，测试显示，随着脉冲宽度增加，热不稳定性的出现单调减少。对于 40 ~ 1000ns 的可观测脉冲宽度，热不稳定低电压/大电流 $I-V$ 点之后的电

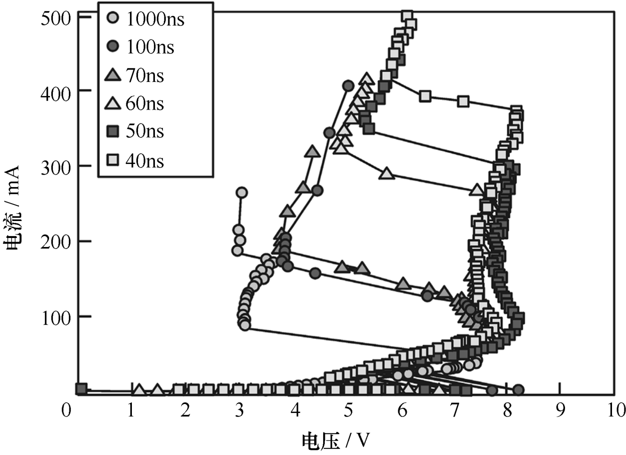


图 11-7　SiGe HBT 器件的 TLP $I-V$ 特性（$\tau=40\sim1000$ns）

流电压也都单调下降。另外还发现，当脉冲宽度非常短时，对于 SiGe HBT，有一个大电流状态出现在热不稳定性出现之前，但在长脉冲宽度时不那么明显。对于动态导通电阻，当脉冲宽度从 40ns 增长到 1000ns 时，相比于长脉冲的 $I-V$ 测试，短脉冲宽度有一个更低的电阻。

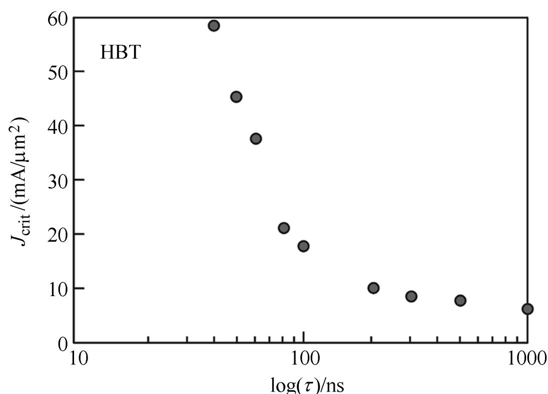


图 11-8　受脉冲宽度 τ 影响的 SiGe HBT 临界电流密度 J_{crit}

依据这些结果，我们可以通过标志受脉冲宽度影响的失效电流的点来绘制 Wunsch – Bell 曲线。图 11-8 展示的是，对于 DT 界定的高性能 0.32μm×20μm 发射极 SiGe HBT 结构的 9 个不同的脉冲宽度，热不稳定性 J_{crit} 出现的线性对数坐标图，它是脉冲宽度的函数。结果表明，当脉冲宽度增加，J_{crit} 减小。热不稳定性和功率失效的减小，同 Wunsch – Bell 和其他热物理失效模型的结果都是相符合的。

11.2.1　SiGe 与 Si 的比较

与硅同质结晶体管相比，SiGe 晶体管具有更高的晶体管电流增益特性，更低的基极传输时间、更低的发射极传输时间和更低的本征基极电阻，这对于 ESD 保护网络来说是很有利的。把两个外延基区硅同质结裂口和标准 SiGe HBT 器件在一个试验批次里构造，并在共同结构中采用相同的掩膜。图 11-9 所示为对于 50ns 脉冲宽度，同 SiGe HBT 测试相比较，完全相同的 0.32μm×20μm 发射极结构的其中一个 Si 同质结 BJT 裂口的 TLP $I-V$ 特性。SiGe HBT 器件仍处于大电流/大电压状态，并没有出现到热不稳定性的过渡，而在 Si BJT 中这种情况却很明显。

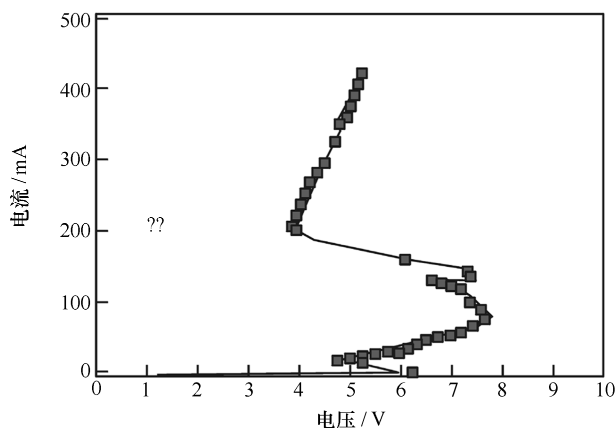


图 11-9　硅同质结 BJT 的 TLP $I-V$ 特性（τ=50ns）

通过在 40 ~ 1000ns 范围内改变脉冲宽度，可以进一步检测到这个效应。图 11-10 中所示的是 Si BJT 同质结的 TLP $I-V$ 特性。通过定性的分析，会发现外延基区 Si BJT 同质结的 $I-V$ 特性的响应同 SiGe HBT 的很相似。很明显，对于更短的脉冲宽度，Si 同质结 BJT 会更早地过渡到热不稳定状态。

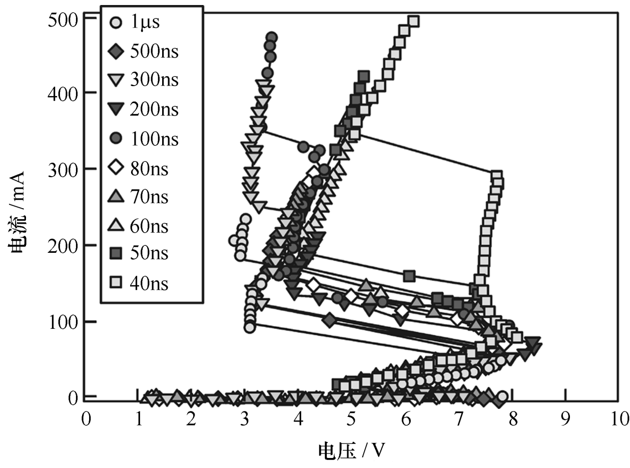


图 11-10 硅同质结 BJT 的 TLP $I-V$ 特性（τ = 40ns ~ 1μs）

图 11-11 所示的是 0. 32μm × 20μm 晶体管结构的 SiGe HBT 和 Si BJT 器件的 Wunsch – Bell $J_{crit}-\tau$ 对比图。对于短脉宽，SiGe HBT 比 Si BJT 的 J_{crit} 更高。但当脉宽较长时，SiGe HBT 和 Si BJT 的临界电流密度就趋于重合了。从 Wunsch – Bell 失效电流图中也可以看出，在 100ns 点，SiGe HBT ESD 的结果比 Si BJT 的改善了 30%。而在更短的时间上，区别达到了 200%。当用其他的 Si BJT 实验裂口来做该比较，结果表明在较短的时间常数下，SiGe HBT 的结果总是更好一些。

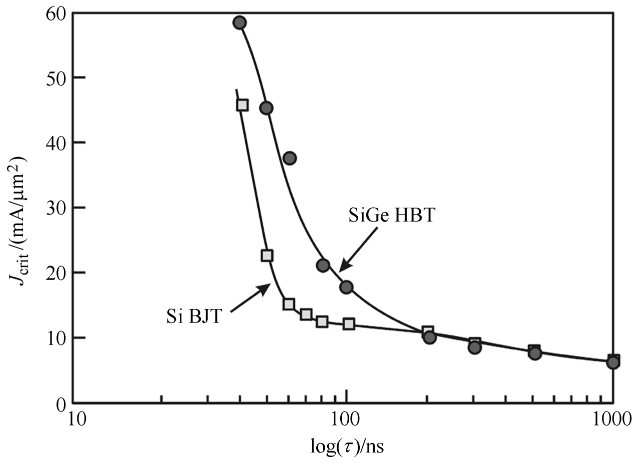


图 11-11 SiGe HBT 和 Si BJT 器件的 Wunsch – Bell $J_{crit}-\tau$ 对比图

SiGe HBT 和 Si 同质结 BJT 的低/高电流特性参数的比较，对于需要优化和权衡功能与 ESD 特性的电路设计者和器件工程师来说，是非常重要的。表 11-1 中展示了各类器件的电气参数和 ESD 相关参数。其中关键的参数是电流增益 β，Early 电压 V_A，击穿电压和二次击穿电流这几项。值得注意的两个指标分别为电流增益 - Early 电压积 βV_A，和一个新的混合指标电流增益 - 二次击穿电流积 βI_{t2}。电流增益 - Early 电压积指标提供了 SiGe HBT 的电流驱动和输出阻抗的度量。电流增益 - 二次击穿积指标则是功能化电流驱动能力和结构的 ESD 鲁棒性的度量。

表 11-1　SiGe HBT 和 Si BJT 器件的电气参数

参数	Si BJT（a）	Si BJT（b）	SiGe HBT
β	56.1	40.83	144
V_A/V	41.63	53.12	103
I_{coll} at 0.72V/μA	0.82	0.62	2.15
BV_{EBO}/V	3.67	3.14	3.86
BV_{CEO}/V	3.63	3.78	3.2
BV_{CES}/V	11.16	11.1	11.26
I_{t2}/A	0.08	0.08	0.12
P_f/W	0.64	0.71	0.845
βV_A	2 335	2 169	14 832
βI_{t2}	4.48	3.38	16.58

以 SiGe - Si β_{SIGE}/β_{SI} 比等于 2.57 和 3.53 为例，不管是同外延基区硅同质结器件还是 npn BJT 器件相比，SiGe HBT 晶体管都有更高的 βV_A 和 βI_{t2}。$(\beta I_{t2})_{SiGe}/(\beta I_{t2})_{Si}$ 比可以表示为

$$\frac{(\beta I_{t2})_{SiGe}}{(\beta I_{t2})_{Si}} = \eta(\Delta E_{g,Ge}(\text{graded})/kT)\,e^{\Delta E_{g,Ge}^{(0)}/kT}$$
$$(1 - \exp^{-\Delta E_{g,Ge}(\text{graded})/kT})\{I_{t_2\text{SiGe}}/I_{t_2\text{Si}}\}$$

从 Moll - Ross - Kroemer 电流关系来看，SiGe - to - Si 同样也具有可以用电流增益 β 来改善相关的 I_{t2} 参数的优点[8,9]。

SiGe 基极区的带隙工程的一个关键性的优点是允许优化本征基极电阻 R_{bi} 和截止频率 f_T。SiGe HBT 器件的本征基极电阻可以表示为

$$R_{bi(SiGe)}/R_{bi(Si)} = (\beta_{SiGe}/\beta_{Si})\ \{e^{-E_g^{(0)}/kt}\ (kt/\Delta E_g\ (\text{grade}))\}$$

对于一个给定的频率（f_T），在更高掺杂浓度的本征和非本征基极区，可以实现更低的零偏置本征基极电阻。通过提供更高的掺杂浓度，可以得到更高的本征温度 $T_i(x)$，这样就改善了二次击穿特性，并提供了一个热稳定的基区。对于 SiGe HBT 器件 ESD 鲁棒性而言，这个优势非常明显。此外，同 Si BJT 相比，更低的本征基极电阻，可以降低加在锗硅 npn 上的电压分布的影响，以及二极管结构基极 - 集电极 npn 型晶体管电阻的影响，这样就能使它们更适合用于 ESD 保护网络了。在类二极管操作中 SiGe

HBT 器件的成功使用，对于提供低的非本征基极电阻和集电极电阻来说非常重要。非本征基极电阻可以靠设计和器件等比例缩放来最小化，然而，低集电极电阻就要靠高衬底集电极掺杂浓度和直通注入来实现了。

11.2.2 SiGe 电热模拟：集电极－发射极

HBM（人体模型）ESD 事件期间的 SiGe HBT 器件的初步电热模拟，可以用一个 SiGe HBT 器件的二维有限元横截面来完成。借助 TSUPREME 半导体工艺建模工具定义一个完整的 SiGe 半导体工艺。使用 FIELDAY Ⅲ器件仿真可以完成有限元电热模拟。FIELDAY 公式是基于玻尔兹曼传输方程、电荷守恒方程和晶格能量守恒关系的。电子和空穴电流密度的基本方程解释了热梯度引起的电荷流动。晶格能量流动的基本方程代表了热传导的傅里叶定律。晶格能量包含 Joule 热及载体和晶格之间的能量交换。

为了模拟 HBM 脉冲，在 FIELDAY 仿真中采用了 Van Roozendaal 双指数电流波形。图 11-12 所示为 SiGe HBT 器件里的温度场。其中，用热接触的反射热边界条件（$dT/dy=0$）和建立在其他界面上的适当的热边界条件可以得到横穿发射极结构中心横截面。在该研究中，是用共发射极结构下的测试来完成仿真的。发射极窗口在器件的右上角里。在共发射极模式下，在集电区可以观测到峰值温度。在 SiGe HBT 器件里，基极的掺杂浓度明显要比集电区的高。结果是，集电区 Joule 热在 SiGe HBT 器件的瞬态温度场 $T(x, y, t)$ 里发挥了重要作用。最黑的分布线所包含的就是集电极－发射极区的热峰值区。

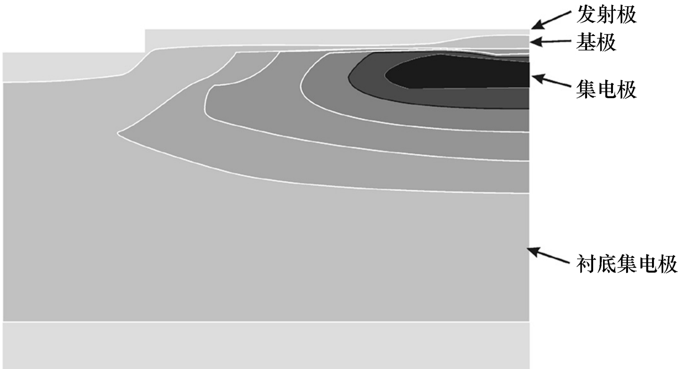


图 11-12 SiGe HBT 的瞬态电热器件仿真（HBM 脉冲）

11.2.3 SiGe 发射器－发射极－基极

发射极－基极设计（见图 11-13），对硅锗异质结双极晶体管的器件性能和 ESD 灵敏性都有很大的影响[49,50]。基于 ESD 鲁棒性的工艺变化和器件设计间距的评估受金属硅化物位置、发射极－基极间距和集电极开路的影响。对于高速射频 RF 应用，ESD 保护和射频接收电路网络的改进非常重要。RF 电路的一个典型例子如下，RF 输入连接到 SiGe HBT 器件的基极，RF 输出连接到集电极。在正向和反向偏置模式中，发射极－基极结的 ESD 失效都是 RF 接收电路的一个关键的灵敏度。发射极－基极结的 ESD 鲁棒性受发射极－基极结构的间距、金属硅化物、电阻和设计的影响。

伪单晶 SiGe 薄膜形成于在单晶硅上。在不定形 SiGe－SiGe 单晶表面处形成了一个平面。在从接触到发射极多晶硅结构边缘的非本征基区上，形成了 $TiSi_x$ 硅化物。p^+ 掺杂被注入到非本征基区以减小基区串联电阻。所谓“自对准” SiGe HBT 器件，就是一种非本征基极注入对准于发射极窗口边缘的晶体管，这个窗口是用形成固定的非本征基极－发射极间距的一次性隔离器形成的。而“非自对准” SiGe HBT 器件就是一种非本征基极注入与多晶硅发射极的边缘对准的晶体管。

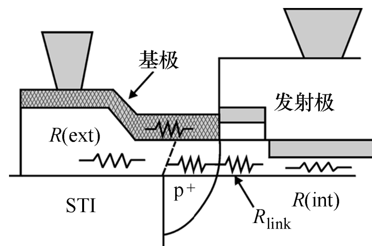


图 11-13　SiGe HBT 的发射极－基极结构

发射极传输时间是发射极－基极电容、基极－集电极电容和跨导的函数。基区传输时间是基区宽度、扩散系数和基区梯度因子 K 的函数。集电极项中则包含了集电极电容、集电极电阻和速度饱和项。基极电阻被定义为本征基极电阻和非本征基极电阻。本征基极电阻同 n^+ 发射极扩散下的面积有关。非本征基极电阻包括所有从本征基极到基极接触的所有基极电阻成分。非本征基极电阻由从接触到 STI 边缘的不定形 SiGe 区组成。在 STI－Si 过渡区，SiGe 膜从不定形转变为单晶 SiGe。第一个关系式是关于多晶 SiGe 的电阻的。第二个关系式是关于从平面到非本征基极注入边缘的 SiGe 膜的电阻的。非本征基极注入的第三个部分是发射极扩散边缘到非本征基极注入边缘间的单晶 SiGe 基区，称作“连接”电阻。

$$R_{b,int} = \frac{1}{3}\frac{W_E}{L_E}\rho_B$$

$$R_{b,ext} = R_{polySiGe} + R_{SiGe} + R_{link}$$

$$R_{link} = \frac{L_{Link}}{L_E}\rho_{link}$$

外部电阻的前两个区受相对于平面过渡的金属硅化物位置的影响。金属硅化物从接触延伸到发射极多晶硅边缘[49,50]。

发射极－基极区的优化需要确定截止频率 f_T 和 f_{max}，基区电阻 R_b，发射极－基极击穿电压 BV_{EBO} 和发射极－基极漏电流 IL_{EBO}。对于自对准 SiGe HBT 器件，存在一个最佳隔离器厚度，用于优化发射极－基极区。随着隔离器宽度减小，由于发射极－基极和集电极－基极电容增加，所以截止频率降低。此外，BV_{EBO} 也会降低，但 IL_{EBO} 会增加。

对于自对准 SiGe HBT 器件，随着发射极多晶硅的宽度增大，金属硅化物逐渐远离了发射极扩散区，而非本征基极注入却保持不变。随着集电极宽度增大，非本征基极电阻的 SiGe 单晶区长度增加，然而连接电阻和本征基极区却保持不变。图 11-14 所示为 0.44μm×10μm SiGe HBT 器件的 HBM ESD 结果，其中金属硅化物－发射极间距减小到低于标称间距，而非本征基极注入却保持不变（这种情况下，非本征基极注入自对准于发射极窗口）。对 SA SiGe HBT 器件，我们发现，它的基极电阻受到金属硅化物膜移除的调节，这就导致了正项应力基极－发射极 ESD 结果的增加。随着金属硅化物膜

的消除，电流就必须流过多晶硅 SiGe 膜，而不是通过金属硅化物膜本身。在一个自对准 SiGe HBT 里，发射极多晶硅尺寸的增加也将导致基极串联电阻的增加。连接电阻保持不变，然而其余两个非本征项变为同延伸到单晶 Si 区和隔离区（例如平面过渡区）上的金属硅化物有关。随着硅化物被挤到平面上，使非晶 SiGe 膜露出来，基极电阻将会显著增加。

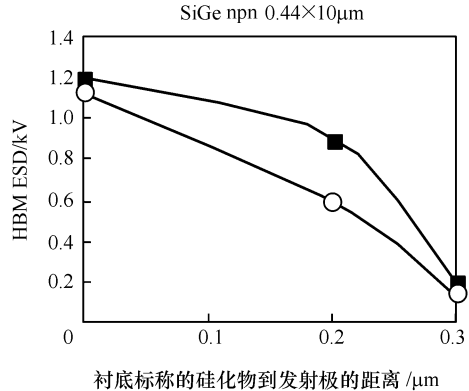


图 11-14　受金属硅化物 – 发射极间距影响的 SiGe HBT 发射极 – 基极的 HBM ESD 鲁棒性

从单位电流增益 – 集电极电流（f_T – I_C）和单位功率增益 – 集电极电流（f_{max} – I_C）RF 测试结果来看，峰值 f_{max} – I_C 特性表明，随着硅发射极的金属硅化物的间距变大，峰值 f_{max} 将会下降。这种效应可以通过增加多晶硅发射极宽度或通过使用金属硅化物块掩膜层来进行验证。当采用金属硅化物掩膜层时，RF 测试结果显示，峰值 f_T 没有发生明显变化，然而金属硅化物移出了发射极多晶硅边缘 0.4μm 的范围。随着基极串联电阻的增加，峰值 f_{max} 从 45GHz 降到了 42GHz。这可以表示成[49,50]

$$\frac{\partial f_{max}}{\partial R_b} = -\frac{f_{max}}{2R_b}$$

对于“非自对准”的晶体管，非本征基极注入和发射极之间的间隔是可以改变的。正如前面所讨论的，它对发射极 – 基极击穿电压 BV_{EBO} 和发射极 – 基极漏电流 IL_{EBO} 有很强的影响。在非自对准 SiGe HBT 里，非本征基极注入和硅化物随发射极多晶硅的宽度变化而变化。在我们的测试结构中，发射极多晶硅和发射极窗口之间的间隔也不是固定不变的。

在 NSA（非自对准）SiGe HBT 器件里，随着发射极多晶硅的宽度增加，连接电阻也会增大，而金属硅化物则会进一步远离发射极。在 ESD 事件期间，随着反向偏压的施加，发射极 – 基极耗尽区的宽度也会增加。由于发射极重掺杂，耗尽区会横向延伸通过 p 掺杂的 SiGe 连接电阻区。随着反向偏置的加强，耗尽区会延伸入 p^+ 掺杂 SiGe 非本征基极注入。因此，NSA SiGe HBT 器件的 ESD 鲁棒性将会受到基极 – 发射极间距非常大的影响。

对于穿过发射极 – 基极结的 HBM 负偏压，实验结果表明，随着发射极 – 基极间距地减小，发射极 – 基极结的 ESD 鲁棒性将会有所下降（见图 11-15）。对于 HBM ESD 加压，ESD 失效标准在 $I-V$ 特性中是变化的。失效同发射极 – 基极的漏电流 IL_{EBO} 的增大有关。

对于正 HBM 脉冲，ESD 结果会随着连接电阻增加而变差。图 11-16 展示了受非本征基极侵蚀影响的正向偏置的 HBM ESD 结果。当非本征基极 – 发射极的间距非常小时，漏电流的增大是显而易见的，这就影响到小电流增益参数。图 11-16 可以看出，随

着连接电阻增大，基极－发射极结的 ESD 鲁棒性在变差[49,50]。

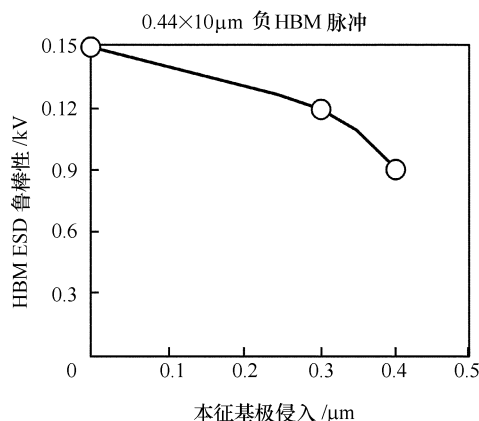


图 11-15 负 HBM 脉冲施加时受非本征基极注入侵蚀影响的 SiGe HBT 发射极－基极的 HBM ESD 鲁棒性

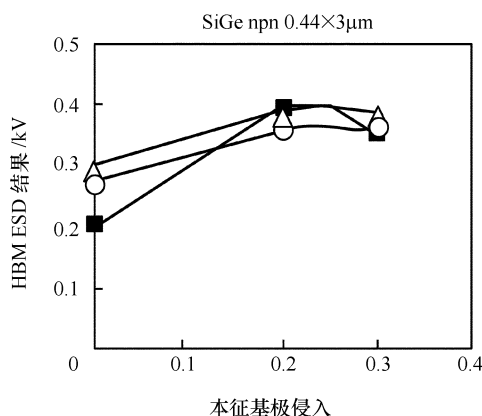


图 11-16 正向偏置时受非本征基极侵蚀影响的 NSA SiGe HBT 器件 HBM 测试结果

由 TLP 测试结果可以看出，失效点和失效机制同击穿电压上的电流明显增大有关。图 11-17 所示为发射极－基极反向偏压下的 NSA SiGe HBT 器件的 TLP 测试结果。随着 TLP 施加的电流脉冲增大，发射极－基极电压也增大。发射极－基极电流的增加也同漏电流的微小增加有关。在发射极－基极结击穿电压之前的某个电压值上，漏电流已经饱和。

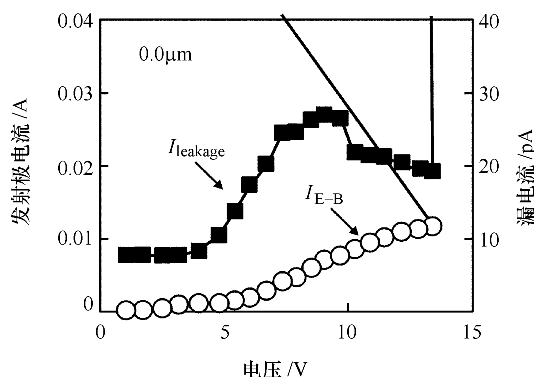


图 11-17 大的发射极扩散－非本征基极注入间距的 NSA SiGe HBT 发射极－基极 TLP 测试结果

在相同值条件下，发射极－基极结的反向偏置电流会突然增加，而漏电流也会发生明显跳变[50]。值得注意的是，在发射极－基极结电压增加到 4～5V 后，漏电流和发射极－基极电流才都会增加。这就超出了 SiGe HBT 器件的安全工作区。电压过了 10V 后，漏电流在漏电流的最后一次增加之前就饱和了。从图 11-9 的结果来看，当电压超

出了 SOA 电压之后，发射极－基极电流就会进入饱和状态，发射极－基极漏电流 IL_{EBO} 还会一直增加。漏电流会一直快速增大，直到雪崩击穿电压点。在图 11-18 中，非本征基极侵蚀增加了 0.3μm。在这种情况下，NSA SiGe HBT 器件的发射极－基极电流随 TLP 脉冲增加而增加。漏电流在 4V 之后继续增加，紧接着在 6V 又一次增加，IL_{EBO} 在发射极－基极电流雪崩点上急速增大。

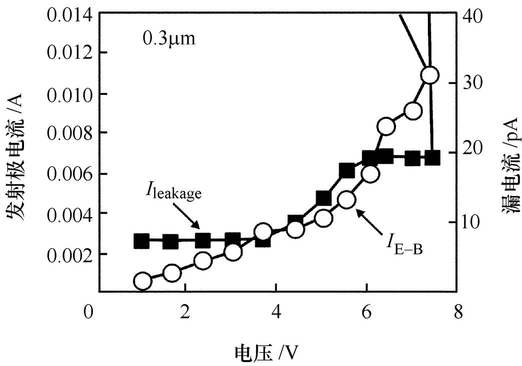


图 11-18　NSA SiGe HBT 的 TLP 测试

在 NSA SiGe HBT 里，随着发射极窗口边缘到非本征基极注入间隔减小，击穿电压也会降低。如图 11-19 所示为最小非本征基极注入－发射极窗口间隔的 NSA SiGe HBT 器件的 TLP 测试结果。

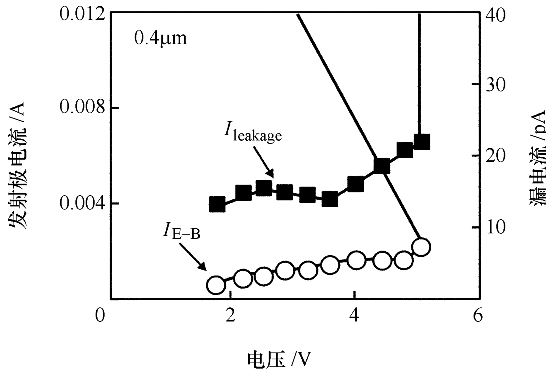


图 11-19　最小发射极－非本征基区间距的 NSA SiGe HBT 发射极－基极 TLP 测试结果

在图 11-19 中，在 0.4μm 侵蚀的情况下，失效电压会降低至 5.05V。在表 11-2 所示为发射极－基极侵蚀和相应的 TLP 失效电压，还有结构失效前的漏电流值。

表 11-2　最小发射极－非本征基极间距的 NSA SiGe HBT 发射极－基极 TLP 测试结果

发射极－基极侵入/μm	TLP leakage/pA	TLP 失效电压/V
0.00	19.3	13.487
0.20	12	10.453
0.30	19.83	7.41
0.40	18.0	5.046

如图 11-20 所示，TLP 失效电压随发射极－基极侵蚀而单调减小。

一种可用来解释发射极－基极失效的热模型应当包含一个平行六面体，它的边长分别为发射极长度、SiGe 外延厚度和从基极接触到发射极扩散的间隔。这个模型包含非

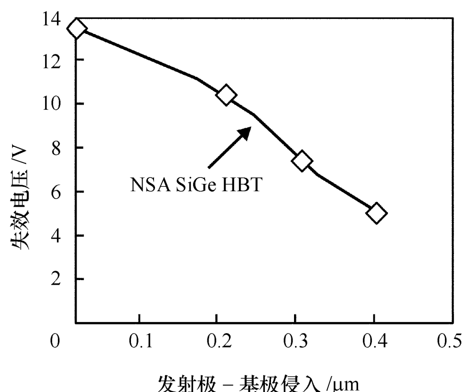


图 11-20　NSA SiGe HBT 器件里受发射极－基极侵蚀影响的 TLP 失效电压

晶多晶－SiGe 区，SiGe 单晶非本征基极区，低掺杂 SiGe p 区，发射极 n^+扩散和 SiGe 外延厚度。为了分析反向击穿，可以通过一个连接电阻长度适当的 $p^+/p^-/n^+$一维模型来理解反向电压现象。进而我们可以采用三个热扩散时间常数分别同 SiGe 外延厚度、发射极长度和小于基极接触－发射极扩散间隔的物理长度相关的三维 Dwyer 或一维 Wunsch－Bell 模型，来研究这个结构中的热物理。相反，一个结击穿模型就可以确定 $p^+/p^-/n^+$转换。

热传输线模型也能用于解释多晶硅锗膜里的边界条件和自热。多晶硅锗膜位于器件表面，并处于浅槽隔离区。同绝缘体上硅（SOI）模型相类似，多晶硅锗区里的自热可以用一个热节点来代表，这里的导纳表达式包含了到衬底区的热电容和热电阻。浅槽隔离的热电容和电阻将作为第一个导纳项。边界条件可以用基极接触和金属互联来代表。由这个模型便可得到级数解，还能预测峰值温度。

11.3　Si－Ge－C

硅锗合金薄膜是对异质结双极型晶体管器件先进硅工艺的集成[56－74]。为了实现更高的速度，新工艺应运而生，以突破硅锗 HBT 器件的等比例缩放技术的限制。SiGe npn HBT 器件的其中一个缩放限制就是 npn 型晶体管的基极宽度。为了减少传输时间，基区宽度需要按比例缩放，以提高单位电流增益截止频率 f_T。此外，基区掺杂浓度也需要提高以达到一个高的单位功率增益截止频率 f_{max}，只有这样，当基区宽度按比例缩小时，才能提供低的基区薄膜电阻。实现上述性能的一个限制就是基区中硼的使用。硼扩散将会限制锗硅 npn 型 HBT 器件基区的持续等比例缩放。结果是，Si－Ge－C 异质结双极型晶体管被引入，以解决这一问题，这使得 SiGe HBT 器件可以继续等比例缩放以达到更高的截止频率。

11.3.1　Si－Ge－C 器件物理

为了实现更高的速度，新工艺应运而生，以突破硅锗 HBT 器件的等比例缩放技术

的限制。为了让 SiGe HBT 器件达到更高的频率，基极区里加入了碳。HBT 器件等比例缩放技术的一个关键问题是为了实现更短的基极传输时间，晶体管基极宽度的尺寸要进行等比例缩放。伪外延基区 SiGe HBT 器件里的一个技术难点是要在后外延工艺，在硅锗合金薄膜里等比例缩放低生长硼浓度。在通过增加掺杂浓度来实现低薄膜电阻时将会遇到困难，因为与此同时，还要限制热处理和瞬态增强扩散（TED）过程中的硼扩散[56-74]。

伪 $Si_{1-x}Ge_x$ 膜被压入生长面，并将在生长方向上展开，这导致了硼原子非随机扩散。硼在平行于硅表面的方向上较易于扩散，而在膜生长方向上则扩散较慢。$Si_{1-x}Ge_x$ HBT 合金膜里的硼扩散可以用一个简单的扩散模型来描述，这个模型包含被改变的应变、B 和 Ge 之间的捕获效应、带隙变窄引起的漂移电场和空间相关的本征载流子浓度。结构中杂质的一般扩散方程为

$$\frac{\partial C_B}{\partial t} = -\nabla \cdot J_B$$

式中，C_B 是硼浓度；J_B 是硼杂质流量，可由下式得到

$$J_B = -D_B\varphi\left(\frac{\partial C_B}{\partial x} + \frac{C_B}{Q}\frac{\partial N_T}{\partial x} + \frac{2C_B}{Q}\frac{n\partial \ln n_i}{\partial x}\right)$$

$$Q = \sqrt{(N_T^2 + 4n_i^2)} = n + p$$

$$\varphi = \frac{1+\beta(p/n_i)}{1+\beta}$$

式中，n 和 p 分别是电子和空穴的浓度。因子 ϕ 中包含了有效扩散系数相关的 B 和 Ge 杂质浓度。此外，ϕ 的表达式包含了参数 β、N_T 和 n_i 分别是净掺杂和本征浓度。在硼杂质流量方程里，第一项就是通常的 Fickian 扩散项，第二项是由掺杂分布所引起的内建电场项，第三项则同 $Si_{1-x}Ge_x$ 带隙空间变化引起的内建电场相关项。影响 $Si_{1-x}Ge_x$ 体系的硼扩散的有不同的 Ge 分数，导致了隔离过程的硼密度梯度和电活性 B 百分比（大约是单硅膜的一半）。在硼聚合过程中，Ge 作为硼原子的陷阱，可以用 Ge-B 聚合中心来表示，B 原子将转变为电惰性的电荷态。



$$B^- + Ge \rightarrow GeB^-$$

硼扩散可表示为

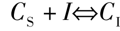
$$D_B = \varphi D_{BO}\exp(-E_A/kT)$$

当 Ge 含量较高时，由 Ge 所引起的应变将影响到硼扩散。由 Ge 和 B 的浓度引起的局部应变 S 则需通过活化能的修正来确定。

$$D_B = \varphi D_{BO}\exp(-E_A/kT)^*\exp(-fS/kT)$$

$$E_A = E_{A,mod} + fS$$

在 $Si_{1-x}Ge_x$ 膜里，在有碳的情况下，硼扩散将会发生明显改变。在碳浓度较高的区域里的碳扩散，会引起硅自填隙原子的局部欠饱和。C 富含区抑制了硼扩散过程。硅中的 C 扩散是替位-填隙原子机制的结果。硅自填隙原子 I 同固定的替位碳 C_S 起反应，形成了移动的填隙碳原子 C_I，可以以如下反应式表示：



$$C_S + I \Leftrightarrow C_I$$

硼扩散受到硅填隙原子 C_I 浓度和平衡浓度 C_{*I} 的影响。

$$D_B = \left(\frac{C_I}{C_{*I}}\right)\varphi D_{BO}\exp(-E_A/kT)$$

$$\varphi = \frac{1+\beta(p/n_i)}{1+\beta}$$

上述方程中的硼活化能受硼和碳的综合影响。$Si_{1-x-y}Ge_xC_y$ 体系中的活化能可以用 $E_A = 3.62 + 0.4xy$ 来表示。此处，x 和 y 分别是 Ge 和 C 原子的原子分数比[75]。由于 C 原子很小，所以它消除了 $Si_{1-x}Ge_x$ 膜里的应变。由关系式有

$$D_B = \varphi D_{BO}\exp\ (-E_A/kT)^* \exp\ (-fS/kT)$$

应变 S 可以表示为

$$S = |\ S_{Ge} - S_C\ |$$

$$S_{Ge} = \delta x$$

$$S_C = R\delta y$$

此处，δ 是 Si 和 Ge 的晶格失配，R 是应变补偿比，S_{Ge} 和 S_C 分别是 Ge 和 C 的应变。单位应变活化 f' 是应变和未应变材料扩散率的函数。

$$f' = -\frac{kT}{S}\ln\left(\frac{\hat{D}}{D}\right)$$

11.4 Si – Ge – C ESD 测试

11.4.1 SiGeC 集电极 – 发射极测试

碳加入到 SiGe HBT 器件基区，会同时影响到本征和非本征基区中硼的纵向和横向传输[75]。SiGe 基区中硼扩散的减少使得对于一个给定的基区掺杂浓度，可以有一个更窄的基区宽度。基区宽度和基区薄膜电阻的标准偏差就可以更低。前者提供了一个更高的单位电流增益截止频率 f_T，后者则提供了一个更高的单位功率增益截止频率 f_{max}。此外，硼扩散的减缓允许进行设计再优化以增加基极掺杂浓度。基区薄膜电阻的减小可以得到更高的 f_{max}。随着基区中碳的增加，硼掺杂浓度也可以得到提高，以提供更低的薄膜电阻。对于 ESD 鲁棒性，这有两大优点。更高的基区掺杂浓度会导致基区中本征温度 T_i 上升，可以改善 SiGe HBT 器件的热稳定性。此外，更高的硼浓度会减小基区中的电压，这使得在大电流和 ESD 事件期间，SiGe HBT 里的电流均匀性会得到改善。

在硅双极型晶体管中，统计性工艺变化会导致晶体管元件功率失效的改变。Pierce 和 Mason 假设功率失效概率服从正态分布，则其分布函数有如下形式

$$f_{P_f}(P_f) = \frac{1}{\sqrt{2\pi}S_p}\exp\left\{-1/2\left[\frac{P_f - \langle P_f \rangle}{S_p}\right]^2\right\}$$

式中，功率失效 P_f 是随机变量，且平均值为 $\langle P_f \rangle$，标准偏差为 S_p。标准偏差可以表示为

$$S_P = \left[\frac{1}{N-1}\sum_{i=1}^{N}\{P_{f_i} - <P_f>\}^2\right]^{1/2}$$

Pierce 和 Mason 指出，当 ESD 脉冲功率超过器件功率失效时，失效概率才会出现。这可以表示为累积分布函数。

$$Pr\{P_f > P_{f'}\} = \int_{P_{f'}}^{\infty} f_{P_f}(P_f, <P_C>/\alpha, <P_C>/\alpha\lambda)\,\mathrm{d}P_f$$

在 Pierce – Mason 模型中，假定失效敏感度中引起统计变化的参数是发射结深度。我们的研究结果表明，功率失效变化同样受基极宽度、掺杂分布、薄膜电阻和伪 $Si_{1-x}Ge_x$ 膜厚度的影响。当没有碳时，基极宽度变化取决于硼扩散及注入统计性的变化。基极宽度的变化将影响到集电极 – 发射极击穿电压和基极薄膜电阻。

图 11-21 所示为一个 0.44×3.2μm SiGe 和 SiGeC HBT 45GHz npn 结构的典型共发射极 TLP $I-V$ 测试结果对比图[75]。在该测试中，脉冲电流施加到集电极，发射极接地，基极悬浮。随着集电区电压上升，雪崩倍增出现。研究结果显示，电流传导在集电极 – 发射极击穿电压 BV_{CEO} 上很明显。过了击穿电压之后，低电流状态的转折就不明显。紧随在大电压/大电流状态之后的是一个负阻过渡状态，最终，漏电流和器件失效增加。

图 11-22 和图 11-23 所示为 SiGeC 和 SiGe HBT 器件失效电压的对比图。从结果中我们可以清楚地看到，在所有的实验分段中，SiGeC ESD 分布明显更紧凑。参数显示，当碳掺入 SiGe npn HBT 器件基极时，基极电阻会控制得更好，就如同增大 Schuppen 因子会改善对硼 TED 的控制一样。从基极闩锁电阻监控到的 d. c. 电气分布中可以很清楚地看出这一点。如同所预计到的，由于基极电阻分布得到了改善，SiGeC HBT 的 ESD 控制就也得到了改善。

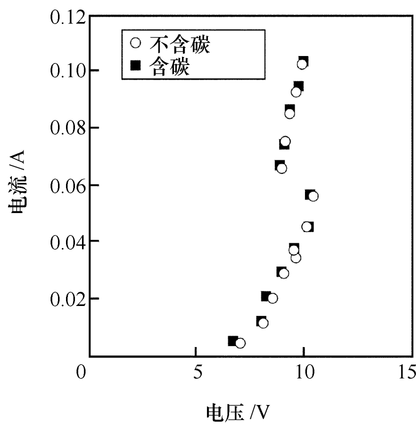


图 11-21　SiGe 和 SiGeC 的 HBT TLP 特性（共发射极结构）对比图

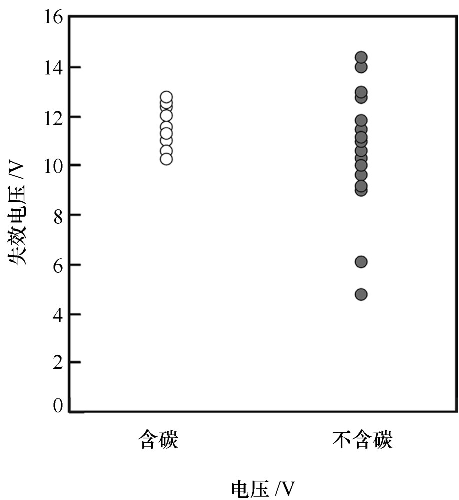


图 11-22　含碳和不含碳的 SiGe HBT 的失效电压对比

图 11-24 所示为基区中含碳和不含碳的 $Si_{1-x}Ge_x$ 的失效电流对比直方图[75]。如图中

所示，有碳的器件明显更易控制，标准偏差也得到了改善。

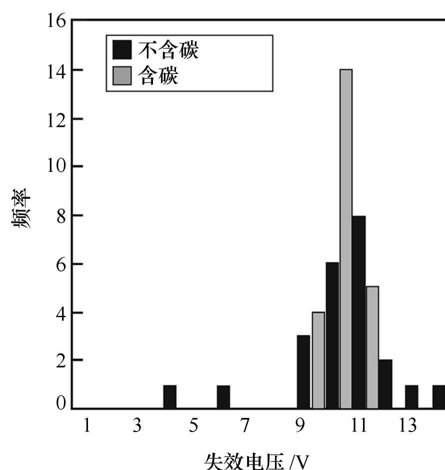


图 11-23　含碳和不含碳的 SiGe HBT 的失效电压对比直方图

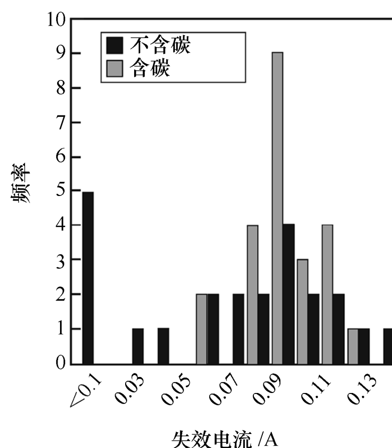


图 11-24　含碳和不含碳的 SiGe HBT 的失效电流对比直方图

实验结果表明，功率失效服从正态分布。

在共发射极结构下，$Si_{1-x}Ge_x$ 和 $Si_{1-x-y}Ge_xC_y$ HBT 器件的测试结果受发射极宽度的影响。

图 11-25 和图 11-26 所示分别为受发射极宽度影响的 TLP 失效电流和失效功率。

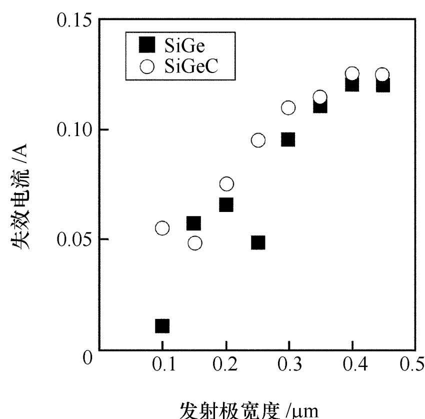


图 11-25　受发射极宽度影响的 SiGe 和 SiGeC HBT TLP 失效电流

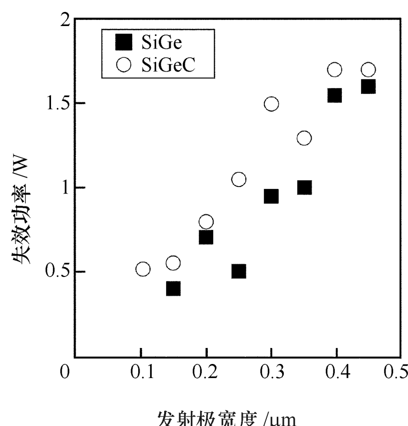


图 11-26　受发射极宽度影响的 SiGe 和 SiGeC HBT TLP 失效功率

研究结果显示，对于 $Si_{1-x}Ge_x$ 和 $Si_{1-x-y}Ge_xC_y$ HBT 器件，ESD 结果随发射极宽度线性增大。在发射器宽度为 0.35～0.45μm 时，TLP 功率失效和失效电流开始饱和。

11.4.2　SiGeC 器件退化

在 ESD 加压期间，当晶体管在超出安全操作区（SOA）被驱动时，可以明显观察

到器件的逐渐退化现象。从发射极 – 基极操作模式 TLP 测试结果中也可以清楚地看到这一点。晶体管“失效”取决于失效标准。在 RF 器件里，失效条件同 RF 功能规格失效或晶体管漏电有关。

在 $Si_{1-x-y}Ge_xC_y$ 器件退化的 ESD 鲁棒性评估中，可以调节 ESD 脉冲幅度大小，来观察电气参数的变化。电气参数分析应当包含受正负 ESD 脉冲影响的 S – 参数，$f_T - I_C$，$f_{max} - I_C$，β 退化，Gummel 图和 d. c 参数变化。

在 SiGeC HBT 器件退化评估中，SiGeC HBT 器件被放置在 RF 散射参数结构中（如针对 RF 特性的外置测试结构 S – 参数焊盘）。确定退化的测试方法学中需要包含前后 HBM 晶圆级加压 RF 特性的内容。

对于共射极模式，在 RF 特性之后把正 HBM 脉冲施加到 SiGe HBT 上。研究结果显示，直到器件失效之前，直流 $I-V$ 特性都没有发生明显变化。f_{max}、f_T 的 RF 估值，最小退化效应都出现在器件失效之前。在 ESD 后的测试中，散射参数同样没有明显的退化。结果显示，直到器件完全失效之前，器件结构中都没有出现明显的直流变化或 RF 退化。在失效点上，f_T 和 f_{max} 的特性表现出了明显退化，而在大电流上只能观察到一个微弱的峰值。在失效点峰值出现之前，$f_T - I_C$ 和 $f_{max} - I_C$ 在小电流区里就已经发生了明显的退化。

在发射极 – 基极结构中，直流与射频（RF）的退化在失效点出现之前就已经很明显了，不管是在正向还是反向脉冲研究中，这两者之间的关系都很清楚（见图 11-27，表 11-3 和表 11-4）。在 ESD 测试期间，正偏电流 – 电压特性发生了逐渐退化。通过绘出单位电流增益截止频率 f_T 对集电极电流 I_C 的实验结果图，就可以确定器件特性的变化。$f_T - I_C$ 图显示，随着 $I-V$ 特性中发生直流变化，峰值电流增益截止频率降低。$f_T - I_C$ 图展示了三个效应。首先，对于峰值 f_T 之下的电流而言，电流增益截止频率随 df_T/dI_C 斜率变大而降低。其次，峰值 f_T 降低。第三，峰值 f_T 之下的 f_T 是 df_T/dI_C 项收敛的弱变化。

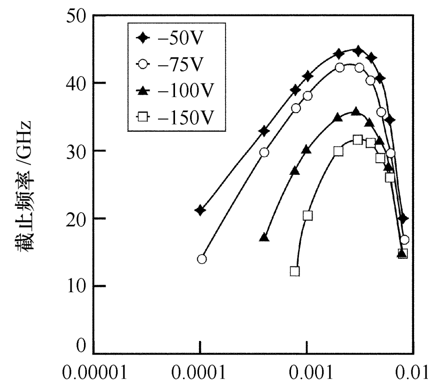


图 11-27　对于 SiGeC HBT 发射极 – 基极的不同脉冲幅度，受负 HBM 脉冲影响的单位电流增益截止频率 – 集电极电流图

表 11-3　受负 HBM 加压影响的 RF 和直流参数退化

HBM 脉冲/V	正偏电压/V	峰值截止频率/GHz
–50	0. 72	46. 49
–75	0. 42	42. 59
–100	0. 38	34. 78
–150	0. 05	32. 47

表 11-4　受正 HBM 加压影响的 RF 和直流参数退化

HBM 脉冲/V	正偏电压/V	峰值截止频率/GHz
+50	0.78	46
+100	0.78	44
+200	0.78	44
+240	0.30	36
+250	0.18	31

正负 HBM 脉冲都已验证了 RF $f_T - I_C$ 和 $f_{max} - I_C$ 退化和直流 $I - V$ 正向特性变化。从 Gummel 图可以看出，随着直流退化加强，基极电流上升，且基极理想因子（斜率）将下降。当直流退化时，集电极电流没有发生明显的变化。从 Gummel 图可以看出，直流电流增益 β 随着 ESD 加压上升而下降。由此研究，我们可以得到一些关于直流变化、退化机理、RF 参数退化和最终 HBM 失效条件的关系的重要结论。

单位电流增益截止频率 f_T 反比于发射极 – 集电极传输时间 τ_{EC}，即

$$\frac{1}{2\pi f_T} = \tau_{EC} = \tau_E + \tau_B + \tau_{CSL} + \tau_C$$

式中

$$\tau_E = \frac{C_{eb} + C_{bc}}{g_m}$$

$$\tau_B = \frac{W_B^2}{KD_B}$$

$$\tau_{CSL} = r_C(C_c - sx + C_{bc})$$

$$\tau_C = \frac{x_C}{v_{sat}L}$$

由表达式，我们求出单位增益截止频率。以集电极电流为自变量，对截止频率方程求微分，有

$$\frac{1}{2\pi f_T} = \tau_{EC} = \tau_E + \tau_B + \tau_{CSL} + \tau_C$$

$$\frac{\partial}{\partial I_C}\left(\frac{1}{2\pi f_T}\right) = -\frac{1}{2\pi f_T^2}\frac{\partial f_T}{\partial I_C} = \frac{\partial}{\partial I_C}(\tau_{EC})$$

由表达式看出，只有发射极传输时间跨导项是集电极电流的函数，因此，可以表示为

$$\frac{\partial}{\partial I_C}\left(\frac{1}{2\pi f_T}\right) = -\frac{1}{2\pi f_T^2}\frac{\partial f_T}{\partial I_C} = \frac{\partial}{\partial I_C}(\tau_E) = \frac{\partial}{\partial I_C}\left(\frac{C_{eb} + C_{bc}}{g_m}\right)$$

式中，由退化引起的斜率变化可以表示为

$$\frac{\partial f_T}{\partial I_C} = -2\pi f_T^2 \frac{\partial}{\partial I_C}\left(\frac{C_{eb} + C_{bc}}{g_m}\right)$$

由这个关系式，就可以用 ESD 电流来估算跨导项的变化量。

SiGe HBT 器件和 ESD 的未来会如何？当撰写这篇文章时，SiGe 工艺和 ESD 现象里

的新发现仍在不断涌现。更快的晶体管和更新的结构也仍在不断地被开发，这也使得新的 ESD 问题不断出现。

在第 12 章中，我们要确定器件发展的新方向，其中可能包括 SiGe 膜的引入。下一章将讨论 FinFET 和应变材料，并预测它们在 ESD 领域里将产生的影响。

习　题

11.1 为了保护 MOSFET 栅氧化层接收电路网络，推导出所需的基极开路共发射极结构硅锗晶体管的击穿触发条件。对于栅氧化层击穿电压 V_{ox}，单位电流增益截止频率条件是什么？

11.2 用基极接地电阻推导共发射极结构硅 - 锗晶体管的触发条件。

11.3 为了保护第二只高击穿 BV_{CEO} 和低频单位电流增益截止频率的 SiGe HBT 晶体管，用基极接地电阻推导出高频单位电流增益共发射极结构 SiGe HBT 晶体管的触发条件。

11.4 对照 Wunsch - Bell 功率失效比，用 Johnson 极限最高功率推导出晶体管在绝热机制下的无因次群。

11.5 对照 Wunsch - Bell 功率失效比，用 Johnson 极限最高功率推导出晶体管在热扩散机制下的无因次群。

11.6 对照 Wunsch - Bell 功率失效比，用 Johnson 极限最高功率推导出晶体管在稳态下的无因次群。

11.7 对照 Wunsch - Bell 功率失效比，用 Johnson 极限最高功率推导出晶体管在施加脉冲宽度频率等于单位电流增益截止频率状态下的无因次群。

11.8 假设 SiGeC 和 SiGe HBT 器件单位电流增益截止频率值分别为 f_{*T} 和 f_T，推导出击穿条件比。

11.9 假设 SiGeC 和 SiGe HBT 器件单位电流增益截止频率值分别为 f_{*T} 和 f_T，推导出受 Johnson 极限关系影响的击穿条件比。

11.10 假定需要一个电源钳位触发器件，大于电源供应 V_{DD}，但小于高频 SiGe HBT 器件 BV_{CEO}，推导出触发条件不等式。

参 考 文 献

1. R. L. Pritchard. Frequency response of grounded base and grounded emitter junction transistor. *Proceedings of the AIEEE Winter Meeting*, January 1954.
2. J. M. Early. Structure determined gain–band product of junction triode transistors. *Proceedings of the IRE*, December 1958.
3. J. M. Early. Maximum rapidly switchable power density in junction triodes. *IEEE Transactions on Electron Devices* 1959; **ED-6**: 322.
4. J. M. Early. Speed in semiconductor devices. *Proceedings of the IRE National Convention*, March 1962.
5. C. T. Kirk. A theory of transistor cutoff frequency (f_t) falloff at high current densities. *IEEE Transactions on Electron Devices* 1962; **ED-9**: 164–174.
6. E. O. Johnson. Physical limitations on frequency and power parameters of transistors. *RCA Review* June 1965; 163–177.

7. J. M. Goldey and R. M. Ryder. Are transistors approaching their maximum capabilities. *Proceedings of the International Solid State Circuits Conference (ISSCC)*, 1963; 20.
8. H. Kroemer. Two integral relations pertaining to the electron transport through a bipolar transistor with a nonuniform energy gap in the base region. Solid State Electronics 1985; **28**, 1101–1103.
9. H. Kroemer. Heterostructure bipolar transistors and integrated circuits. *Proceedings of the IEEE* 1982; **70**(1): 13–25.
10. U. Konig. SiGe and GaAs as competitive technologies for RF-applications. *Proceedings of the Bipolar Circuits and Technology Meeting (BCTM)*, Minneapolis, 1998; 87–92.
11. R. Singh, D. Harame and M. Oprysko. *Silicon Germanium: Technology, Modeling and Design*. Wiley, 2004.
12. D. Harame, J. Comfort, J. Cressler, E. Crabbe, J. Y.-C Sun and B. Meyerson. Si/SiGe epitaxial-base transistors—Part I: materials, physics, and circuits. *IEEE Transactions on Electron Devices*, 1995; **42**(3): 455–468.
13. D. Harame, J. Comfort, J. Cressler, E. Crabbe, J. Y.-C. Sun and B. Meyerson. Si/SiGe epitaxial-base transistors—Part II: process integration and analog applications. *IEEE Transaction on Electron Devices*, 1995; **42**(3): 469–482.
14. D. L. Harame, J. M. Stork, B. S. Meyerson, N. Nguyen and G. J. Scilla. Epitaxial-base transistors with ultra-high vacuum chemical vapor deposition (UHV-CVD) epitaxial/enhanced profile control for greater flexibility in device design. IEEE Electron Device Letters, 1989; **10**(4): 156–158.
15. G. L. Patton, S. S. Iyer, S. L. Delage, S. Tiwari and J. M. C. Stork. Silicon germanium base heterojunction bipolar transistors by molecular beam epitaxy. *IEEE Electron Device Letters* 1988; **9**(4): 165–167.
16. D. L. Harame, J. M. C. Stork, B. S. Meyerson, K. Y. Hsu, J. Cotte, K. A. Jenkins, J. D. Cressler, P. Restle, E. F. Crabbe, S. Subbanna, T. Tice, B. W. Scharf and J. A. Yasaitis. Optimization of SiGe HBT technology for high speed analog and mixed signal applications. *International Electron Device Meeting (IEDM) Technical Digest*, 1993; 874–876.
17. D. L. Harame, E. F. Crabbe, J. D. Cressler, J. H. Comfort, J. Y. C. Sun, S. R. Stiffler, E. Kobeda, J. N. Burghartz, M. M. Gilbert, J. A. Malinowsky and A. J. Dally. A high performance epitaxial SiGe-base ECL BiCMOS technology. *International Electron Device Meeting (IEDM) Technical Digest*, 1992; 19–22.
18. J. N. Burghartz, B. J. Ginsberg, S. R. Mader, T. C. Chen and D. L. Harame. Selective epitaxy base transistor (SEBT). *IEEE Electron Device Letters*, 1998; **9**(5): 259–261.
19. J. N. Burghartz, J. H. Comfort, G. L. Patton, B. S. Meyerson, J. Y-C. Sun, J. M. C. Stork, S. R. Mader, C. L. Stanis, G. J. Scilla and B. J. Ginsberg. Self-aligned SiGe-base heterojunction bipolar transistor by selective epitaxy emitter window (SEEW) technology. *IEEE Electron Device Letters* 1990; **11**(7): 288–290.
20. A. Gruhle. Prospects for 200 GHz on silicon with silicon germanium heterojunction bipolar transistors. *Proceedings of the Bipolar Circuit Technology Meeting (BCTM)*, 2001.
21. L. C. M. van der Over *et al*. Design of a 200 GHz SiGe HBT. *Proceedings of the Bipolar Circuit Technology Meeting (BCTM)*, 2001.
22. J. Kirchgessner et al. A 0.18 μm SiGe:C RF BiCMOS technology for wireless and gigabit optical communication applications. *Proceedings of the Bipolar Circuit Technology Meeting (BCTM)*, 2001.
23. A. Joseph. A 0.18 μm BiCMOS technology featuring a 120/100 GHz (f_T/f_{MAX}) HBT and ASIC compatible CMOS using copper interconnects. *Proceedings of the Bipolar Circuit Technology Meeting (BCTM)*, 2001.
24. E. J. Prinz, P. M. Garone, P. V. Schwartz, X. Xiao and J. C. Sturm. The effects of base dopant out-diffusion and undoped SiGe junction space layers in Si/SiGe/Si heterojunction bipolar transistors. *Transactions on Electronic Devices Letters* 1991; **12**: 42–44.

25. E. J. Prinz and J. C. Sturm. Analytical modeling of current gain-Early voltage products in $Si/Si_{(1-x)}-Ge_{(x)}$ heterojunction bipolar transistors. *International Electron Device Meeting (IEDM) Technical Digest*, 1991; 853–856.
26. E. F. Crabbe, J. D. Cressler, G. L. Patton, J. M. C. Stork, J. H. Comfort and J. Y. C. Sun. Current gain rolloff in graded-base SiGe heterojunction bipolar transistors. *IEEE Electron Device Letters* 1993; **14**(4): 193–195.
27. E. F. Crabbe, J. M. C. Stork, G. Baccarani, M. V. Fischetti and S. E. Laux. The impact of nonequilibrium transport on breakdown and transit time in bipolar transistors. *International Electron Device Meeting (IEDM) Technical Digest*, 1990; 463–466.
28. E. Zanoni, E. F. Crabbe, J. M. Stork, P. Pavan, G. Verzellesi, L. Vendrame and C. Canali. Extension of impact ionization multiplication coefficient measurements to high electric fields in advanced Si BJTs. *IEEE Electron Device Letters* 1993; **14**(2): 69–71.
29. J. W. Slotboom, G. Streutker, A. Pruijmboom and D. J. Gravesteijn. Parasitic energy barriers in SiGe HBTs. *IEEE Electron Device Letters* 1991; **12**(9): 486–488.
30. S. Tiwari. A new effect at high currents in hetero-structure bipolar transistors. *IEEE Electron Device Letters*, 1989; **10**: 2105.
31. J. H. Comfort, E. F. Crabbe, G. L. Patton, J. M. C. Stork, J. Y. C. Sun and B. S. Meyerson. Impact ionization reduction in SiGe HBTs. *Proceedings of the Device Research Conference (DRC)*, 1990; 21–24.
32. D. C. Wunsch and R. R. Bell. Determination of threshold voltage levels of semiconductor diodes and transistors due to pulsed voltages. *IEEE Transactions on Nuclear Science* 1968; **NS-15**(6): 244–259.
33. D. M. Tasca. Pulse power failure modes in semiconductors. *IEEE Transactions on Nuclear Science* 1970; **NS-17**(6): 346–372.
34. W. D. Brown. Semiconductor device degradation by high amplitude current pulses. *IEEE Transactions on Nuclear Science*, 1972; **NS-19**.
35. J. Whalen. The RF pulse susceptibility of UHF transistors. *IEEE Transactions on Electromagnetic Compatibility*, 1975; **EMC-17**:220–225.
36. J. Whalen and H. Domingos. Square pulse and RF pulse overstressing of UHF transistors. *Proceedings of the EOS/ESD Symposium*, 1979; 140–146.
37. D. Alexander, E. W. Enlow and R. J. Karakiewicz. Statistical variations in failure thresholds of silicon *npn* transistors subjected to electrical overstress. *IEEE Transactions on Nuclear Science*, 1980; **NS-27** (6).
38. P. L. Hower. High field phenomena and failure mechanisms in bipolar transistors. *Proceedings of the EOS/ESD Symposium*, 1980; 112–116.
39. H. Domingos. Basic considerations in electrothermal overstress in electronic components. *Proceedings of the EOS/ESD Symposium*, 1980; 206–212.
40. D. R. Alexander and E. W. Enlow. Predicting lower bounds on failure power distributions of silicon *npn* transistors. *IEEE Transactions on Nuclear Science* 1981; **NS-28** (6).
41. E. N. Enlow. Determining an emitter–base failure threshold density of *npn* transistors. *Proceedings of the EOS/ESD Symposium*, 1981; 145–150.
42. D. Pierce and R. Mason. A probabilistic estimator for bounding transistor emitter–base junction transient-induced failures. *Proceedings of the EOS/ESD Symposium*, 1982; 82–90.
43. A. L. Ward. Calculations of second breakdown in silicon diodes at microwave frequencies. *Proceedings of the EOS/ESD Symposium*, 1983; 102–107.
44. M. M. S. Hassan and H. Domingos. The double graded transistor and its beneficial effect on resistance to current mode second breakdown. *Proceedings of the EOS/ESD Symposium*, 1989; 127–135.
45. S. Voldman. The state of the art of electrostatic discharge protection: physics, technology, circuits, designs, simulation and scaling. *Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 27–29 September 1998; 19–31.

46. S. Voldman, P. Juliano, R. Johnson, N. Schmidt, A. Joseph, S. Furkay, E. Rosenbaum, J. Dunn, D. L. Harame and B. Meyerson. Electrostatic discharge and high current pulse characterization of epitaxial base silicon germanium heterojunction bipolar transistors. *Proceedings of the International Reliability Physics Symposium (IRPS)*, March 2000, 310–316.
47. S. Voldman, N. Schmidt, R. Johnson., L. Lanzerotti, A. Joseph, C. Brennan, J. Dunn, D. Harame, P. Juliano, E. Rosenbaum and B. Meyerson. Electrostatic discharge characterization of epitaxial base silicon germanium heterojunction bipolar transistors. *Proceedings of the EOS/ESD Symposium*, 2000; 239-251.
48. S. Voldman et al. ESD robustness of a silicon germanium BiCMOS technology. *Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, September 2000.
49. S. Voldman, L. D. Lanzerotti and R. Johnson. Emitter base junction ESD reliability of an epitaxial base silicon germanium heterojunction transistor. *Proceedings of International Physical and Failure Analysis (IPFA) of Integrated Circuits*, July 2001; 79–84.
50. S. Voldman, L. D. Lanzerotti and R. A. Johnson. Influence of process and device design on ESD sensitivity of a silicon germanium heterojunction bipolar transistor. *Proceedings of the EOS/ESD Symposium*, 2001; 364–372.
51. S. Voldman, A. Botula, D. Hui and P. Juliano. Silicon germanium heterojunction bipolar transistor ESD power clamps and the johnson limit. *Proceedings of the EOS/ESD Symposium*, 2001; 326–336.
52. S. Voldman. Variable trigger-voltage ESD power clamps for mixed voltage applications using a 120 GHz/100 GHz (f_T/f_{MAX}) silicon germanium heterojunction bipolar transistor with carbon Incorporation. *Proceedings of the EOS/ESD Symposium*, 2002; 52–61.
53. S. Voldman, B. Ronan, S. Ames, A. Van Laecke, J. Rascoe, L. Lanzerotti, and D. Sheridan. Test methods, test techniques and failure criteria for evaluation of ESD degradation of analog and radio frequency (RF) technology. *Proceedings of the EOS/ESD Symposium*, 2002; 92–100.
54. S. Voldman, S. Strang and D. Jordan. A design system for auto-generation of ESD circuits, *International Cadence Users Group (ICUG)*, September 2002.
55. S. Voldman, S. Strang and D. Jordan. An automated electrostatic discharge computer-aided design system with the incorporation of hierarchical parameterized cells in BiCMOS analog and RF technology for mixed signal applications. *Proceedings of the EOS/ESD Symposium*, 2002; 296–305.
56. L.Lanzerotti. Suppression of boron out-diffusion in silicon germanium HBT by carbon incorporation. *International Electron Device Meeting (IEDM) Technical Digest*, 1996; 249–252.
57. N. E. B. Cowern, P. C. Zalm, P. V. D. Sluis, D. J. Graresteijn and W. B. D. Groer. Diffusion in strained SiGe. *Physical Review Letters* 1994; **72**: 2585–2588.
58. J. M. Poate, D. J. Eaglesham, G. H. Gilmer, H. J. Gossmann, M. Jaraiz, C. S. Rafferty and P. A. Stolk. Ion implantation and transient enhanced diffusion. *International Electron Device Meeting (IEDM) Technical Digest*, 1995; 77–80.
59. R. F. Lever, J. M. Bonar and A. F. W. Willoughby. Boron diffusion across silicon–silicon germanium boundaries. *Journal of Applied Physics* **83**: 1999; 1998–1994.
60. K. Rajendran, W. Schoenmaker, S. Decoutere, M. Caymax, R. Loo and W. Vandervorst. Measurement and simulation of boron diffusion in strained $Si_{1-x}Ge_x$ epitaxial layers. *IEEE Transactions on Electron Devices*.
61. K. Rajendran, D. Villaneuva, P. Moens and W. Schoenmaker. Modeling of clustering reaction and diffusion of boron in strained $Si_{1-x}Ge_x$ epitaxial layers. *Applied Physics Letters*, to be published.
62. K. Rajendran and W. Schoenmaker. Studies of boron diffusivity in strained $Si_{1-x}Ge_x$ epitaxial layers. *Journal of Applied Physics* 2001; **89**(2): 980–987.

63. K. Eberl, S. S. Iyer, S. Zalner, J. E. T sand and F. K. Lehover. Growth and strain compensation effects in the ternary $Si_{1-x-y}Ge_xC_y$ alloy system. *Applied Physics Letters* 1992; **60**: 3033–3305.
64. S. Nishikawa, A. Takeda and T. Yamaji. Reduction of transient boron diffusion in preamorphized Si by carbon incorporation. *Applied Physics Letters* 1992; **60**: 2270–2272.
65. P. A. Stolk, D. J. Eaglesham, H.-J. Gossmann and J. M. Poate. Carbon incorporation in silicon for suppressing interstitial-enhanced boron diffusion. *Applied Physics Letters* 1995; **66**, (11): 1370–1372.
66. L. Lanzerotti, J. Sturm, E. Stach, R. Hull, T. Buyuklimanli and C. Magee. Suppression of boron out-diffusion in silicon germanium HBT by carbon incorporation. *International Electron Device Meeting (IEDM) Technical Digest*, 1996; 249–252.
67. H. J. Osten, G. Lippert, G. Knoll, R. Barth, B. Heinemann, H. Rucker and P. Schley. The effect of carbon incorporation on SiGe heterojunction bipolar transistor performance and process margin. *International Electron Device Meeting (IEDM) Technical Digest*, 1997; 803–806.
68. R. Scholtz, U. Gosele, J. Y. Huh and T. Y. Tan. Carbon-induced under saturation of silicon self-interstitials. *Applied Physics Letters* 1998; **72**: 200–202.
69. H. Rucker, B. Heinemann, W. Ropke, R. Kurps, D. Kruger, G. Lippert and H. J. Osten. Suppressed diffusion of boron and carbon in carbon-rich silicon. *Applied Physics Letters* 1998; **73**: 1682–1684.
70. R. Scholz, P. Werner, U. Gosele and T. Y. Tan. The contribution of vacancies to carbon out-diffusion in silicon. *Applied Physics Letters*, 1999; **74**: 392–394.
71. H. Rucker, B. Heinemann, D. Bolze, R. Kurps, D. Kruger, G. Lippert and H. J. Osten. The impact of supersaturated carbon on transient enhanced diffusion. *Applied Physics Letters*, 1999; **74**: 3377–3379.
72. H. Kurata, K. Suzuki, T. Futasugi and N. Yokoyama. Shallow p-type SiGeC layers synthesized by ion implantation of Ge, C, and B in Si. *Applied Physics Letters* 1999; **75**: 1568–1570.
73. H. Rucker and B. Heinemann. Tailoring dopant diffusion for advanced SiGe:C heterojunction bipolar transistor. *Solid State Electronics* 2000; **44**: 783–789.
74. K. Rajendran and W. Schoenmaker. Modeling of complete suppression of boron out-diffusion in $Si_{1-x}Ge_x$ by carbon incorporation. *Solid State Electronics*, 2001; **45**: 229–233.
75. B. Ronan, S. Voldman, L. Lanzerotti, J. Rascoe, D. Sheridan and K. Rajendran. High current transmission line pulse (TLP) and ESD characterization of a silicon germanium heterojunction bipolar transistor with carbon incorporation. *Proceedings of the International Reliability Physics Symposium (IRPS)*, Dallas, April 2002; 175–183.

第 12 章　微结构与 ESD

在双极型工艺中，主要器件已经从硅双极结型晶体管改变为硅异质结双极型晶体管，并且目前正在朝硅锗碳 HBT 器件改变。在 CMOS 工艺中，平面 MOSFET 工艺在封装和 SOI 技术中占据主导。在通过解决双栅 SOI 和超薄薄膜 SOI（UT－SOI）工艺来延长 MOSFET 晶体管技术生命周期上人们还存在有持久的兴趣。在磁存储产业中，由于隧道磁阻效应（TMR），人们对其未来仍有兴趣，薄膜巨磁阻（GMR）是主要的策略。

对未来器件的浓厚兴趣已经激发了物理学家、化学家、工程师的想象力。随着结构比例缩小到纳米尺寸，对于纳米结构和量子效应级器件的兴趣仍将继续。纳米结构成为工程师半导体器件的小型化的预测障碍而引起关注。

在本章中，我们将首先从二维 MOSFET 器件到三维 MOSFET 器件的趋势方面来讨论 MOSFET[1－10]。我们将讨论窄硅栅，当今的主要关注是 FinFET 器件[6,8,9]。其次，一个称为应变硅 MOSFET 结构场效应管新的方向产生。应变硅技术使用新材料来修改硅晶格[11－27]。最后，我们将讨论纳米管[28－44]。一个基本出发点从传统加工的半导体器件产生。纳米线、纳米管、纳米带研究和发展在理解材料性能和未来器件方面继续取得进步。这些设备 ESD 敏感度将如何？我们如何保护器件免受静电呢？我们怎么从这些将来新的器件中设计 ESD 器件？让我们拭目以待。

12.1　FinFET（鳍式晶体管）

随着 MOSFET 器件尺寸持续缩小到亚十微米时代，半导体工程师一直在 MOSFET 方面追求新的方向[1－6]。为了同时实现高密度、高性能，MOSFET 的设计变革必须由二维转向三维，其中一个必然的演变路线是由二维体 CMOS 平面 MOSFET 器件到 2D 单栅（SG）SOI MOSFET，再到 2D 双栅（DG）SOI MOSFET 器件。双栅 SOI MOSFET 旨在对于一个给定的面积提供一种产生更大电流的器件。DG－SOI MOSFET 存在工艺成本和第二个栅的对准问题。由于 DG－SOI MOSFET 结构的改进，研究方向又向“包围”栅和“交叠”栅发展[1－5]。1986 年 Takahashi 等人[1]提出了包围栅晶体管（SGT）器件，由此获得更小尺寸的晶体管结构。D. Hisamoto 等人[2,3,5]提出了全耗尽倾斜－沟道晶体管器件，这是一种新型的纵向超薄 SOI MOSFET 结构。这种改进已经发展到带有交叠栅的柱状硅器件。Tang 等人[8]发展了一种准平面、双栅器件，即 FinFET。包围栅、交叠栅和非平面双栅这些概念都是用在实现带有较小宽度柱状硅栅的非平面 MOSFET 不同的策略，从而使 MOSFET 结构实现三维发展。图 12-1 是一个 n 沟道 MOSFET FinFET 结构示例。

在 FinFET 结构中，关键的设计参数是 Fin 高 H，Fin 厚度 T_{si} 和有效沟道长度 L_{eff}，

以及平行的 Fin 片数 N_{Fin}。分析 FinFET 结构，设有效沟道长度为

$$L_{\text{eff}} = L_{\text{poly}} - \Delta L$$

对于双－栅 FinFET 器件而言，融合厚度为

$$T_{\text{Si}} \cong -2\frac{\varepsilon_{\text{Si}}}{\varepsilon_{\text{ox}}}T_{\text{ox}}$$

定义有效厚度为

$$T_{\text{eff}} = T_{\text{Si}} + 2\frac{\varepsilon_{\text{Si}}}{\varepsilon_{\text{ox}}}T_{\text{ox}}$$

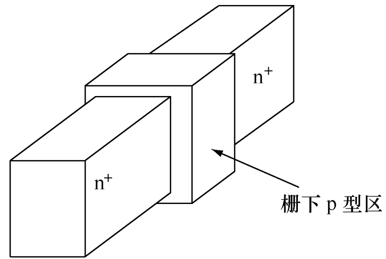


图 12-1　n 沟道 Fin－FET

已被 Suzuki 证明的更精确的解[10]是

$$T_{\text{eff}} = \sqrt{T_{\text{Si}}^2 + 4\frac{\varepsilon_{\text{Si}}}{\varepsilon_{\text{ox}}}T_{\text{ox}}T_{\text{Si}}}$$

FinFET 的结构中传到区域周围的绝缘材料构成环绕的平行边，边界条件构成热沉。为了量化分析无限绝缘介质中的平行六面体，假设 FinFET 源在 x 轴方向的尺寸是其宽度为 $W = T_{\text{eff}}$，在 y 轴方向为其长度是 L_{eff}，z 轴方向是其高度 H，将一平行六面体置于边条件 $z = 0$ 下，距离为 D，并且在 $z = 0$ 上的 $z = D$ 平面有一个大小相等、方向相反的镜像源，则

$$T(x,y,z;t) = \frac{1}{8\rho cV(\kappa)3/2}\int_{t'=0}^{t'=t}\frac{P(t')\,\mathrm{d}t'}{[(t-t')]^{3/2}}F(x-x',y-y',z-z',t-t')$$

$$F(x-x',y-y',z-z',t-t') = F_x(x-x':t-t')F_y(y-y';t-t')F_z(z-z';t-t')$$

式中

$$F_x(x-x',t-t') = \int_{-W/2}^{W/2}\exp\left\{-\frac{(x-x')2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}x'}{\sqrt{\pi}}$$

$$F_y(y-y',t-t') = \int_{-L/2}^{L/2}\exp\left\{-\frac{(y-y')2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}y'}{\sqrt{\pi}}$$

$$F_z(z-z',t-t') = \int_{-(D+H)}^{-D}\exp\left\{-\frac{(z-z')2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}z'}{\sqrt{\pi}} + \int_{D}^{D+H}\exp\left\{-\frac{(z-z')2}{4\kappa(t-t')}\right\}\frac{\mathrm{d}z'}{\sqrt{\pi}}$$

其中积分部分可以通过变量转换理解为误差函数，有限介质层中温度的表达式为

$$T(x,y,z;t) = \frac{1}{8C}\int_{t'=0}^{t'=t}P(t')H(x,y,z;t-t')\,\mathrm{d}t'$$

式中，$V = L_{\text{eff}}T_{\text{eff}}H$ 是单个 FinFET 区域的体积，设 $C = c\rho V$，得到空间相关函数的表达式为

$$H(x,y,z;t-t') = H(z;t-t')\prod_{i=x,y}\left[erf\left(\frac{(L_{x_i}/2)+x_i}{\sqrt{4\kappa(t-t')}}\right) + erf\left(\frac{(L_{x_i}/2)-x_i}{\sqrt{4\kappa(t-t')}}\right)\right]$$

$$H(z;t-t') = \left[erf\left(\frac{z+D+H}{\sqrt{4\kappa(t-t')}}\right) + erf\left(\frac{-D-z}{\sqrt{4\kappa(t-t')}}\right) + erf\left(\frac{z-D}{\sqrt{4\kappa(t-t')}}\right)\right.$$
$$\left. + erf\left(\frac{D+H-z}{\sqrt{4\kappa(t-t')}}\right)\right]$$

如果 FinFET 由绝缘区域环绕，则可以上式推导而得到自热效应的解。

对于多数的并行 FinFET，这种图形方法可用于 FinFET 的尺寸宽度（x 轴向）的外形尺寸上，其中每个是一个热源。在给定的温度条件下，通过假设一排间隔的热源来获得完整的解。

因为 ESD 现象存在两个问题：一个是多个并联 FinFET 器件间电流的分布问题；二是电流变化与 Fin 有效宽和高的关系。与其他并联结构相似，第一个问题是分布电流用于整流作用，第二次击穿器件在任何两个并联元件之间进行匹配。第二个问题更有趣。将使 FinFET 的宽度比当前宽度更小，迫使流过几倍的电流吗？在 ESD 事件中，“有效宽度”等于 FinFET 等效宽度（$W_{eff}=2H$），完整的 FinFET 宽度将被利用？还是缩小插补器件的全部宽度 T_{eff}？因此体积缩小的本质和相对等比例缩小的与 Fin 尺寸高度 H 及 Fin 宽度 T_{eff} 相比将会很有趣。

由早期对平面 MOSFET 电流限制分析，可以预见平面 MOSFET 宽与 N 个并联 FinFET 硅条的高有相等的对应关系，设有 M 个导通，M 小于等于 N，则有

$$W_{eff} \simeq \sum_{i=1}^{i=N}(2H_{eff})_i = \sum_{i=1}^{i=N} \frac{(I_m)_i}{\int_{T_{max}}^{T} \mathrm{d}T\left[\dfrac{4\rho K}{\sqrt{2\left\{\int_{T_{max}}^{T}\rho(T')K(T')\mathrm{d}T'\right\}}}\right]}$$

当 Fin 的高和宽在同一数量级时，其算术平均值可以作为一个更好的计量。ESD 的有效宽度基于 Fin 的有效高度 H_{eff} 和 FinFET 的有效宽度 T_{eff}，即

$$W_{eff} \simeq \sqrt{H_{eff}T_{eff}} = \sum_{i=1}^{i=N} \frac{(I_m)_i}{\int_{T_{max}}^{T} \mathrm{d}T\left[\dfrac{4\rho K}{\sqrt{2\left\{\int_{T_{max}}^{T}\rho(T')K(T')\mathrm{d}T'\right\}}}\right]}$$

对于功能性器件或静电保护的应用中，n 沟道器件多用于制成并联元件。图 12-2 是一个并联 FinFET 结构的例子。

静电保护应用中，二维多晶硅界栅控二极管结构可以延展用于 CMOS FinFET 工艺。p 沟道 FinFET 工艺形成阳极，n 沟道 FinFET 工艺形成阴极。该掩膜放置在 FinFET 栅上来形成 p^+/n^+ Fin 二极管，如图 12-3 所示。

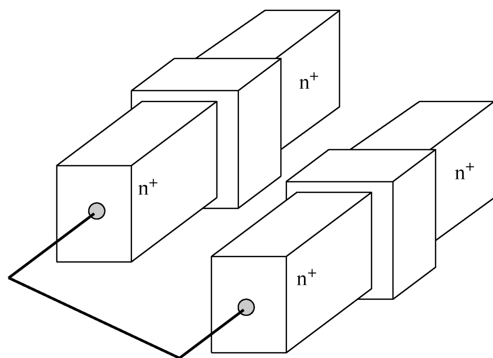


图 12-2　n 沟道 FinFET 并联元件

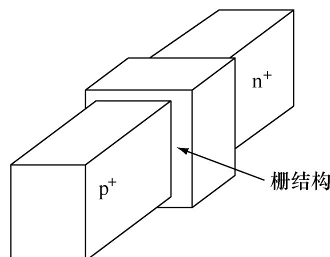


图 12-3　p^+/n^+ 二极管

为了提供 ESD 保护，ESD 结构将被要求由多元化并联的元件构成。图 12-4 和图 12-5 显示了元件在并联和串联时的结构。

移植 CMOS 工艺到 FinFET 工艺可以通过电阻整流多指 FinFET 元件实现。图 12-6 显示了一个 FinFET 可以添加电阻元件的示例，使用一个栅与源或漏区串联。

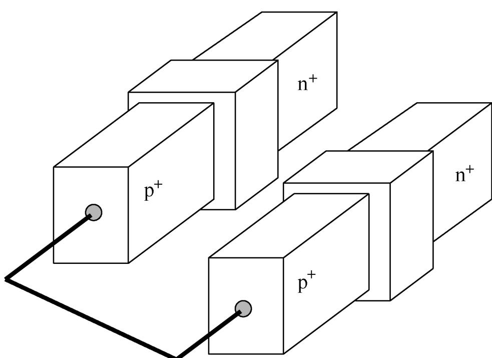


图 12-4　鳍式二极管并联元件

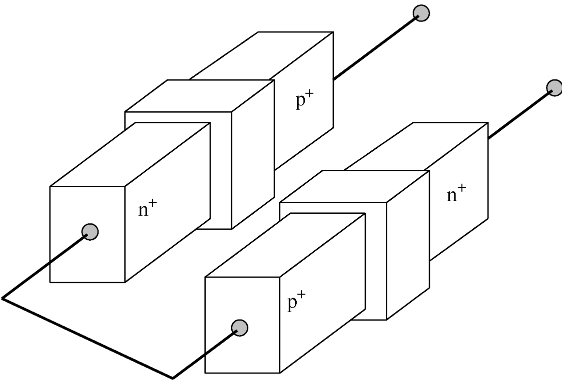


图 12-5　鳍式二极管串联元件

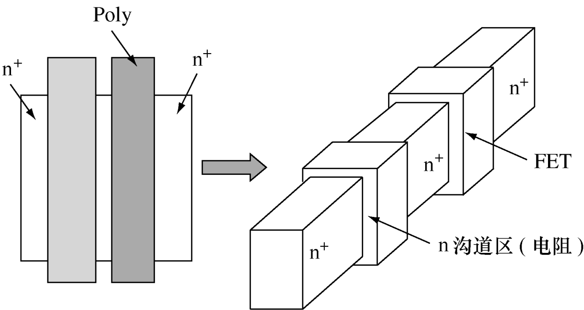


图 12-6　电阻整流多指 FinFET 结构

12.2　应变硅器件与 ESD

应变器件在未来的应用中用以改善双极型和 MOSFET 晶体管的速度[11-23]。应变改变材料带结构，导致带隙的变化，影响电离、电阻和迁移率。这些会影响一个器件的低

电流和高电流两大电流特性。因此，一个应变器件在 ESD 事件的响应将不同于非应变材料响应的标准。这部分电阻的变化是由于机械应力，可以表示为所有压电电阻张量与应力张量的和[11]，即

$$\frac{\Delta\rho\omega}{\rho}=\sum_{\lambda=1}^{\lambda=6}\pi_{\omega\lambda}X_{\lambda}$$

对于立方对称性，压电电阻张量表示为

$$\pi_{\omega\lambda}=\begin{bmatrix}\pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0\\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0\\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0\\ 0 & 0 & 0 & \pi_{44} & 0 & 0\\ 0 & 0 & 0 & 0 & \pi_{44} & 0\\ 0 & 0 & 0 & 0 & 0 & \pi_{44}\end{bmatrix}$$

导电率可以表示为一个张量，该电导率是在导带极值载流子之和，即

$$\sigma_{\alpha\beta}=\sum_{i}\sigma_{\alpha\beta}^{i}$$

$$\frac{\Delta\sigma_{\omega}}{\sigma}=\sum_{\lambda=1}^{\lambda=6}\pi_{\omega\lambda}X_{\lambda}$$

从固体物理学分析，我们可以关联一个极值的导电性到费米分布导数的积分，弛豫时间张量和载流子的群速度为

$$\sigma_{\alpha\beta}^{i}=-q^{2}\int\frac{\partial f}{\partial E}\tau_{\alpha\beta}^{i}\nu_{\alpha}^{i}\nu_{\beta}^{i}\mathrm{d}K$$

随着材料的应变增加，电导率的变化由载流子的群速度和弛豫时间张量调制。弛豫时间张量可以认为仅仅是各向同性和能量的函数。随着应变修改电导率与电阻率，器件的电流和电压特性随之改变。

$$f_{0}=\frac{1}{1+\exp\left(\dfrac{E_{i}-E_{\mathrm{F}}}{kT}\right)}$$

$$\Delta\nu_{\alpha}^{i}=\frac{1}{h}\frac{\partial E_{i}}{\partial K_{\alpha}}$$

弛豫时间可以通过仅有的能量相关量来简化，简化如下：

$$\Delta\tau_{i}=\frac{\partial\tau_{i}}{\partial E}\Delta E_{i}$$

$$\tau=\tau_{0}E^{s}$$

在这种形式中，结果表明电导率可以表示为费米积分的导数和基于函数 E_{F}/kT（$F(E_{\mathrm{F}}/kT)$）的费米积分估计的比，即

$$\frac{\Delta\sigma}{\sigma}\simeq\frac{1}{kT}\frac{1}{\left(s+\dfrac{3}{2}\right)}\left[\frac{F'_{(s+1/2)}}{F_{(s+1/2)}}\right]$$

压电电阻系数 $P(N,T)$ 是掺杂浓度和温度的函数，可以表示为

$$P(N,T) = \frac{300}{T}\left[\frac{F'_{(s+1/2)}}{F_{(s+1/2)}}\right]$$

$$\Pi(N,T) = P(N,T)\Pi(300\text{K})$$

ESD保护中的关注点是随着温度的升高，应变材料的压电电阻系数 P（N，T）也随之改变。电导率的变化与应变材料应变性有关。这可以从电导率的每个椭球的估计以及电子载流子在椭球的数量改变的估计得到。这个假设是椭球的迁移率而不是应力的函数，有

$$\Delta\sigma^i = q\mu^i\Delta n^i$$

$$\frac{\Delta n^i}{n^i} = \frac{1}{kT}\left(\Delta E^i - \Delta E_{\text{F}}\right)$$

$$\Delta E_{\text{F}} = \frac{1}{\nu}\sum_i \Delta E^i$$

单个椭球体能量的变化与应变张量以及相关的能带结构的改变相关。对于ESD事件，应变包含最初的机械应变到晶格应变以及自热应变。根据应力应变理论，如果材料是胡克性质的，在线性区域线性叠加应用，总应变是在室温和热应变下初始应变的总和。在ESD事件中，在应变半导体器件中，初始应变和热应变必须计算进而给出总响应的预测。

随着晶格结构相关的改变，其他物理参数也随之改变。随着能带的改变，电子碰撞电离率也随之改变。第1章中讨论过的，因为载流子在介质中加速，能量从电场转移到载流子。随着电场的增加，载流子被加速，载流子速度达到漂移极限，进一步增加导致热振动。随着载流子的加速，存在能量转移到电子和能量传输到晶格能量之间的竞争抵消。载流子电离的概率可以表示为

$$e^{-\{\varepsilon_i/qEl_r\}}$$

载流子电离的概率是一个电离阈值、载流子能量和光学声子散射的平均自由程的函数。高于阈值对电离来说，能量平衡为

$$qE = \alpha_i\varepsilon_i + \alpha_r\varepsilon_r$$

LHS是载体的能量，RHS是转移到影响电离的能量和转移到光学声子产生的能量。影响电离系数是电离事件量除以距离。当载流子能量是高于碰撞电能，我们可以建立产生碰撞电离的概率与声子产生的对比关系。电子碰撞电离率可以表示为一个函数，函数包括电离率因子 α_{n0}、平均自由程、当前方向的电场等参数。

$$\alpha_n = \alpha_{n0}\exp\left\{-\frac{E_{\text{g}}(T)}{q\lambda_n E_n^i}\right\}$$

相关方向的平均自由程与在同一方向能量弛豫时间相关。

应变可以被机械力或原子非正常融入硅晶格位置引入。例如，在硅－锗章节所讨论，锗调节禁带和能带结构。与位置相关的锗浓度（如 x 轴向），本征载流子浓度可以表示为

$$n_i^2(x) = \gamma n_{i0}^2 \mathrm{e}^{\Delta E(x)/kT}$$

$$\Delta E_g(x) = \Delta E_{g,b}^{app} + \Delta E_{g,Ge}(\text{grade})(x/W_b kT) + \Delta E_{g,Ge}^{(0)}$$

式中，$\Delta E_g(x)$ 是位置相关带隙；$\Delta E_{g,b}^{app}$是重诱导掺杂下表观带隙变窄；$\Delta E_{g,Ge}$是集电结上能带弯曲的差；ΔE_g （$x = W_b$），和能带在发射结弯曲，ΔE_g （$x = 0$）. SiGe 和 Si 有效态密度的比可表示为

$$\gamma = (N_C N_V)_{SiGe} / (N_C N_V)_{Si}$$

应变硅的带隙能量（$E_{g,SS}$） 可以表示为[26,27]

$$E_{g,SS} = 1.08 - 0.4x$$

式中，x 是在 $Si_{1-x}Ge_x$ 区域中的摩尔分数。漏电流的变化、温度相关的载流子迁移率及带隙在 ESD 事件中对结构自热的响应都起着重要作用。从结果中可以看出，在较高的温度下能量弛豫时间随着应变的增加而增加（如增加锗的摩尔分数）。Choi 等人指出，由于碰撞电离率（如改变方向元件）的变化，雪崩击穿将在应变硅 MOSFET 与以前不同。在 ESD 事件中，寄生双极型晶体管将在一个较低的触发电压下打开，允许一个低电压作为第一个和第二个触发条件[27]。因此，引入应变，要么机械要么 Ge 引入硅晶格，导致应变 Si MOSFET 器件相比非应变 Si MOSFET 器件特性的调制。这将会影响作为应变硅的用于半导体产品 ESD 器件的稳定性。

12.3　纳米管与 ESD

科学家和工程师对纳米管和纳米结构越来越感兴趣[28-44]。利用碳纳米管作为电子器件开启了这些元素的 ESD 本质的问题。什么将是碳纳米管的 ESD 灵敏度？我们需要保护他们免受静电吗？在未来我们可以从纳米管结构来构建什么样的 ESD 器件？具有相当大发展潜力纳米线（NW）是碳纳米管（CNT）。碳纳米管是圆柱形的碳纤维，电流沿着碳纳米管轴线传播。碳纳米管可以分为单壁碳纳米管（SWNT）和多层壁碳纳米管（MWNT）器件。碳纳米管的电特性可以是金属性也可以是半导体性[28-32]。图 12-7 是一个碳纳米管的例子。



图 12-7　碳纳米管（CNT）

电阻、二极管、双极型晶体管和场效应晶体管可以由物理性交叉的纳米线构成，该纳米线允许两个 NW 元件之间传导[29]。通过将两个纳米管交叉配置，在两个 n 型或者两个 p 型纳米管之间形成电阻器。这样就形成了一个 nn 型电阻和 pp 型电阻。一个交叉线状的 nn 电阻或 pp 电阻元件（见图 12-8）在低电流下具有线性 $I-V$ 特性。

通过交叉一个 p 型和一个 n 型 NW，可以形成 pn 二极管结构（见图 12-9）。在正向偏压的工作模式下，电流从 p－NW 流向 n－NW，在该位置两纳米线相交。纳米线双极晶体管通过耦合两个 pn NW 二极管元件来构建。一个 NW npn 型晶体管可以通过使用 p 型 NW 横跨两个 n 型 NW 元件构造。在相同形式的纳米线二极管结构，两个交叉则允许电流从一个纳米线流向另一个纳米线（见图 12-10）。

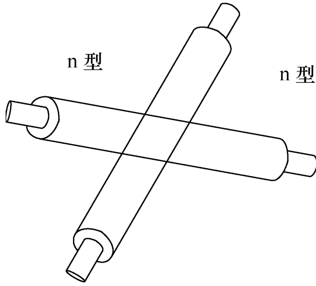


图 12-8 交叉纳米线 nn 结

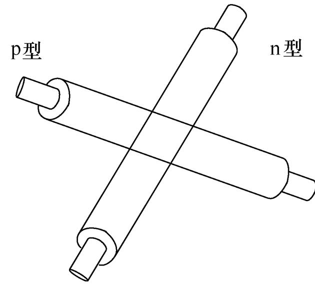


图 12-9 交叉纳米线 pn 结

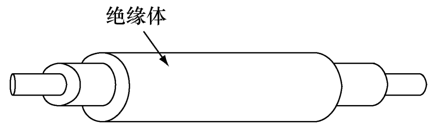


图 12-10 包裹绝缘体的碳纳米线

纳米线场效应晶体管（NW－FET）是由两个纳米线交叉构成的，如图 12-11 所示。交叉的 NW－FET（cNW － FET）也是由两个纳米线交叉构成。至少一个纳米线具有氧化物涂层。采用一个纳米线作为源极到漏极连线，电流沿着纳米线进行传导，形成源极到漏极的电流。第二个纳米线交叉第一纳米线。偏置第二个纳米线，形成一个门结构，防止源极到漏极从第一个纳米线传导。未来电子元件将从这些交叉结构来构造[29]。

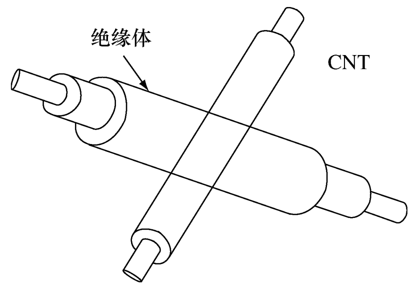


图 12-11 碳纳米线场效应晶体管

为了理解纳米结构的电流和电压特性，我们可以评估一个系统，假设一个二维量子阱在 x 和 y 方向分别为 $0 < x < L_{x'}$ 和 $0 < y < L_{y'}$ 零电位，适用本区域以外的空间。

从量子力学分析可知，电子的陷阱到该区域形成了一能量谱形式

$$E = E_{x,y} + \frac{\hbar^2 k_z^2}{2m}$$

$$E_{x,y} = \frac{\hbar^2}{2m}\left[\left(\frac{n_x \pi}{L_x}\right)^2 + \left(\frac{n_y \pi}{L_y}\right)^2\right]$$

式中，n_x 和 n_y 是整数。对量子线，我们可以假定该元件长度远大于宽度。让 $L_y \ll L_x$，我们可以假定为 y 方向电子在能量最低的状态，唯一的状态在 $n_y = 1$ 时。能量谱减少的情况是

$$E = \frac{\hbar^2}{2m}\left[\left(\frac{n_x \pi}{L_x}\right)^2 + \left(\frac{\pi}{L_y}\right)^2\right] + \frac{\hbar^2 k_z^2}{2m}$$

二维系统的电流[29]是

$$I = q \sum_{n_x} v_{nx}(E_F) D_{nx}(E_F) \Delta\mu$$

式中，v_{nx}（E_F）是电子在能带 n_x 的费米速度；D_{nx}（E_F）是在该费米能级状态函数的密度；q 是电子电荷；$\Delta\mu$ 是在左右两边之间的电学连接的电化学能。子带的总和被限制在费米能级和费米能级与电化学势的总和之间。

对于一维系统，费米速度和态密度的乘积函数可以简化为

$$v(E) = \sqrt{\frac{2\sqrt{E}}{m}}$$

$$D(E) = \sqrt{\frac{2m}{h\sqrt{E}}}$$

电流的方程可以简化表示为与能级相关的阶跃函数[43]，即

$$I = \frac{2q}{h}\Delta\mu \sum_{n_x} H(E - E_{n_x}) H(E_{n_x} - E_{\mathrm{F}})$$

$$E = E_F + \Delta\mu$$

这可以表示为

$$I = \frac{2q}{h}\Delta\mu N_{\mathrm{C}}$$

$$N_{\mathrm{C}} = \sum_{n_x} H(E - E_{n_x}) H(E_{n_x} - E_{\mathrm{F}})$$

式中，N_{C} 是传播通道的总数。电导可以通过除以外部偏压求出，外部偏压与电化学势相关，电化学势 $\Delta\mu = qV$。我们可以表达电导[44]为

$$G = \frac{1}{V} = \frac{2q^2}{h}N_{\mathrm{C}} = G_0 N_{\mathrm{C}}$$

式中，量子电导可以表达为

$$G_0 = \frac{2q^2}{h}$$

这个表达式假定没有散射。因此，很明显这种形式可以被扩展，假设传输概率为 T，那么可以表示成

$$G = \frac{2q^2}{h}T$$

Buttiker[44]扩展了包括接触电阻的影响。正如传输线理论论述，量子器件中的边界条件影响传输和反射特性，量子线纳米结构边界的波函数量子失配影响电阻。

这个 Buttiker – Landauer 方程式[43,44]包括多探针实例定义边界的两个传输特性，以及非线性电流 – 电压关系。电流电压特性可以表示为

$$I = \frac{2q^2}{h}\int_{\Delta_1}^{\Delta_2} \mathrm{d}E\, T(E,V)[f_l(E) - f_r(E)]$$

式中，传输系数是能量和偏压的函数，最后一项是在接触点（电子聚积点）器件的左右两边费米分布函数的差。

纳米线结构的电导值是一个电导纳米结构存在的并行路径电导的函数。Collins 等人[30]发现纳米线电流 – 电压特性是一个同心圆柱形的函数。在一个碳纳米管（MWNT）器件中，总电导是分布式电导。这些 MWNT 元件的电导可以工程应用于电击穿。当电击穿触发，总电流量化级数减少，导致电流量减少。从电流量级来

看，在碳纳米管束的圆柱形同心壳数量可以被确定。

Collins 等人[30,31]的文章表明，电迁移不会在 MWNT 出现，但是容易出现分布式电导。MWNT 结构有 10μA/nm^2 的电流载流能力。当电流超载时，MWNT 结构会电击穿，导致分布式电流传导。

从 ESD 的角度来看，MWNT 的本质会产生新 ESD 器件和失效准则。例如，电流载流能力和 ESD 网络的设计将由给定电流强度所需的壳的数量需要决定。ESD 设计将包括使用交叉结构，如交叉 nn 电阻、交叉 pn 型电阻和其他元件通过并行或其他配置。

从 ESD 失效角度来看，失效将通过物理结构壳数量或总承载电流能力的改变决定。给定一个 n 壳 MWNT 结构电路，当电过应力明显时，电流导通能力将分布式减少。由给定电路的边界电流规范，失效准则将电导仍然存在或降低的壳的数量来分类。

随着这些新的纳米结构取代现有 ESD 元件，由于单壁和多壁碳纳米管独特的电流和电压特性，ESD 和元件对 ESD 灵敏度的课题将有很大的发展空间。这些新结构将会影响 ESD 电路、设计和失效准则。

12.4 未来新器件

静电现象很早就被关注。自从第一次被 Miletus 学派的创始人——Thals 发现静电，已经大约过去了两千六百年。随着电子产品的小型化及普及，对静电现象的必要性及纳电子和纳结构的理解将与日俱增。虽然我们可以合成新材料和发明新工艺，但是我们能够构建纳米结构并使其可靠应对静电现象吗？未来相关技术如何发展？对未来充满希望，本书将为该领域更好的理解打开一道门，将是新千年新的开始。

习　　题

12.1 假设电流为 1.2A，为了达到 2kV HBM 保护级别，试推导并联 FinFET 的数量。

12.2 推导出为了达到 1A 的放电电流，碳纳米管必需的层数。

12.3 设计一个 ESD 策略，使用 pn 交叉连线作为碳纳米管场效应晶体管。

参 考 文 献

1. H. Takahashi, K. Sunouchi, N. Okabe, A. Nitayama, S. Hieda, P. Horiguchi and F. Masuaoka. High performance CMOS surrounding gate transistor (SGT) for ultra high density LSI. *International Electron Device Meeting (IEDM) Technical Digest*, 1986; 222–225.
2. D. Hisamoto, T. Kaga, Y. Kawamoto and E. Takeda. A fully depleted lean-channel transistor (DELTA)—a novel vertical ultra-thin SOI MOSFET. *International Electron Device Meeting (IEDM) Technical Digest*, 1989; 833–836.
3. D. Hisamoto *et al*. Impact of the vertical SOI DELTA structure on planar device technology. *IEEE Transaction on Electron Devices*, 1991; **ED-38**(6): 1419–1424.
4. C. P. Auth and J. D. Plummer. Vertical fully-depleted surrounding gate MOSFETs on sub-0.1 μm thick silicon pillars. *Device Research Conference (DRC) Technical Digest*, 1996.

5. D. Hisamoto, W. C. Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, T. King, J. Bokor and C. Hu. A folded channel MOSFET for deep sub-tenth micron era. *International Electron Device Meeting (IEDM) Technical Digest*, 1998; 1032–1035.
6. X. Huang, W. C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y. K. Choi, K. Asano, V. Subramanian, T. King, J. Bokor and C. Hu. Sub 50-nm FinFET: PMOS. *International Electron Device Meeting (IEDM) Technical Digest* 1999.
7. Y. K. Choi *et al.* Ultra-thin body SOI MOSFETs for deep sub-tenth micron era. *IEEE Electron Device Letters*, **21**(5): 2000.
8. S. Tang, L. Chang, N. Lindert, Y. K. Choi, W. C. Lee, X. Huang, V. Subramanian, J. Bokor, T. King and C. Hu. FINFET—a quasi-planar double-gate MOSFET. *Proceedings of the International Solid State Circuits Conference (ISSCC)*, 2001; 118–119.
9. J. Kedzierski *et al.* High performance symmetric-gate and CMOS compatible V_t asymmetric gate FinFET devices. *International Electron Device Meeting (IEDM) Technical Digest*, 2002; 437–440.
10. K. Suzuki *et al. IEEE Transactions on Electron Devices*, 1996; **ED-43**(7): 1166.
11. Y. Kanda. A graphical representation of piezoresistance coefficients in silicon. *IEEE Transaction on Electron Devices*, 1982; **ED-29**(1): 64–71.
12. J. L. Egley and D. Chidambarrao. Strain effects on device characteristics: implementation in drift-diffusion simulators. *Solid Sate Electronics* 1993; **36**(12): 1653–1664.
13. Akemi Hamada *et al.* A new Aspect of mechanical stress effects in scaled MOS devices. *IEEE Transactions on Electron Devices* 1991; **ED-38**(4): 895–900.
14. Shinya Ito *et al.* Mechanical stress effect of etch-stop nitride and its impact on deep submicron transisitor design. *International Electron Device Meeting (IEDM) Technical Digest*, 2000; 247–250.
15. F. Ootsuka *et al.* A highly dense, high-performance 130 nm node CMOS technology for large-scale system-on-a-chip applications. *Proceedings of the International Electron Device Meeting (IEDM) Technical Digest*, 2000; 575–578.
16. A. Shimizu *et al.* Local mechanical-stress control (LMC): a new technique for CMOS-performance enhancement. *Proceedings of the International Electron Device Meeting (IEDM) Technical Digest*, 2000.
17. A. Steegen *et al.* Silicide-induced pattern density and orientation dependent transconductance in MOS transistors. *Proceedings of the International Electron Device Meeting (IEDM) Technical Digest*, 1999; 497–500.
18. H. Rueda *et al.* Mechanical stress characterization of shallow trench isolation by Kelvin probe force microscopy. *Materials Research Society Symposium Proceedings*, 1999; **568**, 245.
19. G. Scott *et al.* NMOS drive current reduction caused by transistor layout and trench isolation induced stress. *Proceedings of the International Electron Device Meeting (IEDM) Technical Digest*, 1999; 827–830.
20. T. Hook *et al.* The dependence of channel length on channel width in narrow-channel CMOS devices for 0.35–0.13 μm technologies. *IEEE Electron Device Letters* 2000; **21**(2): 85–87.
21. J. Thurn and R. F. Cook. Stress hysteresis during thermal cycle of plasma-enhanced chemical vapor deposited silicon oxide films. *Journal Applied Physics*, 2002; **91**(4): 1988–1992.
22. T. Ohzone *et al.* Electrical characteristics of 0°/+/−45°/90° orientation CMOSFET with source/drain fabricated by various ion-implantation methods. *Proceedings of the IEEE International Conference on Microelectronic Test Structures (ICMTS)*, 1998; **11**: 133–138.
23. M. Mayer *et al.* Complete set of piezo-resistive coefficients of CMOS n(+)-diffusion. *Journal of Micromechanics Microengineering*, 1998; **8**, 158–160.
24. R. C. Jaeger *et al.* CMOS stress sensor circuits using piezo-resistive field effect transistors (PIFETs). *Symposium on VLSI Circuits Digest of Technical Papers*, 8–10 June 1995; 4344.

25. A. P. Dorey and T. S. Maddern. The effect of strain on MOS transistors. *Solid State Electronics*, 1969; **12**(4): 185–189.
26. K. Rim, J. L. Hoyt and J. F. Gibboms. Fabrication and analysis of deep submicron strained Si *n*-MOSFETs. *IEEE Transactions on Electron Devices* 2000; **ED-47**: 1406–1415.
27. C. H. Choi, J. H. Chun and R. Dutton. Electro-thermal characteristics of strained Si MOSFETs in high current operation. *IEEE Transactions on Electron Devices* 2004.
28. M. Dresselhaus, G. Dresselhaus and P. Avouris. *Carbon Nanotubes: Synthesis, Structure Properties, and Applications*. Berlin: Springer, 2001.
29. Z. L. Wang. *Nanowires and Nanobelts: Materials, Properties and Devices, Vol 1: Metal and Semiconductor Nanowires*. Dordrecht: Kluwer, 2003.
30. P. G. Collins, M. S. Arnold and P. Avouris. Engineering carbon nanotubes and nanotube circuits using electrical breakdown. *Science*, 2001; **292**: 706.
31. P. G. Collins, M. Hersam, M. Arnold, R. Martel and P. Avouris. Current saturation and electrical breakdown in multi-walled carbon nanotubes. *Physical Review Letters* 2001; **86**(14): 3128.
32. A. Rochefort, M. Di Ventra and P. Avouris. Switching behavior of semiconductor carbon nanotubes under an external electric field. *Applied Physics Letters* 2001; **78**(17): 2521.
33. K. Liu, P. Avouris, R. Martel and W. K. Hsu. Electrical transport in doped multi-walled carbon nanotubes. *Physical Review B* 2001; **63**.
34. U. Landmann, R. Barnett, A. G. Scherbakov and P. Avouris. Metal–semiconductor nanocontacts: silicon nanowires. *Physical Review Letters* 2001; **85**(9): 1958.
35. A. Rochefort, P. Avouris, F. Lesage and D. Salahub. Electrical and mechanical properties of distorted carbon nanotubes. *Physical Review B, November* 1999.
36. H. Stahl. J. Appenzeller, R. Martel, P. Avouris and B. Lengeler. Intertube coupling in ropes of single wall carbon nanotubes. *Physical Review Letters* 2000; **85**(26): 5186.
37. H. R. Shea, R. Martel and P. Avouris. Electrical transport in rings of single wall nanotubes: one-dimensional localization. *Physical Review Letters*, 2000; **84**(19): 4441.
38. N. Lang and P. Avouris. Electrical conductance of parallel atomic wires. *Physical Review B* 2000; **62**(11): 7235.
39. A. Rochefort and P. Avouris. Electron interference effects on the conductance of doped carbon nanotubes. *Journal of Physical Chemistry* 2000; **104**(44).
40. A. Rochefort, D. R. Salahub and P. Avouris. Effects of finite length on the electronic structure of carbon nanotubes. *Journal of Physical Chemistry B* 1999; **103**, 641–646.
41. R. Martel, H. R. Shea and P. Avouris. Rings of single walled carbon nanotubes. *Nature*, 1999; **398**: 299.
42. R. Martel, T. Schmidt, H. R. Shea, T. Hertel and P. Avouris. Single- and multi-wall carbon nanotube field effect transistors. *Applied Physics Letters* 1998; **73**, 2447.
43. R. Landauer. Spatial variation of currents and fields in localized scatters in metallic conduction. *IBM Journal of Research and Development* 1957; **1**: 223–231.
44. M. Buttiker. *IBM Journal of Research and Development* 1988; **32**: 317.

关于本书

致力于持续探索如何更好地理解静电放电（ESD），本书旨在对过去的15年中半导体工艺的变化对半导体器件的ESD鲁棒性的影响提供清晰的认识及理解。本书通俗易懂地介绍了包括热学、机械和静电现象等主题，同时也涵盖了电热和失效物理学等有用的物理和数学模型及技术。

- 揭示了CMOS、SOI、SiGe工艺及未来工艺中FinFET和碳纳米管等ESD保护物理学理论。
- 推导了第一性原理早期研究的重要成果——电热模型、电热物理模型和技术。
- 介绍了ESD中历史问题的经典和现代技术，涵盖了玻尔兹曼变换和Duhamel原理，以及传输线表示和转移电阻模型。

本书关注ESD工艺变换的影响，包括半导体器件的每一个物理区域、区域与区域之间、衬底和互连。本书非常适合半导体工艺工程、电气工程、材料科学、数学和物理学等领域的高年级学生、研究员和工程师阅读。

电话服务
社服务中心：010-88361066
销售一部：010-68326294
销售二部：010-88379649
读者购书热线：010-88379203
网络服务
教材网：http://www.cmpedu.com
机工官网：http://www.cmpbook.com
机工官博：http://weibo.com/cmp1952
封面无防伪标均为盗版

为中华崛起传播智慧

地址：北京市百万庄大街22号
邮政编码：100037

策划编辑◎刘星宁

国际视野　科技前沿

国际电气工程先进技术译丛

传播国际最新技术成果　搭建电气工程技术平台

《ESD物理与器件》
《锂二次电池原理与应用》
《风力发电并网运行的无功管理》
《超大规模集成电路物理设计：从图分割到时序收敛》
《海上风电成本建模：安装与拆除》
《智能电网——设计与分析基础》
《功率理论与电能质量治理》
《混合动力电动汽车原理及应用前景》
《智能电网中的传导电磁干扰》
《风能转换技术进展》
《电机传动系统控制》
《储氢材料：储存性能表征》
《风力机技术》
《小型风力机：分析、设计与应用》
《通信系统高电压保护》
《磁性测量手册》
《ESD设计与综合》
《太阳能利用技术及工程应用》
《超级电容器的应用》
《小型风力机：分析、设计与应用》
《太阳电池、LED和二极管的原理：PN结的作用》
《风力发电系统 —— 技术与趋势》
《可持续电力系统的建模与控制：面向更为智能和绿色的电网》
《电力系统高级预测技术和发电优化调度》
《大规模储能技术》
《风电系统电能质量和稳定性对策》
《环境能源发电：太阳能、风能和海洋能》
《传热学：电力电子器件热管理》
《现代电力电子学与交流传动》
《功率半导体器件：原理、特性和可靠性》
《风能系统——实现安全可靠运行的优化设计与建设》
《储能技术》
《光伏系统工程》（原书第3版）
《光伏与风力发电系统并网变换器》
《车辆能量管理：建模、控制与优化》
《纯电动及混合动力汽车设计基础》（原书第2版）
《电动汽车技术、政策与市场》
《永磁无刷电机及其驱动技术》
《先进电气驱动的分析、建摸与控制》
《智能电网可再生能源系统设计》
《风力发电工程指南》
《用于制造固体氧化物燃料电池的钙钛矿型氧化物》
《太阳能物理》
《柔性交流输电系统在电网中的建模与仿真》
《风电并网：联网与系统运行》
《可再生能源的转换、传输和储存》
《海底电力电缆——设计、安装、修复和环境影响》
《光伏技术与工程手册》

WILEY

Copies of this book sold without a Wiley Sticker on the cover are unauthorized and illegal





上架指导　工业技术/集成电路

ISBN 978-7-111-47139-4

定价：88.00元